

LHC-ATLAS実験 初段ミュオントリガーの
高速・高度化の研究

(Development of the high speed and high-performance level-1
Muon Trigger for the ATLAS experiment.)

修士学位論文

東京大学 大学院 理学系研究科 物理学専攻

浅井研究室

桶作 愛嬉

平成31年1月24日

概要

Large Hadron Collider(LHC) は、欧州原子核研究機構 (CERN) に設置された、世界最高エネルギーの陽子陽子衝突型円形加速器である。ATLAS 検出器は、LHC の衝突点の一つに設置された検出器のひとつであり、陽子衝突により発生する粒子を詳細に測定する。ATLAS 実験では、衝突で生じた未知の粒子の崩壊を捉える、あるいはヒッグスボソン等の標準理論で記述される粒子を精密に測定し、標準理論を超えた物理現象の発見を目指す。

LHC における陽子の衝突頻度は 40 MHz であり、LHC で生じる事象全てのデータを記録することはできない。そのため ATLAS 実験では、トリガーシステムを用いて衝突で生じる事象からとくに物理的に興味のある事象を選別し記録している。本研究では、トリガーシステムのうち初段の Level-1 ミューオントリガーを扱う。Level-1 ミューオントリガーでは、衝突で生じるミュオンの横運動量に閾値を設け、事象選別を行なっている。Level-1 ミューオントリガーでは陽子衝突から 2.5 μs 以内にトリガー処理を完了する必要がある。

LHC は 2018-2021 年に加速器の改良を行い、重心系エネルギーを 13 TeV から 14 TeV、瞬間ルミノシティを現在の約 2 倍となる $3 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ に増加させ、2021 年から運転を再開する (LHC-Run3)。ルミノシティの増加によりトリガーレートも増加するが、Level-1 ミューオントリガーのレートは現在の制約から変わらない。高ルミノシティ環境でも、事象の取得効率を維持しつつトリガーレートを抑えられるより高機能な Level-1 ミューオントリガーの開発が必要である。Level-1 ミューオントリガーは、New Sector Logic という専用ボードを用いて判定される。New Sector Logic ボードでは、Run-3 から新たに ATLAS 検出器に導入される New Small Wheel(NSW)、RPC BIS 7/8 からの情報と、現行のミュオン検出器である Thin Gas Chamber(TGC) からの情報を組み合わせてトリガー判定を行う。私は、New Sector Logic 開発に関して 2 つの研究を行なった。

1 つ目の研究として、New Sector Logic をテストするための環境構築を行なった。New Sector Logic は、2 種類の光通信規格を用いて各検出器からデータを受信する。各検出器からのデータフォーマット・通信規格に従いデータを New Sector Logic に送信するエミュレータとその運用システムを新しく開発した。

2 つ目の研究として、構築したテスト環境を用い New Sector Logic の動作試験を行なった。エミュレーターからの信号を受信し、それらの情報を元に正しくトリガー判定が行われていることを確認した。また、トリガー判定が Level-1 ミューオントリガーで要求されている時間内で行われていることも確認した。

目次

第1章 LHC-ATLAS 実験	1
1.1 素粒子標準模型と新物理	1
1.2 LHC	1
1.3 ATLAS 実験	2
1.3.1 ATLAS 実験が目指す物理	2
1.3.2 ATLAS 検出器	3
1.3.3 ATLAS 実験で用いる座標系	4
1.3.4 超伝導磁石	4
1.3.5 内部飛跡検出器	5
1.3.6 カロリメーター	5
1.3.7 ミューオン検出器	7
1.4 LHC の運転予定	12
第2章 ATLAS トリガーシステム	13
2.1 ATLAS トリガーシステム	13
2.1.1 Level-1 Trigger	14
2.2 現行のエンドキャップミューオントリガー	15
2.2.1 TGC	15
2.2.2 トリガー単位	15
2.2.3 L1 Endcap Muon Trigger の概要	17
2.2.4 TGC エレクトロニクス	18
2.2.5 トリガーライン	18
2.2.6 リードアウトライン	24
第3章 ミューオントリガー Phase-1 Upgrade	28
3.1 ATLAS Phase-1 Upgrade	28
3.2 New Small Wheel	28
3.2.1 small-strip TGC	31
3.2.2 Micromegas	31
3.3 New Sector Logic board	32
3.3.1 トリガーラインの改良	32
3.3.2 データリードアウトラインの改良	34
3.3.3 トリガーロジックの改良	35

第 4 章	New Sector Logic ボード概要	38
4.1	New Sector Logic ボードのデザイン	38
4.1.1	ボードに必要な機能	38
4.1.2	ボードデザインの概要	39
4.1.3	搭載された主な IC チップと I/O ポート	39
4.2	NewSL ボード Firmware 概要	41
4.2.1	Firmware とは	41
4.2.2	NewSL ボードの Firmware	42
4.3	NewSL ボードの送受信データ	43
4.3.1	受信データ	43
4.3.2	送信データ	45
4.4	GTX でのデータ送受信	47
4.4.1	GTX トランシーバー	47
4.4.2	受信データの Firmware での処理	51
4.5	NSW の情報を用いた新しいトリガーロジック	52
4.5.1	Fixed Latency の要求	52
4.5.2	トリガーロジックの概要	54
4.5.3	TGC-BW Coincidence の実装	54
4.5.4	BW-NSW Inner Coincidence の実装	55
4.5.5	コインシデンスロジックで消費するリソースの見積もり	59
4.6	LUT Coinfiguration System	62
第 5 章	NewSL Firmware テスト環境開発	68
5.1	テスト環境概要	68
5.1.1	テスト項目	68
5.2	Test Data Transmitter の設計	68
5.2.1	NSW TP Emulator	68
5.2.2	TGC-BW HPT Emulator	70
5.3	Firmware 試験	70
5.3.1	Vivado Simulator の構築	73
5.3.2	実機テスト環境の構築	73
第 6 章	NewSL ボード Firmware テスト	77
6.1	LUT Initializer テスト結果	77
6.2	トリガーロジックテスト結果	78
6.3	Latency 計測テスト結果	82
6.3.1	Simulation での結果	82
6.3.2	実機試験での結果	83
6.3.3	Latency 測定結果まとめ	83
第 7 章	結論と今後の展望	85

第1章 LHC-ATLAS実験

この章では、LHC-ATLAS 実験と、実験の目的について説明する。

1.1 素粒子標準模型と新物理

素粒子標準模型 (Standard Model, SM) は、自然界を構成する最小単位である素粒子とそれらの相互作用を記述する理論である。SM では、12 種類の fermion, 4 種類の gauge boson, そして Higgs boson の 17 種類の粒子を素粒子としている (図 1.1)。2012 年, LHC-ATLAS 実験と CMS 実験は Higgs boson を発見した。これをもって SM での粒子は全て発見されたことになる。しかしながら, SM では説明がつかない現象も知られている。例えば SM では重力の記述はできていないし, 他にも Higgs boson の階層性問題やダークマターの存在, ニュートリノの質量起源などがある。これらの説明のためには, SM を超えた新しい物理理論が必要であり, 世界中でその手がかりを探す実験が日夜行われている。LHC-ATLAS 実験もその一つである。

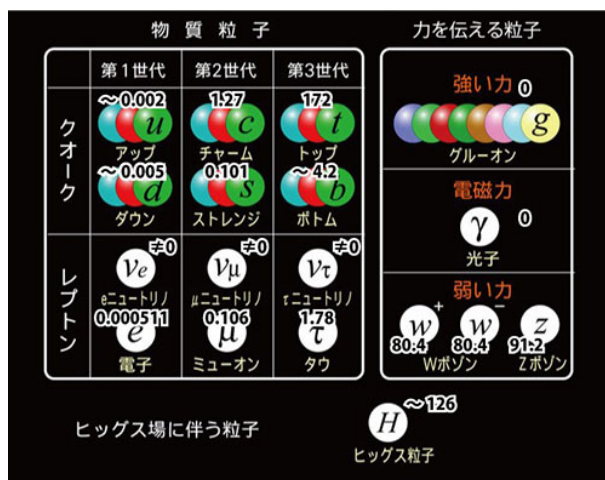


図 1.1: SM に現れる素粒子の一覧。

1.2 LHC

新物理探索のアプローチの一つに、エネルギーフロンティアでの実験がある。これは加速器を用いて陽子や電子といった荷電粒子を加速・高エネルギー状態にしたのち、それらを衝突させる実験である。高エネルギーであるほど重い質量の粒子の生成が起きやすいため、未だ発見されていない

粒子への感度が高くなる。LHC は、スイス・ジュネーブにある欧州原子核研究機構 (CERN) の地下に設置された陽子陽子衝突加速器である。LHC は Large Hadron Collider の略である。LHC は周長が 27km あり、世界最高である重心系エネルギー 13TeV、瞬間ルミノシティ $2.14 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ で運転し、2018 年の運転を完了した。図 1.2 に 2018 年における瞬間ルミノシティを示す。

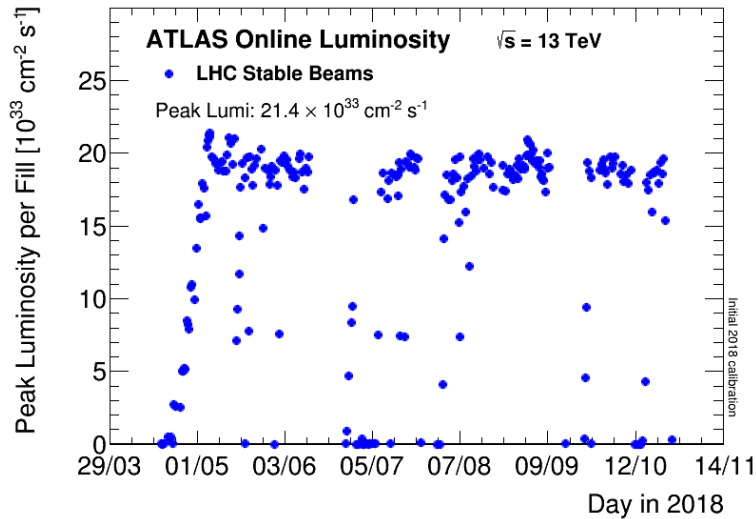


図 1.2: 2018 年における LHC のルミノシティ [1].

1.3 ATLAS 実験

ATLAS 実験は、LHC の衝突点の一つに設置された ATLAS 検出器を用い、高エネルギー物理現象の精密測定を行なっている。ここでは ATLAS 実験が目指す物理と、ATLAS 検出器の概要について述べる。

1.3.1 ATLAS 実験が目指す物理

ATLAS 実験には 2 つの大きな目的がある。1 つは、世界最高エネルギーである LHC の陽子陽子衝突を用い、SM を超えた新粒子の探索を行うこと。もう 1 つは、LHC だけが直接生成できる Higgs boson の性質を精密測定することである。

新粒子の探索

SM を超えた理論の一つに、SM に超対称性 (Super Symmetry, SUSY) を加えた超対称性理論がある。この理論では、SM の粒子と対になる超対称性粒子 (Supersymmetric particle, SUSY 粒子) の存在が预言されている。これら SUSY 粒子を仮定すると、SM では説明できないダークマターといった現象を説明することができるため、超対称性理論は SM を超えた新物理の有力な候

補となっている。特に、SUSY で Higgs boson の階層性問題が解決できる場合、数 TeV の質量を持った SUSY 粒子の存在が予想されており、LHC の直接生成で発見できる可能性がある。

Higgs boson 精密測定

Higgs boson は、相互作用を通し他の素粒子に質量を与える素粒子である。特に Higgs boson と fermion との結合定数は fermion の質量に比例すると考えられている。もし、SM を超える新物理の寄与があった場合、結合定数が SM で計算される値とは異なる値で観測される可能性がある。従って、Higgs boson の精密測定を通して新物理の間接探索を行うことができる。

1.3.2 ATLAS 検出器

ATLAS 検出器は、LHC の衝突点の1つに設置されている検出器である。直径 25m、長さ 44m、重さ約 7000 トンの円筒型をした検出器である。全体図を図 1.3 に示す。ATLAS 検出器は主に、内部飛跡検出器、カロリメーター、ミュオン検出器から構成されている。検出器の他には、荷電粒子の運動量測定のために超伝導磁石が設置されている。これらの検出器からの情報を用い、粒子の識別やエネルギー・運動量測定を行なっている。各検出器の役割については説明する。

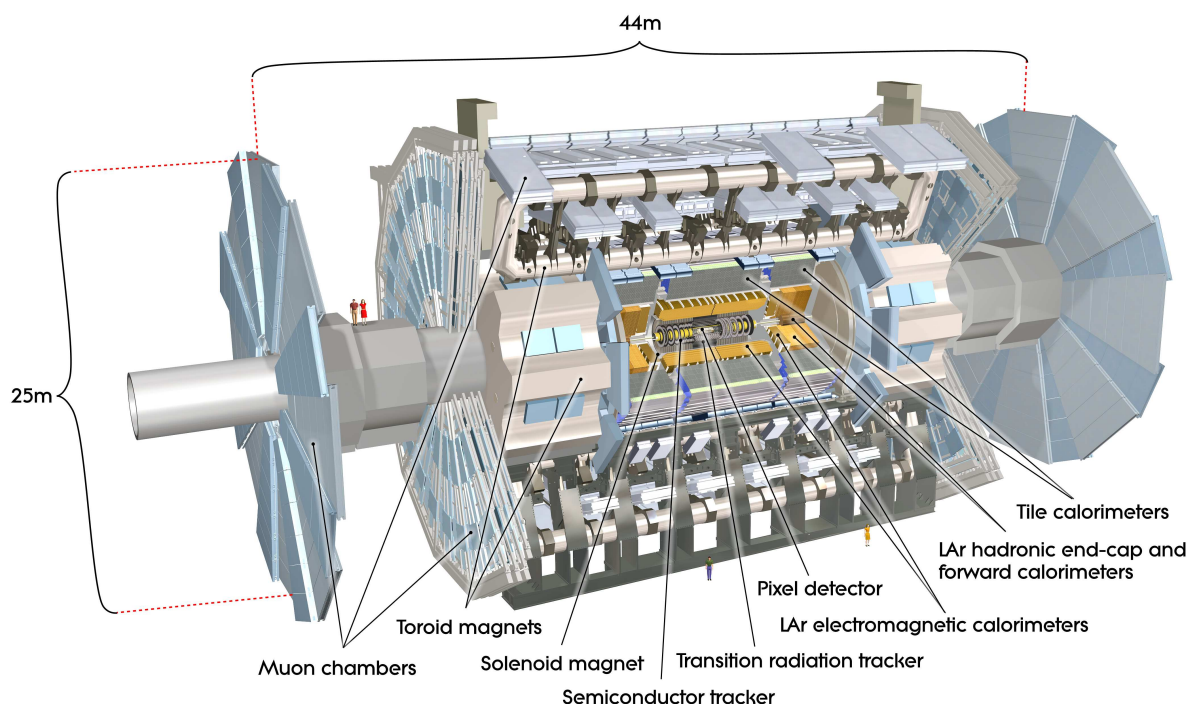


図 1.3: ATLAS 検出器の全体図。[2]ATLAS 検出器は LHC の衝突点を囲むように設置されており、中心から、内部飛跡検出器、カロリメーター、ミュオン検出器の順で構成されている。また、荷電粒子の運動量測定のため超伝導磁石も設置されている。

1.3.3 ATLAS 実験で用いる座標系

ATLAS 実験では直交座標と円筒座標の2つの座標系を使う。2つの座標系共に、LHC の衝突点を原点とした右手系の座標系である。図 1.4 に ATLAS 実験で用いる座標系を示した。直交座標 (x, y, z) では、 x 軸は衝突点から LHC リング中心方向、 y 軸は垂直方向、 z 軸はビームパイプに沿った方向としている。円筒座標 (R, z, ϕ) では、 z 軸は直交座標系と同じであるが、 xy 平面を (R, ϕ) で表す。 R は衝突点からの動径方向、 ϕ はビームパイプ周りの方位角とされている。また、擬ラピディティ η は $\eta = -\ln \tan(\theta/2)$ で定義されている。 θ は z 軸の正の向きとなす角である。高エネルギー衝突反応では粒子は z 軸方向にブーストされ、終状態粒子の分布 $dN/d\eta$ がほぼ一定になることを考慮して η を使う。

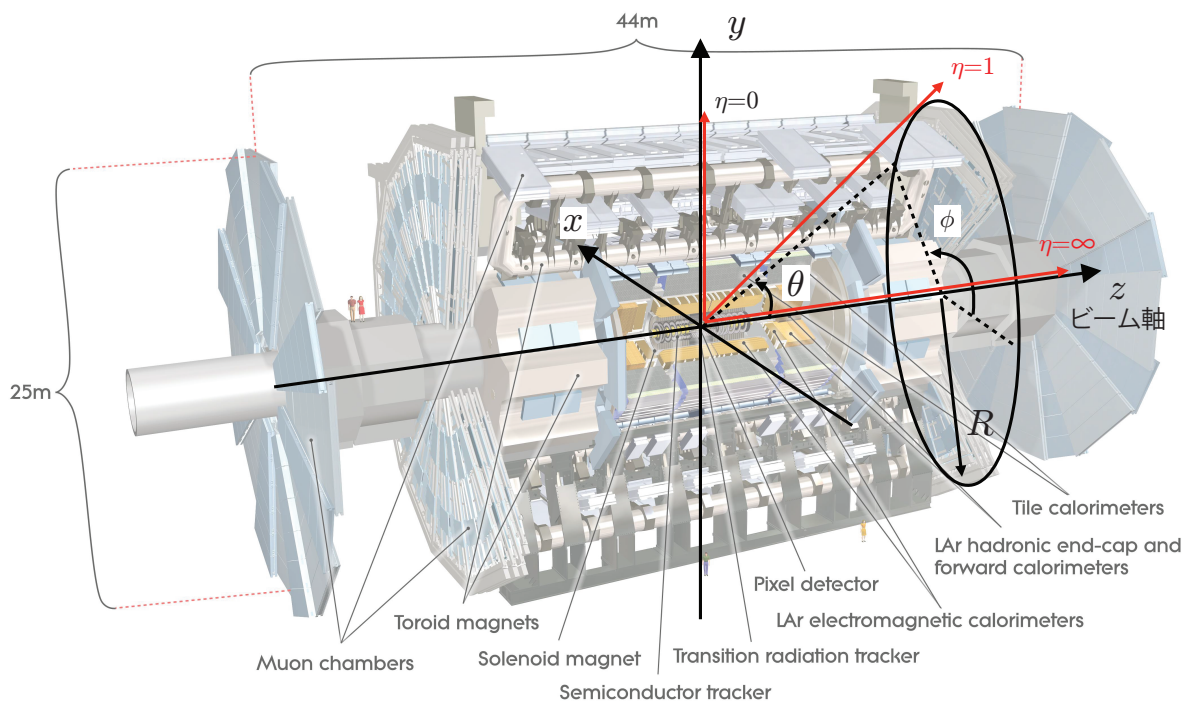


図 1.4: ATLAS 実験で用いる座標系。衝突点を原点として LHC リング中心に向かう方向に x 軸、天頂方向に y 軸、ビーム軸方向に z 軸をとる。円筒座標系では動径方向を R 、方位角を ϕ とする。図中 η は擬ラピディティで、 $\eta = -\ln \tan(\theta/2)$ で定義されている。

1.3.4 超伝導磁石

荷電粒子が磁場中を移動すると、ローレンツ力によって曲がった飛跡となる。ATLAS 検出器では、この性質を利用し荷電粒子の運動量測定を行う。磁場の印加には超伝導磁石を用いている。図 1.5 に示すように超伝導磁石には2種類あり、衝突点付近で発生した荷電粒子のためのソレノイド磁石と、ミュオンのためのトロイド磁石がある。

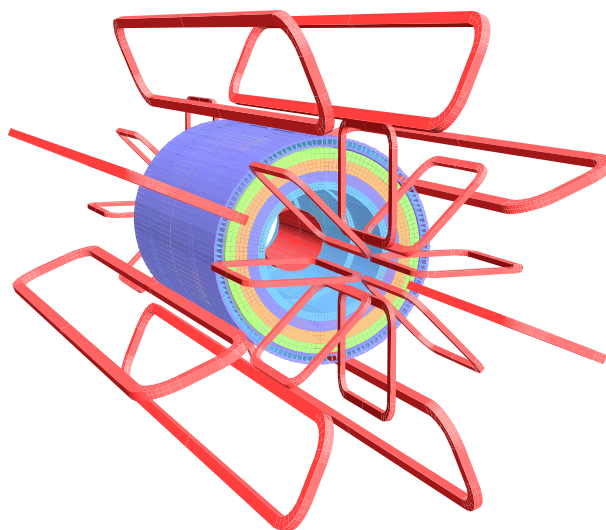


図 1.5: ATLAS 検出器で用いられる超伝導磁石 [2]. 内側にある 8 つのコイルがソレノイド磁石, 外側にある 8 つのコイルがトロイド磁石である.

1.3.5 内部飛跡検出器

ATLAS 実験での物理データ解析では, 運動量の計算は内部飛跡検出器で再構成されたトラック情報を用いている. 図 1.6 に内部飛跡検出器の概要を示す. 内部飛跡検出器は, Insertable B-Layer (IBL), Pixel 検出器, Semiconductor Tracker (SCT), Transition Radiation Tracker (TRT) からなる. 内部飛跡検出器では, 衝突点で生成された荷電粒子の飛跡を測定する. 内部飛跡検出器の外側にはソレノイド磁石が設置されており, 荷電粒子はその運動量に応じて内部飛跡検出器に曲がった飛跡を残す. 再構成された飛跡の曲率から荷電粒子の運動量を測定する.

1.3.6 カロリメーター

カロリメーターでは荷電粒子のエネルギーを測定する. カロリメーターは内部飛跡検出器の外側に設置されており, 内側から電磁カロリメーター, ハドロンカロリメーターで構成されている. 図 1.7 にカロリメーターの配置を示す. 電磁カロリメーターは電子と光子, ハドロンカロリメーターはハドロンの測定に用いる.

電磁カロリメーターは鉛と液体アルゴン (Liquid Argon) によるカロリメーターで, 電子・光子の測定に用いられる. $|\eta| < 1.5$ 領域を覆う Barrel 部分と $1.4 < |\eta| < 3.2$ 領域を覆う Endcap 部分から成る. 検出器の厚さは Barrel・Endcap 部分で放射長の 22・24 倍となるよう設計されている.

ハドロンカロリメーターは荷電 π 中間子などのハドロンの測定に用いられ, quark や gluon といった強い相互作用をする粒子から生じるジェットの再構成に用いられる. $|\eta| < 1.7$ の Barrel 部分は Tile カロリメーター, $1.5 < |\eta| < 4.9$ の Endcap 部分は LAr ハドロンカロリメーターから成る. Tile カロリメーターはプラスチックシンチレーターを使ったカロリメーターである. LAr カロ

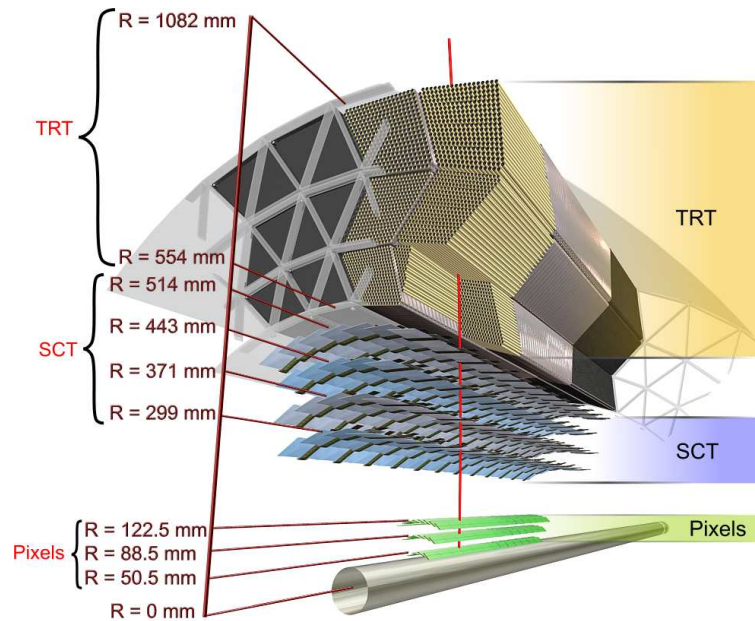


図 1.6: 内部飛跡検出器の構成. 内側より Insertable B-Layer, Pixel 検出器, Semiconductor Tracker, Transition Radiation Tracker から成る. ただし, この図では IBL は書かれていない.

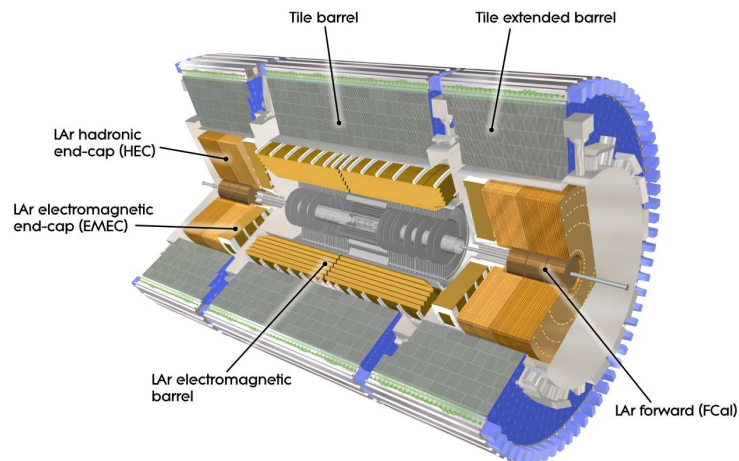


図 1.7: カロリメーターの配置の様子 [2]. 電磁カロリメーターは Barrel・Endcap 部分に別れている. ハドロンカロリメーターは Barrel 部分の Tile, Endcap 部分の HEC, ビーム軸付近の FCal に別れている.

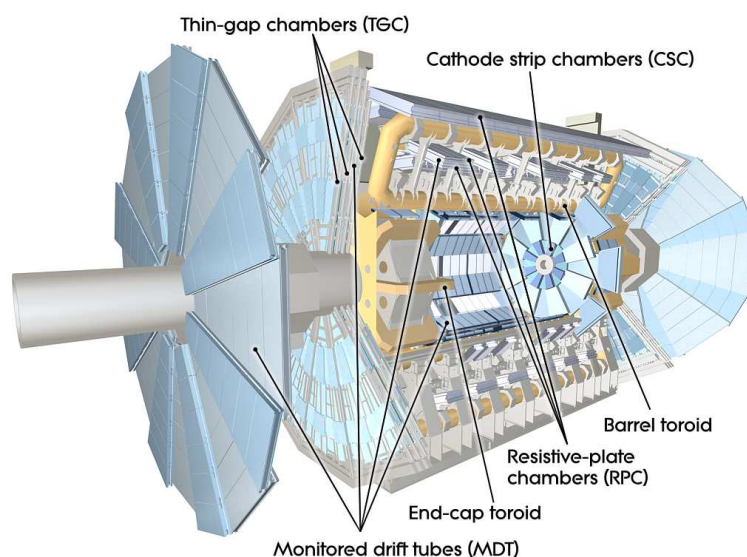


図 1.8: ミューオン検出器の全体図 [2]. ATLAS 検出器の最外層に設置され、トロイド磁場の前後に複数層の検出器を設置し、ミューオンの飛跡測定を行う。

リメーターは $1.5 < |\eta| < 3.2$ を覆う Hardronic Endcap Calorimeter(HEC) と $3.1 < |\eta| < 4.9$ を覆う Forward Calorimeter(FCal) に分けられる。

1.3.7 ミューオン検出器

ミューオン検出器は ATLAS 検出器の最も外側に設置されている。ミューオンは寿命が $2.2\mu\text{s}$ と長く、電磁相互作用によってエネルギー損失を起こし、さらに電子に比べて制動放射によるエネルギー損失が小さいため、物質に対して高い透過力を持つ。したがって一番外側の検出器でも、内部飛跡検出器やカロリメーターを透過したミューオンを検出することが可能である。ATLAS 検出器の外側で検出される荷電粒子のほとんどがミューオンである。ミューオン検出器の様子を図 1.8 に示す。

ミューオン検出器は、Resistive Plate Chamber(RPC), Thin Gas Chamber(TGC), Monitored Drigt Tube(MDT), Cathode Strip Chamber(CSC) の 4 種類がある。RPC と TGC はデータ取得の事象選別 (トリガー) に、MDT, CSC はミューオンの飛跡再構成に使われる精密測定用検出器である。

ミューオン検出器は、いくつかの層をまとめてステーションという単位を構成する。Barrel 部分では、同心円状に並んだ円筒状のステーションが、Endcap 部分ではビーム軸垂直にディスク状のステーションが構成される。ステーションは 3 つあり、内側から Inner, Middle, Outer と呼ばれる。ミューオン検出器は ϕ 領域を全て覆う。図 1.9 に示すように、Large Sector と Small Sector という大きさの異なる検出器を交互に配置している。

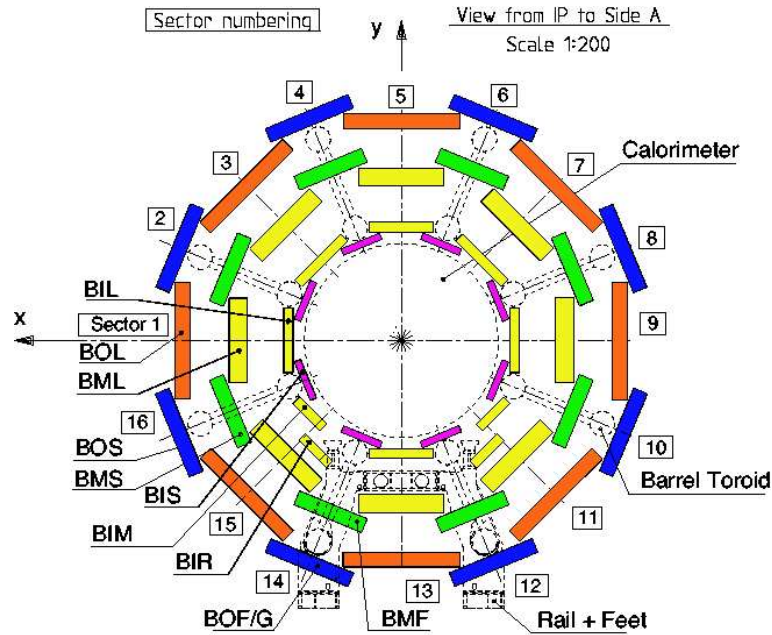


図 1.9: ビーム軸方向に垂直な断面から見たミュオン検出器の配置 [2]. 奇数の番号が Large Sector, 偶数番号が Small Sector となっている.

Resistive Plate Chamber

Resistive Plate Chamber(RPC) は $|\eta| < 1.05$ の Barrel 領域に設置され, ミューオントリガーの判定に用いられる. 図 1.10 に RPC の配置を示す. RPC は 3 層設置されている. RPC は 2mm のガスギャップに 9.8 kV をかけたガスチェンバーであり, それを直交するストリップによって η と ϕ の位置情報を読み出す. 図 1.11 に RPC の断面図を示す.

Thin Gas Chamber

Thin Gas Chamber(TGC) は ATLAS 検出器 Endcap 部分に設置された, トリガー用検出器である. 図 1.12 にその様子を示した. 図 1.12(a) にあるように, ガスギャップが 2.8 mm の Multi-Wired Proportional Chamber(MWPC) の構造を持つ. 動作ガスは CO_2 が 55%, n-pentane が 45% の混合ガスで, アノードワイヤーには 2.8 kV の電圧を印加し, ガスゲイン 3×10^5 で動作する. アノードワイヤーは直径 50 μm の金メッキ加工されたタングステンワイヤーを用い, カソードには片面に $1\text{M}\Omega/\text{cm}^2$ のカーボン塗布したガラスエポキシ板が使われている. 反対側の面にはワイヤーと直交する向きにストリップが配置されている. ガスギャップやワイヤー間隔が小さいため時間応答が非常に良い. 入射角によるが, ワイヤーでは信号の到達時間は 90% の確率で 25 ns 以内となっている. チャンネル幅によって決まる分解能は R 方向に 2~6 mm, ϕ 方向に 3~7 mm である.

図 1.12(b) に示すように, TGC は Doublet と Triplet という構造を為す. Doublet は 2 層のストリップ面と 2 層のワイヤー面から信号を読み出される. Triplet では中央の層にはストリップ面

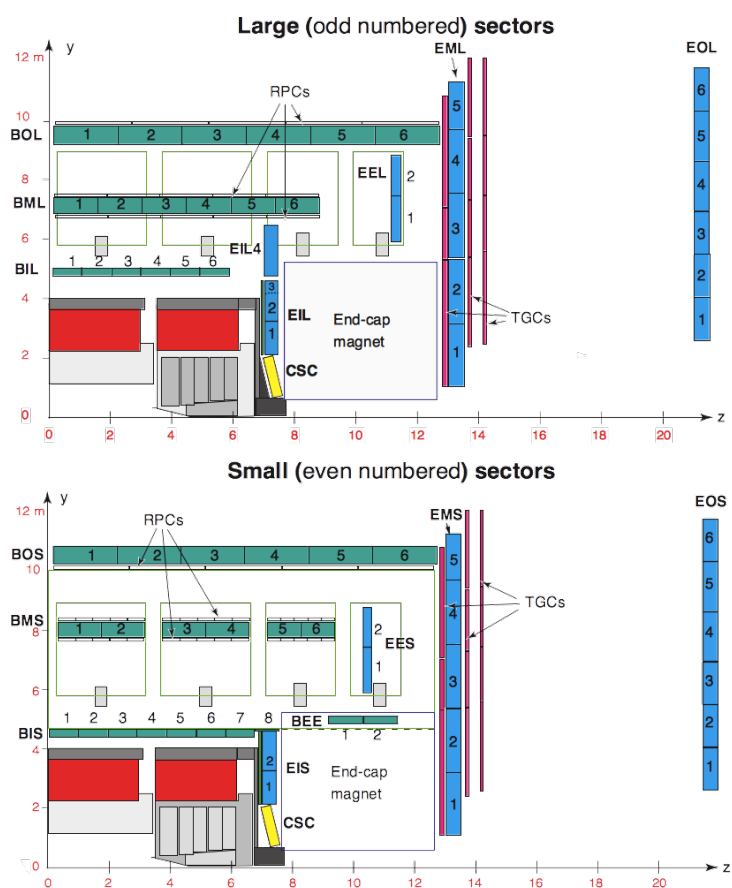


図 1.10: ミューオン検出器の配置 [3]. ミューオン検出器の配置は Large Sector と Small Sector で異なる. Barrel 部分ではトロイド磁石の配置によって, インナーステーションの配置がセクターによって異なっている.

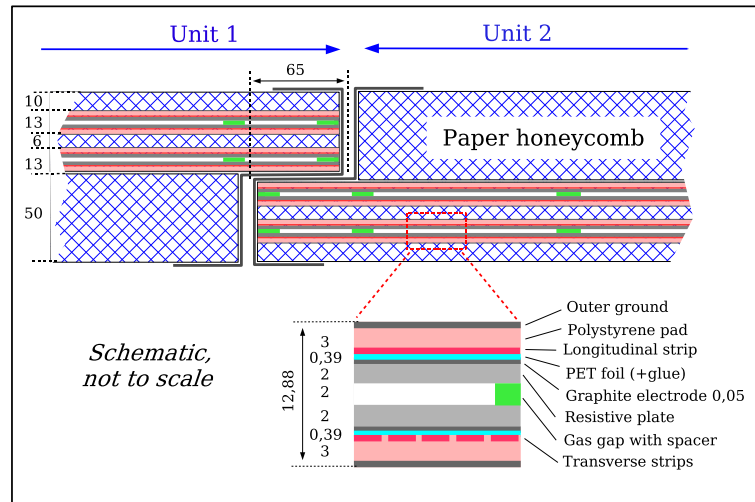
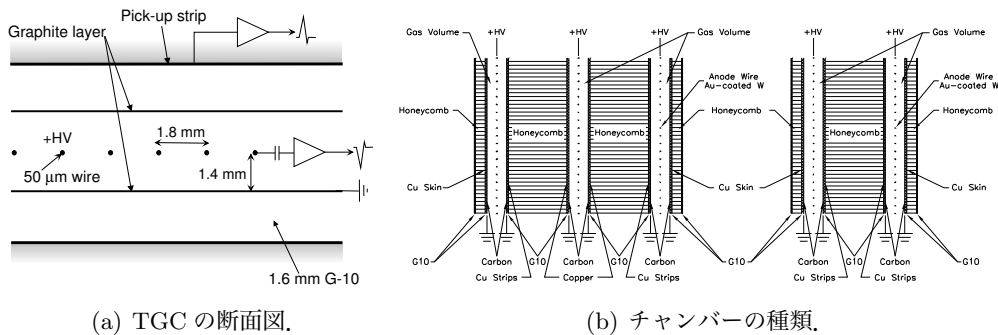


図 1.11: RPC の断面図 [2]. 図中数値の単位は mm, η と ϕ の情報が読み出される.

がなく, 2 層のストリップ面と 3 層のワイヤー面から信号を読み出す. 1.10 に示すように, TGC は磁場の内側に 1 つ, 外側に 3 つのチャンバーを設けている.



(a) TGC の断面図.

(b) チャンバーの種類.

図 1.12: TGC の断面図とその種類. R の位置情報はアノードワイヤーから, ϕ はカソードストリップから読み出す.

Monitored Drift Tube

Monitored Drift Tube(MDT) は, ミューオンの運動量を精密に測定するために用いられる. MDT は図 1.13(a) のようなチューブを多数並べた構造を持つ. チューブは直径約 30 mm のカソードドリフトチューブと直径約 50 μm のアノードワイヤーで構成される. 図 1.13(b) のように MDT を 3 層構造にしたものを 2 つ並べ, MDT チャンバーを構成する. Barrel 部分では z を, Endcap 部分では R を測定する. 位置分解能は約 80 μm である. 磁場前後での方向の差から, 運動量の測定を行う. MDT でのドリフト時間は最大 700 ns と長く, ハードウェアレベルでの飛跡再構成は難しいため, MDT はトリガーには用いられない. また高レート下では位置分解能が低下し, 十

分な分解能で動作するのは 150 Hz/cm^2 までであることがわかっている。

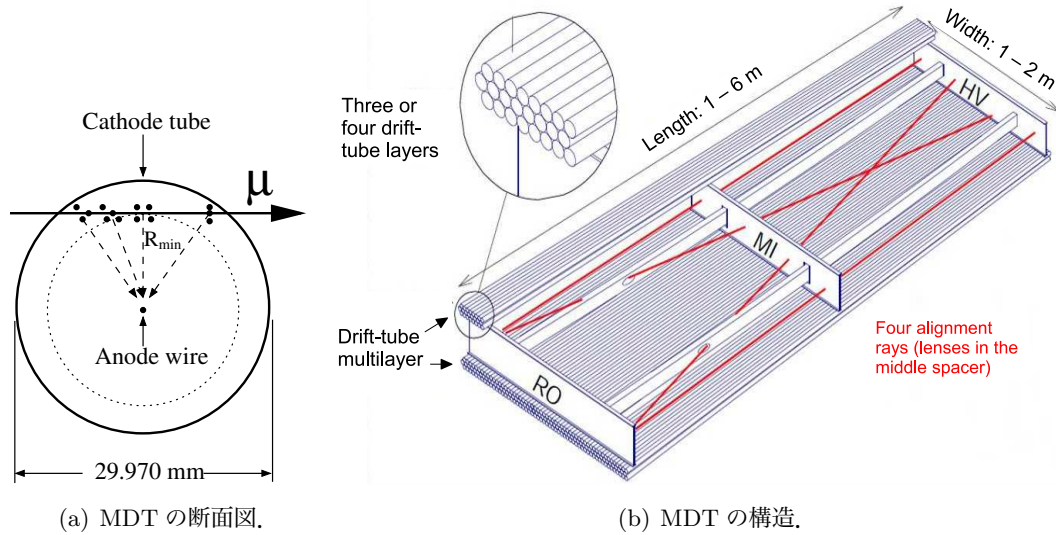


図 1.13: MDT チェンバーの構造 [2]. チューブを通過したミュオンがガスをイオン化し、生じた電子がアノードワイヤーに回収される。ドリフト時間からミュオンの飛跡とアノードワイヤーとの距離が測定できる。MDT チェンバーはチューブを 3 層構造にしたものを、2 層並べて構成される。

Cathode Strip Chamber

Cathode Strip Chamber(CSC) は、Inner Station の Forward 領域 ($2.0 < |\eta| < 2.7$) で用いられている精密測定用の検出器である。Forward 領域では粒子の飛来レートが高いため、MDT では十分な分解能が得られない。そのため、応答が早く高レートの粒子の測定ができる CSC が用いられている。CSC は MWPC 構造を持ったガスチェンバーである。図 1.14 に CSC の断面図を示す。CSC は約 5 mm 幅のカソードストリップでの電荷情報から重心を計算し、 $45 \mu\text{m}$ の分解能を達成している。アノードワイヤー間の間隔、カソード面とアノード面の間隔は 2.5 mm と短く信号応答も早い。最大許容信号レートは 1 kHz/cm^2 である。

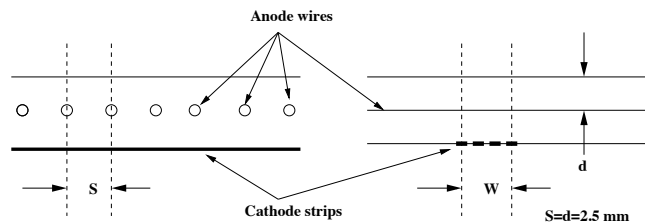


図 1.14: CSC の断面図 [2]. ミュオンが入射すると、およそ 3~5 本のストリップで信号が読み出される。

1.4 LHC の運転予定

LHC は 2010 年から本格的な稼働を開始し、2012 年には Higgs 粒子の発見などに貢献した。LHC の稼働状況によって、いくつかの期間に分けられそれぞれ Run-1 や Run-2 のように呼ばれている。図 1.15 に、LHC の稼働状況と今後の運転スケジュールを示した。2012 年までは重心系エネルギー 7~8 TeV、瞬間最高ルミノシティ $0.77 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ で運転を行った。この期間を Run-1 と呼んでいる。Run-1 が 2012 年に終了した後、約 2 年間の長期シャットダウン (LS1) にて加速器のアップグレードを行った。2015 年より再び LHC は稼働を開始し、現在は重心系エネルギー 13 TeV、瞬間最高ルミノシティ $2.14 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ で運転を行った。この期間を Run-2 と呼んでいる。

Run-2 は 2018 年末に完了し、その後再び約 2 年間のシャットダウン (LS2) に入った。再び加速器がアップグレードされた後、2021 年以降の Run-3 では、重心系エネルギーが 14 TeV、瞬間最高ルミノシティは $3 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ で運転を行う予定である。



図 1.15: LHC 運転のスケジュール [4].

LS2 で行われる LHC のアップグレードに伴い、ATLAS 検出器もシステムのアップグレードを行う。第 2 章で、Run-2 での ATLAS トリガーシステムについて述べた後、第 3 章で Run-3 に向けたトリガーシステムのアップグレードについて述べる。

第2章 ATLAS トリガーシステム

2.1 ATLAS トリガーシステム

ATLAS 実験では、陽子陽子の衝突頻度の 40 MHz と同じ頻度で測定データが生成される。これら全てを記録し保存することはデータ取得システムの性能から不可能であり、そのほとんどが物理的に興味のない事象のみを含んで要る価値のないデータである。したがって、生成データのうち物理的に興味深い事象を含んだデータを取捨選択し保存することは非常に重要である。このデータ選択を行う機構をトリガーと呼ぶ。ここでは 2018 年時点で運用されている ATLAS 検出器のトリガーシステムについて述べる。

図 2.1 にトリガーシステムの全体を示す。ATLAS 実験では、多段トリガーシステムを用いている。トリガーシステムは Level-1 Trigger と呼ばれる初段トリガと、その後段にある High Level Trigger に分けられる。

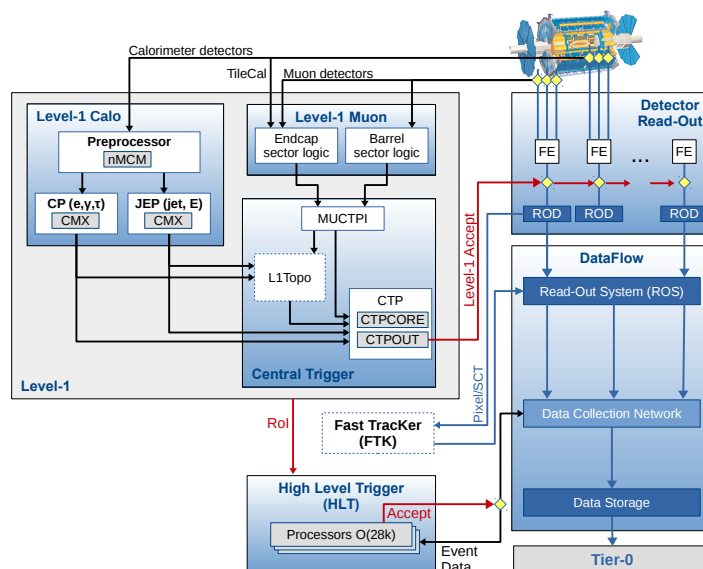


図 2.1: 2018 年現在運転中の ATLAS 実験トリガーシステム [5]。ATLAS 実験では、Level-1 Trigger と High Level Trigger の 2 段階のトリガシステムを用いている。

2.1.1 Level-1 Trigger

Level-1 Trigger では、40 MHz で送られて来る全てのデータに対してトリガ判定を行う。トリガ判定は $2.5 \mu\text{s}$ 以内で行うことが要求されている。また Level-1 Trigger では、40 MHz のイベントレートを 100 kHz 以下まで削減することが要求されている。このため、Level-1 Trigger では高速処理ができるよう Application Specific Integrated Circuit(ASIC) や Field Programmable Gate Array(FPGA) を用いハードウェア上で処理を行なっている。

Level-1 Trigger は、カロリメーターとミュオン検出器の情報を元にトリガー判定を行う。カロリメーターの情報を元にトリガー判定を行う Level-1 Calo, ミュオン検出器からの情報を元にトリガー判定を行う Level-1 Muon, そしてこれらの結果を合わせて判定を行ったものを L1 Topo という。Level-1 Muon については、Barrel 部分では RPC の、Endcap 部分では TGC の情報が用いられる。RPC, TGC で独立して判定された Level-1 Muon の情報は、Muon-to-CTP-interface(MUCTPI) で統合される。その後、Level-1 Calo と統合された Level-1 Muon は CTP(Central Trigger Processor) と L1 Topo へ送られる。L1 Topo では Level-1 Muon と Level-1 Calo の情報を組み合わせて、複合的なトリガーを発行する。

最終的に Level-1 Calo, Level-1 Muon, L1 Topo の情報は CTP へと送られ、L1 Accept(L1A) として Level-1 Trigger を発行する。

また L1 Trigger がトリガー判定を行っている間、各検出器のデータは各フロントエンド回路(FE) に備え付けられた Buffer(L1 Buffer) に保持されている。

Fixed latency システム

Level-1 Trigger は Fixed latency システムを採用している。つまり、陽子陽子衝突による事象が起きてから、それに対するトリガ判定を行う時間が常に一定となるよう設計されている。したがって、L1 Buffer では常に一定時間検出器からの読み出した全てのデータを保持し、L1A 信号があればデータを読み出し、そうでなければデータを捨てればよい。陽子陽子衝突から $2.5 \mu\text{s}$ 以内に L1 Trigger を発行するという制限は、この L1 Buffer のサイズから決まっている。また L1 Trigger を fixed latency システムとして運用するため、サブシステムである Level-1 Muon や Level-1 Calo なども全て fixed latency システムとしてデザインされている。

Latency を表す単位として、bunch crossing(BC) が用いられる。1 BC とは LHC で陽子衝突の頻度で、 $40 \text{ MHz} = 25 \text{ ns}$ である。例えば、L1 Trigger 発行までは $2.5 \mu\text{s} = 100 \text{ BC}$ 以内と表される。

High-Level Trigger

L1 Trigger の後段トリガとして、High-Level Trigger(HLT) が設けられている。L1A の出されたイベントに対し、ソフトウェアを用いてより精密なトリガ判定を行う。L1 Trigger で用いることのできない MDT や CSC のミュオン検出器や内部秘跡検出器の情報、より詳細なカロリメーターの位置情報などを用いて飛跡再構成、横エネルギー E_T や横運動量 p_T を計算し、それらを元にトリガー判定を行う。HLT では衝突より約 1 秒かけてトリガー判定を行い、イベントレートを 1 kHz まで削減し、物理データとして保存される。

2.2 現行のエンドキャップミュオントリガー

2.2.1 TGC

1.3.7で述べた様に、エンドキャップ領域ではTGCを用いてトリガー判定を行なっている。図2.2にTGCの配置を示す。TGCは磁場の内側に1層、磁場の外側に3層が設置されている。図2.2にある様に、FI, EI, M1, M2, M3 という名前がついている。EI, FI, M2 および M3 は doublet チェンバーであり、ワイヤー・ストリップ面共に2層ずつ持っている。M1 は triplet チェンバーで、ワイヤー面が3層、ストリップ面が2層という構成になっている。

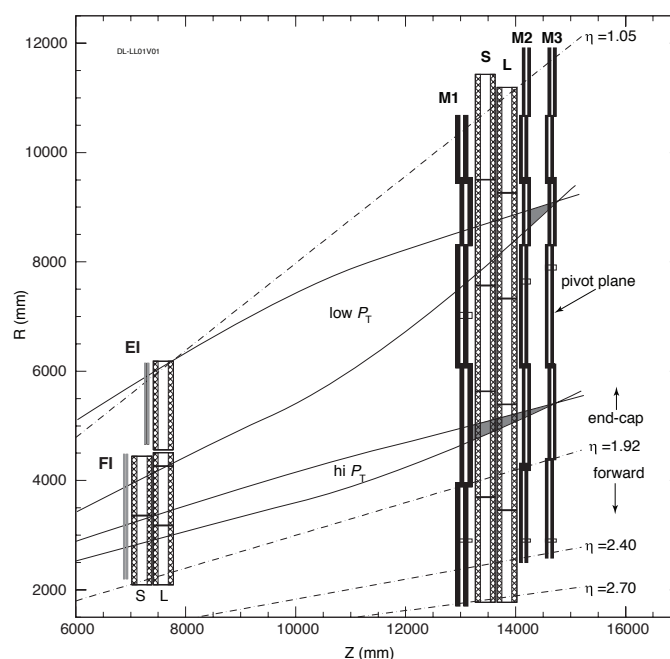


図 2.2: TGC の配置図 [6]. 磁場内側に、EI チェンバーと FI チェンバーが設置されている。磁場の外側には TGC の M1, M2, M3 が設置されている。

図 2.3 と図 2.4 に TGC チェンバーの配置図を示す。M1-M3 及び FI チェンバーは全 ϕ 方向を覆っているのに対し、トロイド磁石との干渉により EI チェンバーは全 ϕ 方向を覆っていない。

2.2.2 トリガー単位

TGC におけるトリガー発行は、トリガーセクターと呼ばれる単位ごとに行われる。トリガーセクターの様子を図 2.5 にしめた。トリガーセクターは、 $1.05 < |\eta| < 1.9$ の領域を ϕ 方向に 48 分割、 $1.9 < |\eta|$ の領域を ϕ 方向に 24 分割したものである。 $1.05 < |\eta| < 1.9$ の領域を Endcap 領域、 $1.9 < |\eta|$ の領域を Forward 領域と呼ぶ。トリガーセクターは各々独立にトリガー発行が行われ、情報の共有は行われない。

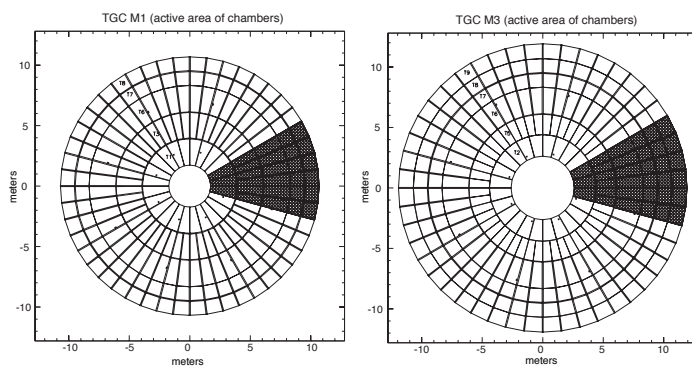


図 2.3: TGC M1, M3 の $R-\phi$ 面でのチェンバー配置図 [6]. M2 も同様に全 ϕ 領域を覆った構造をしている. 実線で囲まれたマス 1 つが 1 チェンバーに対応する.

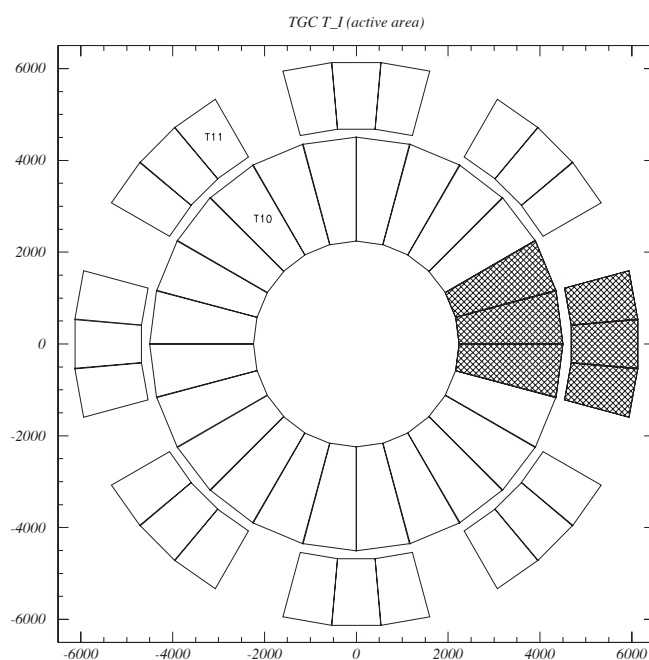


図 2.4: TGC EI と FI チェンバーの $R-\phi$ 面での配置 [6]. FI チェンバーは全 ϕ を覆っているが, EI チェンバーはトロイド磁石との干渉のためそうなっていない.

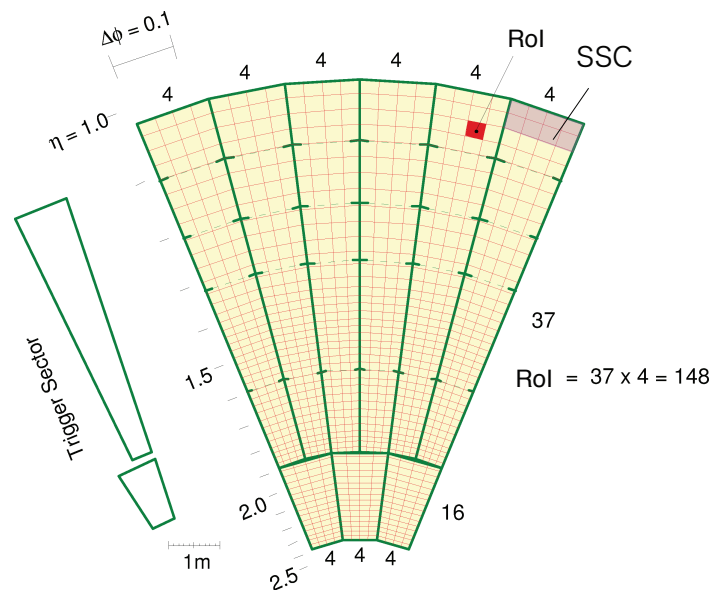


図 2.5: TGC のトリガーセクター及び RoI の様子 [2]. 緑線で囲まれた領域が1つのトリガーセクターを表す. トリガーセクターをさらに細かく分割している赤線の1マスが RoI. η 方向に2つ, ϕ 方向に4つの RoI をまとめたものを SSC と呼ぶ.

トリガーセクターは Region of Interest (RoI) と呼ばれる領域にさらに分割される. Endcap における RoI は η 方向に37分割, ϕ 方向に4分割, 合計148個の RoI へと分割され, 大まかに $\Delta\eta \times \Delta\phi = 0.02 \times 0.03$ に対応する. Forward 領域では η 方向に16分割, ϕ 方向に4分割, 合計64個の RoI へ分割したもので, $\Delta\eta \times \Delta\phi = 0.03 \times 0.06$ となっている. 1 RoI が TGC におけるトリガー判定の最小単位であり, これよりも細かい情報は L1 ミューオントリガーでは用いられない.

また, η 方向に2つ, ϕ 方向に4つの RoI をまとめたものを Sub Sector Cluster (SSC) と呼ぶ. 1 トリガーセクターは Endcap 領域では19個の SSC に分割される.

2.2.3 L1 Endcap Muon Trigger の概要

TGC を用いた Level-1 Muon Trigger の概要を述べておく. これは Run-2 で用いられているコンセプトである. 図 2.6 にトリガーの概要を示した. LHC の衝突点で生成されたミューオンは磁場の内側に設置された検出器を通過する. その後トロイド磁場領域に入る. 1.3.4 節で説明したように, トロイド磁場は ϕ 方向にかけられており, ローレンツ力を受けたミューオンは η 方向 (同じ意味だが R 方向) に曲がった飛跡となる. 磁場領域を通過したミューオンは TGC 検出器へ入射し信号を残していく. ミューオンの持つ横運動量 p_T によって飛跡の曲がり具合が異なる. L1 Endcap Muon Trigger では, ミューオンの飛跡の曲がり具合から p_T を計算し, それが設定した閾値より大きいかどうかでトリガー判定を行う, というのが基本的な戦略である.

飛跡の曲がり具合の計算は、TGC3層での飛跡情報と、TGC M3と衝突点を結んだ直線を比較することで行う。曲がり具合は R 方向と ϕ 方向で別々に計算され、 $(dR, d\phi)$ として表現される。飛跡の曲がり具合が小さいほど、ミュオンは高い p_T を持っていることになる。飛跡の曲がり具合 $(dR, d\phi)$ から p_T を計算する。この p_T はTGC-BWの情報のみから計算されたものである。さらに磁場内側にあるEI/FIやTile Calorimeterのヒット情報と比較し最終的な p_T を計算し、トリガー判定を行っている。

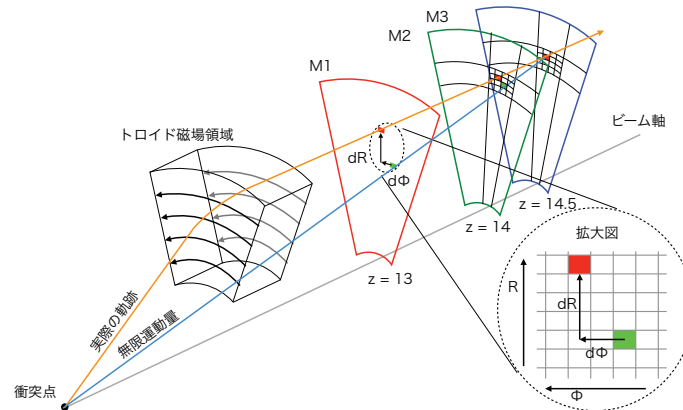


図 2.6: 現行のエンドキャップミュオントリガー概要 [7]. M1-M3でのヒット位置からミュオンの飛跡の曲がり具合を計算し、その情報を用いてトリガー判定を行う。

2.2.4 TGC エレクトロニクス

TGCで用いられているエレクトロニクスは、トリガー判定ロジックの実装と検出器の信号読み出しという2つの役割を持つ。図 2.7 に TGC エレクトロニクスの全体図を示した。

2.2.5 トリガーライン

トリガーラインとは、検出器で信号を受けてから L1 のトリガーを発行するまでのデータの流れることである。図 2.8 にトリガーラインの概要を示した。データは ASD → PP → SLB → HPT → SL と流れ、トリガー判定結果は MUCTPI へ送信される。以下、順に各エレクトロニクスの機能を説明する。

Amplifier Shaper Discriminator ボード

Amplifier Shaper Discriminator(ASD) ボードでは TGC のアナログ信号をデジタル信号へ変換する。ASD ボード上の ASIC で TGC のアナログ信号を増幅、整形し、閾値電圧を超えた信号のみを LVDS 信号で出力する。ASD ボードは TGC 検出器上に設置されており、4つの ASD ASIC を搭載している。

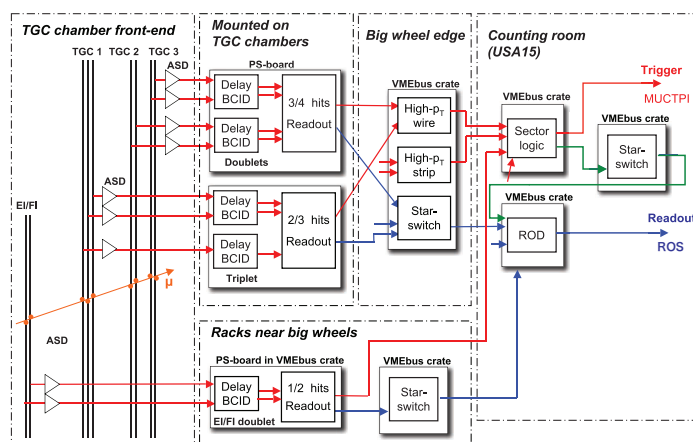


図 2.7: TGC で用いられるエレクトロニクスの全体像 [2]. 赤線はトリガー情報の流れを, 青線はデータ読み出しの流れを示している.

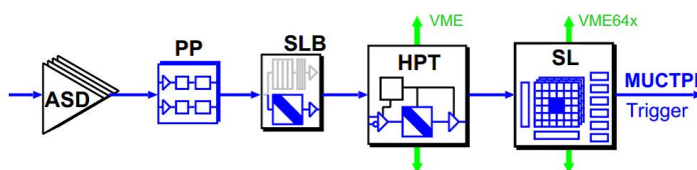


図 2.8: TGC エレクトロニクスのトリガーライン [8].

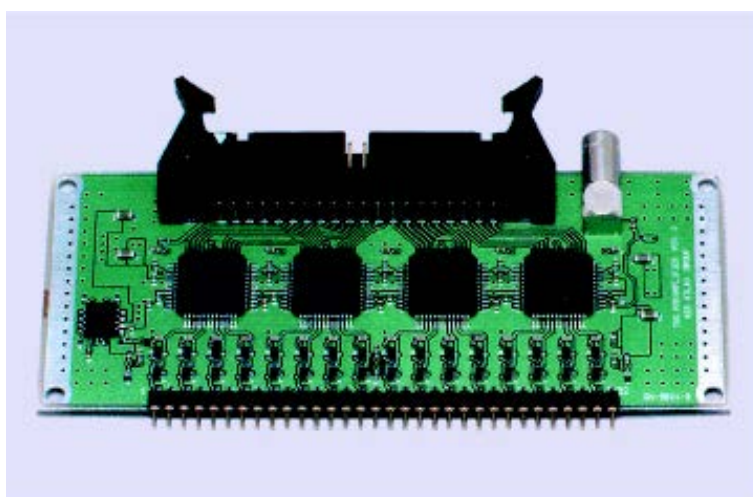


図 2.9: ASD ボードの写真 [9].

Patch Panel and SLB ASIC ボード

Path Panel and SLB ASIC ボード (PS ボード) は, Path Panel ASIC 及び SLB ASIC を搭載したボードである. TGC 検出器上に設置されており, トリガー情報処理のための HPT ボードと読み出しのための SSW と接続されている.

Patch Panel ASIC

Path Panel(PP) ASIC は, ASD から受信した LVDS 信号のタイミング調整を行う. すなわち隣接する 2RoI のデータを処理する.

受信した信号を 25 ns ごとに量子化し LHC 衝突に同期した信号とし, どのバンチ衝突で生成されたデータであるかを区別する BCID というタグをつける. また受信した信号タイミングは粒子の TOF, ASD-PP 間のケーブル長の違い等でチャンネル毎に異なるため, PP でこれらの差を吸収し同じ陽子衝突由来の信号が同じタイミングで後段の SLB ASIC に入るよう遅延調整をしている.

Slave Board ASIC

Slave Board(SLB) ASIC は, データ読み出しとトリガー判定の2つの役割を持つ. 図 2.10 に示すように, データは2つのラインに分けられ処理がなされる. ここではトリガーラインについて説明する. SLB では, M1 のワイヤーは3層のうち2層以上でヒットがあるかどうか (2-out-of-3 Coincidence), ストリップは2層のうち1層以上でヒットがあるかどうか (1-out-of-2 Coincidence), M2/M3 は4層で3層以上のヒットがあるかどうか (3-out-of-4 Coincidence), EI/FI doublet では1-out-of-2 コインシデンスをとる. コインシデンスの結果は LVDS 信号で HPT ボードへと送信される. EI/FI の結果は直接 SL ボードへと GLink 通信 (光通信の規格の1つ) を用いて送信される. SLB ASIC には, L1A の信号まで各検出器のデータを保持する L1 Buffer が用意されている. L1A を受信すると, そのイベントに加え前後 1BC 分のデータを L1 Buffer から読み出し, イベント情報を付加し Star Switch へと送る.

HPT ボード

HPT ボードでは, SLB の出力である M1 コインシデンス情報と, M2/M3 コインシデンス情報を用いて, M1・M2・M3 の3ステーションでコインシデンスをとる. M1 と M3 のヒット位置情報から位置の差 ΔR と $\Delta\phi$ を計算し, R 方向 ϕ 方向独立に結果を後段の SL ボードへと送信する. ワイヤーに対する HPT ロジックのブロック図を図 2.11 に示す. HPT から SL ボードへ送信される情報は, コインシデンス結果情報の ΔR と $\Delta\phi$, 及び HPT コインシデンスがとれたかどうかのフラグが含まれる. さらに, HPT ボードと SL ボード間の配線コストの制約から, HPT ボード1枚あたり2つのトラック候補以下になるようヒット情報をする. 実際に送信されるデータフォーマットは表 2.1 に示した通りである. SL ボードへは GLink 通信を用いて送信される. HPT ボードから SL ボードへ送信されるトラック候補は, コインシデンスマトリックスの構造及び SL ボードへの配線コストの制約から, R , ϕ 方向ともに隣接する 2RoI から1つのトラック候補に選択さ

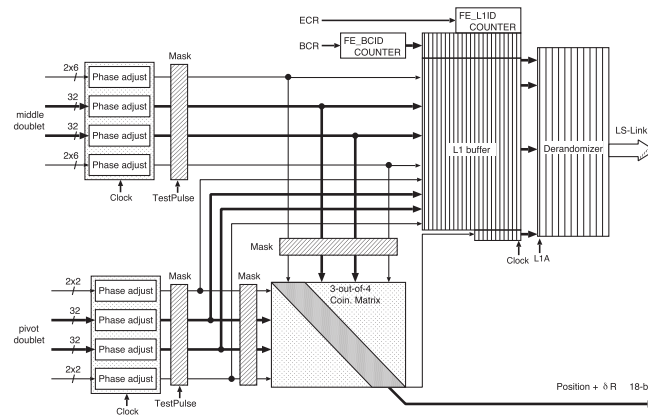


図 2.10: Doublet ワイヤ用 SLB の全体図 [6]. 上半分が読み出しライン, 下半分がトリガー用のラインである.

れ出力される. この際, 3ステーションコインシデンスが取れたトラック候補が最優先で選択される [10].

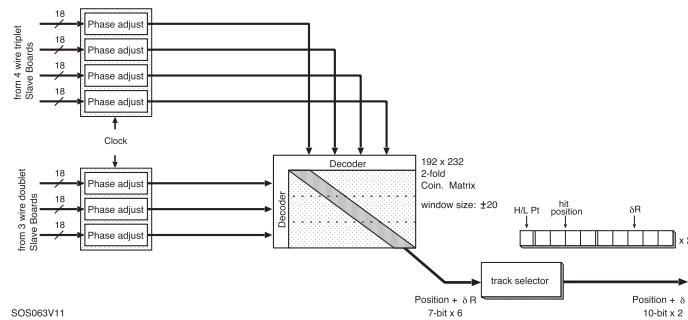


図 2.11: ワイヤ HPT で行われる処理 [6]. コインシデンスマトリックスを使って M1-M3 のコインシデンスをとる.

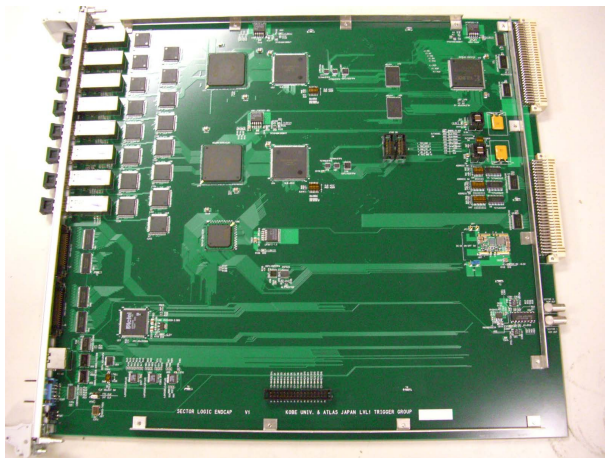
Sector Logic

Sector Logic(SL) は, トリガーラインの最終段に位置するモジュールである. 以下に示すように, HPT 情報, EI/FI, Tile Calorimeter からの信号を合わせ, 最終的な p_T を計算しトリガー判定を行うボードである. SL ボードには Endcap トリガーセクター用と Forward トリガーセクター用の 2 種類があり, どちらも Endcap/Forward の 2 トリガーセクター分のトリガー判定を行う. 図 2.12 に Endcap SL ボードの写真と主なチップを示した.

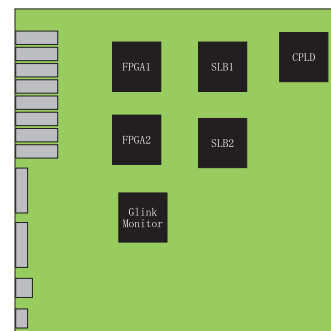
SL では, HPT ボードから受信したワイヤ (R) とストリップ (ϕ) の情報を用いて p_T を計算する. この計算は, SL 上に搭載されている 2 つの FPGA で行われる. FPGA は書き換え可能な

Bit	9	8	7	6	5	4	3	2	1	0
Wire	HITID[2:0]			POS	H/L	Sign	$\Delta R[3:0]$			
Strip		HITID[2:0]			POS	H/L	Sign	$\Delta\phi[2:0]$		

表 2.1: HPT ボードが SL ボードへ送信するデータフォーマット [11]. $\Delta R(\Delta\phi)$ の情報は符号を含めて 4 bit(3 bit) である. H/L の 1 bit は HPT コインシデンスが取れたかどうかを示す. POS と HITID はヒット位置に関する情報で 4 bit である.



(a) SL ボードの写真.



(b) SL ボード上のチップ.

図 2.12: SL ボードの様子 [11].

デジタル回路である。2枚のFPGAチップはそれぞれ1トリガーセクターのトリガー判定を独立して行なっている。 $R-\phi$ コインシデンスで計算されたミュオン候補は、磁場内側にある検出器(TGC EI/FI, Tile Calorimeter)とコインシデンスをとる。最終的に1トリガーセクターあたり最大2つのミュオン候補を選択し、バンチID(BCID)などの情報と共に後段のMUCTPIボードへと送信する。以下では、SLボードで行なっている処理を説明していく。

SLボードでは、トリガー判定に用いる信号は全てG-Link通信で受け取る。EndcapのSLボードは、図2.13に示したように、1トリガーセクターあたりワイヤーHPTボードから4本、ストリップHPTボードから2本で信号を受信する。よって、1つのSLボードでは合計 $4+2$ 本/トリガーセクター $\times 2$ トリガーセクター $= 12$ 本の光ファイバーでBig Wheel(BW)の信号を受け取る。また、Endcap部分ではEI/FIの信号を3本のファイバーで、Tile Calorimeterの信号は1本のファイバーで受信しており、SLボードは合計16本のファイバーで信号を受信する。ForwardのSLボードでは1トリガーセクターあたりワイヤーHPTボードから2本、ストリップHPTボードから1本で、1つのSLボードとしては合計6本のファイバーで信号を受信する。

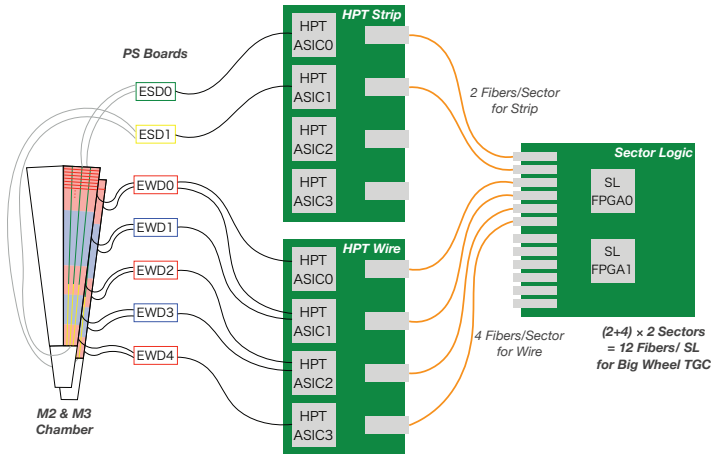


図 2.13: SL ボードと HPT ボードとの接続 [7]. ESD, EWD は Endcap Strip Doublet, Endcap Wire Doublet を表している。HPT ボードには PS ボードから情報を送っているが、省略している。この他 SL ボードでは EI/FI や Tile Calorimeter の情報も受け取る。図は 1 トリガーセクター分の信号を表している。

このようにして BW から受信したデータは表 2.1 のようなフォーマットを持っている。受信データを $(\Delta R, \Delta\phi)$ に変換し、運動量 p_T を計算しトリガー判定を行う。この $(\Delta R, \Delta\phi) \rightarrow p_t$ の計算は、磁場の非一様性や検出器のアライメントのズレを考慮し、RoI ごとに個別に定義される。計算は Coincidence Window(CW) と呼ばれるマップを用いて行われる。図 2.14 に CW の例を示した。FPGA 上では、CW は Look Up Table(LUT) を使って実装される。LUT は入力パターンに対して出力パターンをあらかじめ定めたメモリのことである。SL ではこれを使って $(\Delta R, \Delta\phi)$ から p_T の計算を行う。1つの RoI は 1つの CW を持っており、1FPGA で 1つのトリガーセクターを計算するため、RoI と同じ数だけの LUT が必要になる。すなわち Endcap では 148 個、Forward では 64 個の LUT が実装されている。

ここまでのトリガーロジックはすべて BW の信号に基づいて行われている (TGC-BW Coin-

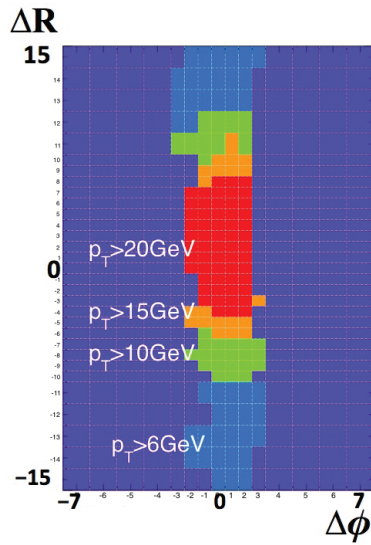


図 2.14: $\Delta R \times \Delta \phi$ の Coincidence Window[12]. ΔR , $\Delta \phi$ の値によって, 出力する p_T の値が変化する. 図では出力を色分けで表しており, ΔR , $\Delta \phi$ が大きいところでは低い p_T , 小さいところでは高い p_T と判定される. p_T は 3 bit で出力される.

cidence). 得られたミュオン候補に対して, 磁場の内側にある EI/FI や Tile Calorimeter のヒット位置とコインシデンスを取る. 磁場内側の検出器の情報を使ったコインシデンスを Inner Coincidence という.

Inner Coincidence の主な目的は, 衝突点由来でない荷電粒子によって間違っ発行されてしまうトリガー (フェイクトリガー) を削減することである. Run-1 では, TGC-BW Coincidence のみでトリガー判定を行っていたが, 図 2.15 に示すようにオフライン解析でミュオンが再構成されないにもかかわらず, トリガー発行をしている事象が多く見られた. これは特に η が大きい領域で顕著である.

この原因は, 図 2.16 に示すようなフェイクとなる荷電粒子に対しトリガー判定を行ってしまうためであった. このフェイク事象を取り除くため, Run-2 では図 2.17 のように磁場内側の検出器とコインシデンスを取っている. $1.0 < |\eta| < 1.3$ では EI と Tile Calorimeter, $1.3 < |\eta| < 1.9$ では FI とコインシデンスを取ることで, フェイクトリガーを大きく削減することができた.

2.2.6 リードアウトライン

リードアウトラインでは, トリガー判定の間データを保持し, L1A のときのみデータを読み出すラインである. 図 2.18 にその概要を示す. データは ASD \rightarrow PP \rightarrow SLB \rightarrow SSW \rightarrow ROD の順で流れる,

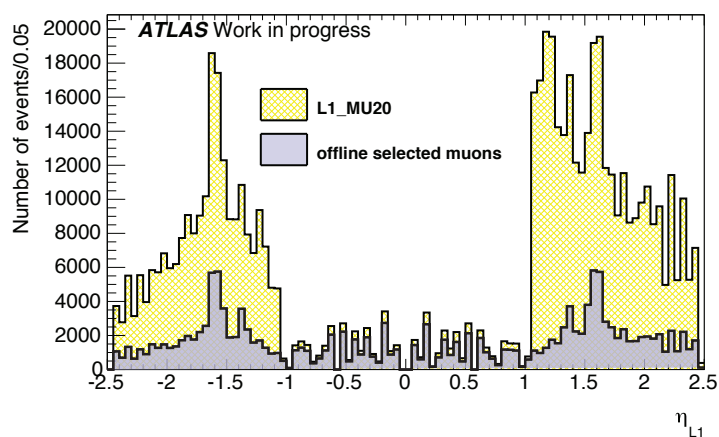


図 2.15: Run-1 における閾値 20 GeV 以上の L1 ミューオントリガーと、オフライン解析で再構成されたミュウオンの η 分布 [13].

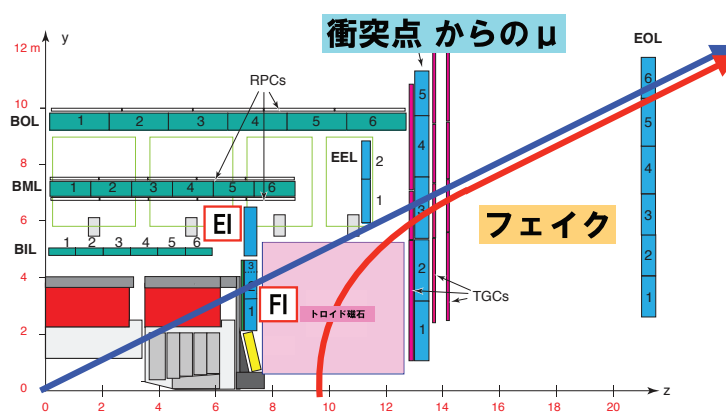


図 2.16: フェイクトリガーの原因 [13]. 衝突点付近でソフトな衝突をした陽子かとロイド磁石付近でビームパイプを叩き、衝突点由来でない荷電粒子が生じてしまう。

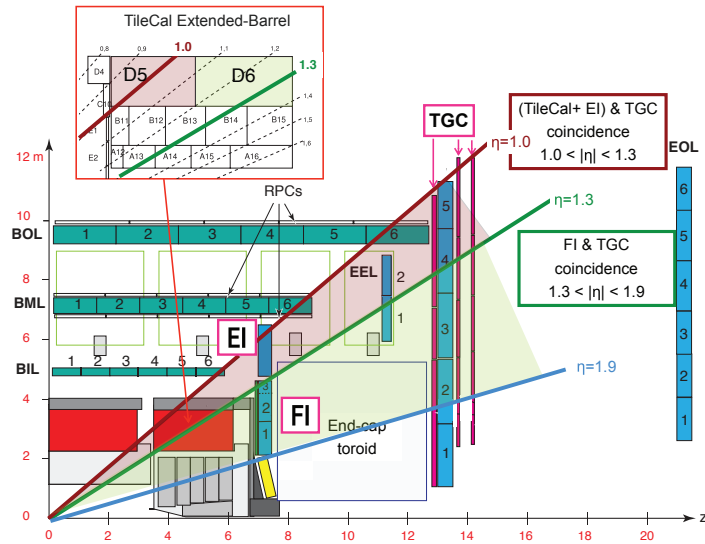


図 2.17: Inner Coincidenceの様子 [13]. $1.0 < |\eta| < 1.3$ では EI と Tile Calorimeter, $1.3 < |\eta| < 1.9$ は FI とコインシデンスを取る.

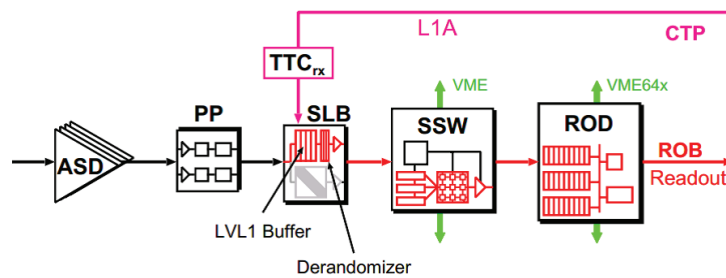


図 2.18: リードアウトラインの流れ [8]. データは SLB ASIC で一時的にバッファに保存され、L1A 信号を受信した際のみ後段に送信される。SSW と ROD ではデータの圧縮と整形を行う。

SLB ASIC

リードアウトラインでの SLB ASIC は、トリガー発行までのデータのバッファリングが主な役目である。これを Level-1 Buffer という。Level-1 Buffer は L1A が発行されるまで最大で 128 BC 分のデータを保持する。L1A が発行された場合は、そのイベントと前後 1 BC イベント (合計 3 BC) 分のデータを読み出し、必要なイベント ID 情報の付加・シリアル化を行い後段の SSW に送信する。SSW へは LVDS 信号で送信される。

Star Switch

Star Switch(SSW) では複数の SLB ASIC からの情報を受信し、1つのイベント情報としてまとめた後、データを圧縮して G-Link 通信で後段の ROD へと送信する。

Readout Driver

Readout Driver(ROD) は複数の SSW からの信号を受信し、まとめて後段の ROS に送信するモジュールである。同じ BC のデータをまとめ ID 情報とヘッダ・フッタを付ける (Event Building)。Event Building の後データ整形を行ってから S-Link という通信規格で Read Out System(ROS) へ送信する。

第3章 ミューオントリガー Phase-1 Upgrade

3.1 ATLAS Phase-1 Upgrade

1.4 節で述べたように 2018 年までの LHC-Run2 期間では、重心系エネルギー 13 TeV、瞬間最高ルミノシティ $2.14 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ で運転を行なった。約 2 年間のシャットダウンを経た後 LHC-Run3 と呼ばれる 2021 年から 2023 年の期間には、重心系エネルギーが 14 TeV、瞬間最高ルミノシティは $3 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ で運転を行う予定である。

ルミノシティの増加に伴いイベントレートも増加する。しかし物理データの記録レートなどは増やすことができないため、トリガーによってさらにイベントレートを削減する必要がある。横運動量に対する閾値をあげたり、プリスケールファクターをあげたりするなどの対策を講じなければいけない。しかしこれらの対策のみでは、物理現象に対する感度が下がってしまい、せっかくの高ルミノシティ実験の恩恵を受けることができない。そこで ATLAS 実験では、物理アクセプタンスを保ったままデータ取得を行うため、検出器やトリガーシステムのアップグレードを行う。ミューオントリガーでは、フェイクとなるミューオンの寄与の削減、ミューオンの運動量分解能を改善により厳選したデータ収集を実現を目指す。この 2021 年の Run-3 に向けたアップグレードを、Phase-1 Upgrade と読んでいる。

Phase-1 Upgrade での目的の 1 つに、ミューオンや電子といったシングルレプトントリガーの閾値の維持がある。図 3.1 に示すように、 W や Z から崩壊したミューオンは数十 GeV 程度の横運動量を持っている。例えば、図 3.1 に示すように、 p_T の閾値を 20 GeV から 40 GeV にあげるだけで、これらのイベントの 32% を失ってしまうことになる。

ミューオントリガー、特にエンドキャップミューオントリガーのアップグレードでは現行の TGC に加え、新しい検出器が導入される。Run-3 では新しい検出器からの情報も踏まえ、トリガー発行を行う。

LHC のアップグレードに伴うミューオントリガーのアップグレードについて述べる。アップグレードの目的は、LHC のアップグレードに伴うトリガーレートの上昇を抑え、ミューオントリガーの p_T 閾値を維持することである。

3.2 New Small Wheel

Endcap 領域にある磁場内側には Small Wheel と呼ばれる検出器が設置されている。Phase-1 Upgrade では、この Small Wheel を新たな検出器 New Small Wheel(NSW) へと置き換える。NSW は、高レート環境下での飛跡測定精度向上と、ミューオントリガー改良のために導入される。

図 3.2 に Run-3 での設置図を示す。Small Wheel が $|\eta| < 2.0$ の領域までだったのに対し、NSW は、 $1.3 < |\eta| < 2.7$ の全 ϕ 領域をカバーしている。NSW の全体図とその構造を図 3.3 に示す。

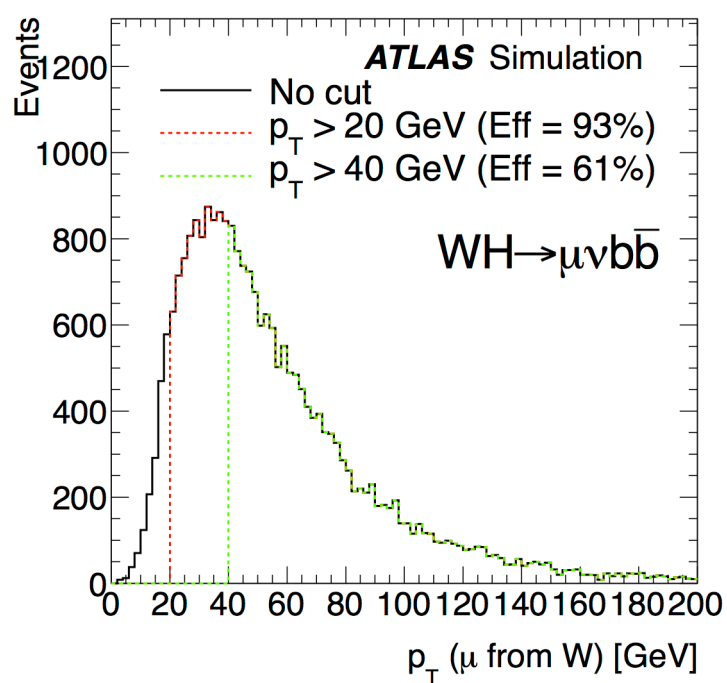


図 3.1: 重心系エネルギー 8 TeV で WH 生成過程で生じる W ボソンから崩壊したミューオンの p_T 分布 [14].

NSWでは、Large sector と Small sector で構造は同じであるがサイズの異なる検出器を設置する。図 3.3(b) では Small sector における構造を示した。NSW は small-strip TGC (sTGC) と Micromegas(MM) という 2 種類の検出器から構成される。sTGC と MM はそれぞれ 4 層の小さい検出器から構成されている。

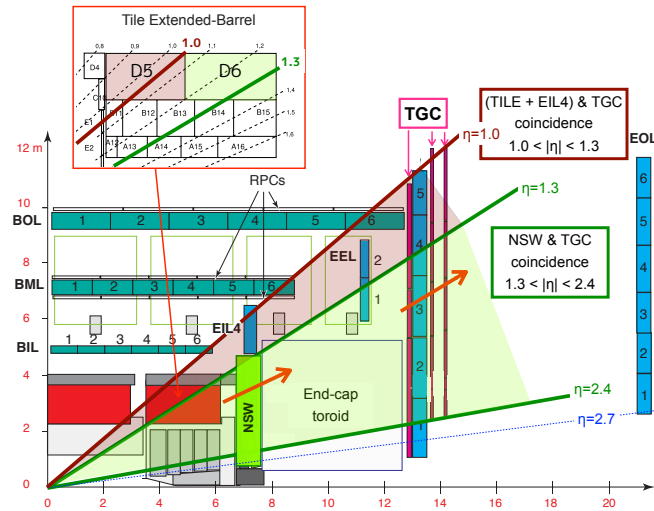


図 3.2: Run-3 でのミューオン検出器の配置図 [15]。NSW は $1.3 < |\eta| < 2.7$ の全 ϕ 領域に設置される。また、 $1.0 < |\eta| < 1.3$ の Small Sector には RPC BIS 78 が設置される。

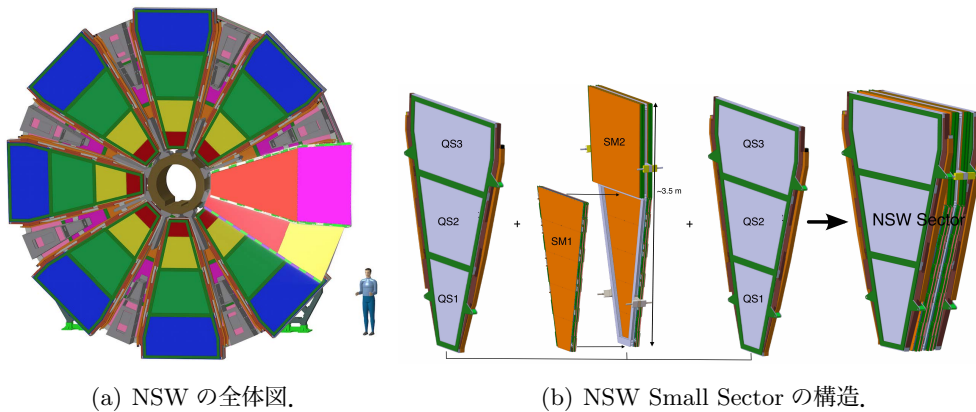


図 3.3: NSW の構造 [16]。青色が sTGC quadruplet, オレンジ色が MM を表す。2 つの sTGC によってオレンジ色の MM が 2 つ挟まれる。

3.2.1 small-strip TGC

small-strip TGC (sTGC)1層の構造を図3.4に示す。4層でsTGC 1つのモジュールを構成する。sTGCはBWで用いられているTGCと同様、50 μm のタングステンワイヤーに金メッキを施したものをアノードワイヤーに用い、ガスギャップ2.8 mm、ワイヤー間隔1.8 mmのMWPCとなっている。現行TGCとの違いは、sTGCではストリップの情報を用いて η 方向の測定を、ワイヤーを用いて ϕ 方向の測定を行う点である。MWPCでは、ストリップの電荷情報の重心を計算することで、ストリップ間隔よりも細かい分解能を達成することができる。sTGCではストリップは3.2 mm間隔となっており、現行TGCのストリップ間隔よりも小さく設計されている。sTGCでは60~150 mmの位置分解能となっている。

また、sTGCではパッドという読み出しカソードが設置されている。図3.4にあるように、sTGCは2枚のカソードでアノードワイヤーを挟んでいる。一方は3.2 mmのストリップを用いて読み出し、一方はパッドを使って読み出す。パッドの大きさは η の値でことなるが、典型的には80 μm 程度で、ストリップよりも荒い。まずはパッドを使ってコインシデンスをとり大まかに粒子のヒット位置を決める。その後ストリップで精度の高い計算を行う。段階的に計算を行うことで飛跡再構成の領域を制限できるため、短時間で精密な位置計算が可能となる。

3.2.2 Micromegas

Micromegas(MM)は、micro mesh gaseous structureの略で、ワイヤーを用いないガス検出器のことである。MM1層の構造を図3.5に示す。4層でMM 1つのモジュールを構成する。MM1層は平面の電極と金属メッシュからなり、増幅はメッシュと読み出し電極との間の領域で行う。このため発生した陽イオンや電子がmeshに達する時間が短くなり、高レートでの測定にも耐えることができる。1つのミューオンが入射したとき複数のヒットが残されるが、それらの信号の到達時間差をみることでドリフト距離も見積もることができる。よって検出器に対して垂直に入射していないミューオンに対しても十分な位置分解能を達成することができる。MM1つでは、電荷情報・時間情報を考慮すると位置分解能は90 μm である。

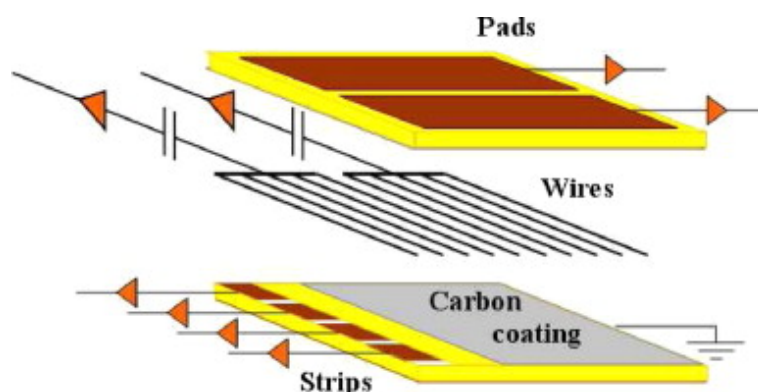


図 3.4: sTGC 1層の構造 [14]. sTGCではワイヤー、ストリップ、パッドの情報を読み出す。

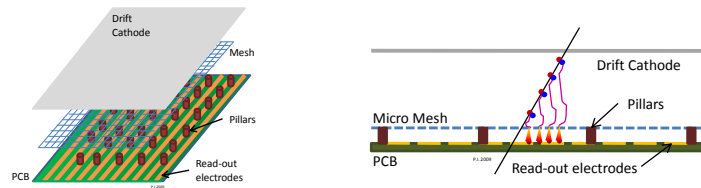


図 3.5: MM の構造 [14]. メッシュによりドリフト領域と増幅領域に分ける。

3.3 New Sector Logic board

現行のミューオントリガーシステムでは、TGC からの情報を元に、Sector Logic ボード (SL ボード) というボードを用いてトリガー判定を行なっている (図 2.1 の Endcap Sector Logic という部分に対応する)。TGC-BW の情報は G-Link 通信規格で SL ボードに送信されるが、NSW では通信速度の点から別の通信規格を用いて情報を送信する。新しい規格に対応するため SL ボードのアップグレードも必要になる。Phase-1 Upgrade では新たに New Sector Logic ボード (NewSL ボード) を導入する。図 3.6 に NewSL ボードの外観を示す。

詳しい NewSL ボードの機能やデザインについては次章で説明するが、大まかに NewSL ボードは

- TGC や NSW という検出器からのデータや、そのほか必要な情報を受信できる機構を持つ
- 受信したデータを元にトリガー判定を行う能力を持つ
- トリガーアルゴリズムを変更できる、パラメータの調整が外部から行えるなど、柔軟な運用ができる。
- トリガー判定の結果を MuCTPi へ送信する機構を持つ。

といった条件が必要である。

3.3.1 トリガーラインの改良

NSW という新しい検出器の導入に伴い、TGC で用いられるエレクトロニクスもアップグレードが施される。ここでは、新たに導入されるエレクトロニクス・改良を受けるエレクトロニクスについてまとめる。

New Sector Logic ボード

3.3 節で述べたように、従来の SL ボードに代わり New Sector Logic ボードが導入される。TGC BW や NSW などからのデータを元にトリガー判定を行う他、データ読み出し機能も備える。これらの機能は、New SL ボードに搭載された FPGA に実装される。

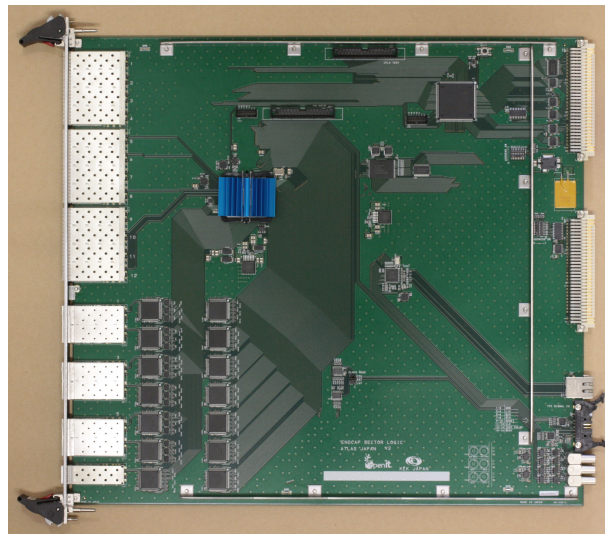


図 3.6: New Sector Logic board の写真. Phase-1 Upgrade に向けて開発されたボードである.

TGC EI 用 PS ボード

Run-2 では, TGC EI/FI をまとめて 1 つの PS ボードで扱っている. Run-3 以降では FI は NSW に置き換えられるため, EI 専用の PS ボードが必要となる. 通信規格やデータフォーマットなどの大きな変更はないため, Run-2 で用いられる TGC EI/FI 用 PS ボードとほぼ同じものが用いられる.

Tile Muon Digitizer Board

Tile Muon Digitizer Board (TMDB) は, Tile Calorimeter と TGC BW でコインシデンスをとるために Tile Calorimeter からの情報を New SL ボードへ送るハードウェアである. Tile Calorimeter を ϕ 方向に 64 分割したモジュール 8 個分の情報を 1 つの TMDB で処理し, 3 つの New SL ボードへと送信する. New SL ボード側は, 1 つの TMDB から情報を受信する. 情報の受信は Phase-1 Upgrade で新しく導入される GTX^[17] を用いてデータ通信を行う. GTX とは Xilinx Kintex-7 シリーズに搭載されている高速トランシーバーの名称であり, 光通信でデータの送受信を行うことができる.

NSW Trigger Processor

NSW Trigger Processor (NSW TP) は, NSW の信号を処理し New SL ボードへ送信するためのハードウェアである. NSW の sTGC と MM のヒット情報を用い, 独立に再構成したミューオンのトラック情報を統合して New SL ボードへと送信する. トラック情報とは, ヒットの位置情報 η と ϕ , 飛跡の角度情報 $\Delta\theta$ などである.

図 3.7 に NSW TP が処理をする NSW のセクターを示した。1つの New SL ボードは2つの TGC-BW トリガーセクターを担当し、Endcapセクター用 New SL ボードは3つの NSW TP から、Forward用 New SL ボードでは4つの NSW TP ボードからデータを受ける。

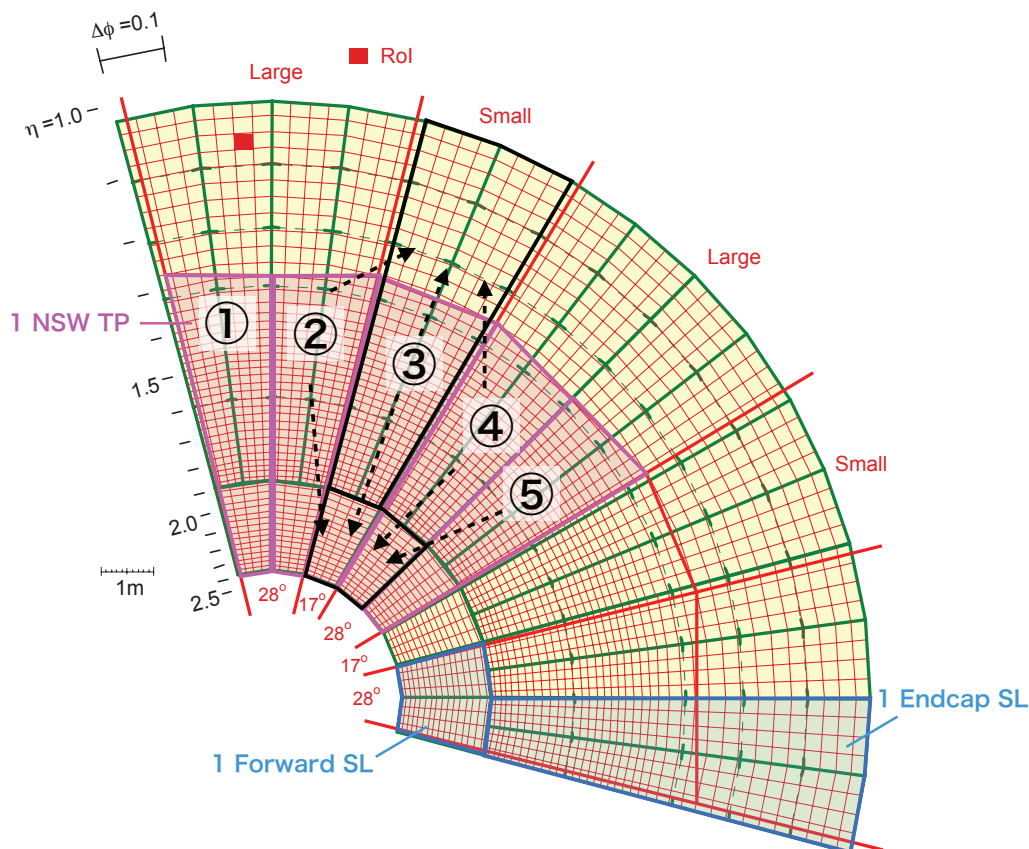


図 3.7: TGC-BW のトリガーセクター, NSW のセクター, 1つの NSW TP が処理する NSW のセクター領域の概要 [18]. NSW Large Sector は2つの NSW TP が, Small Sector は1つの NSW TP が処理を行う. 黒線で囲まれた TGC-BW Endcap 部のトリガーセクターを担当する New SL ボードは, ②~④の3つの NSW TP からデータを受信する. Forward トリガーセクターの場合, ②~⑤の4つの NSW TP からデータを受信する.

3.3.2 データリードアウトラインの改良

2.2.6 節で述べたように Run-2 では, トリガーデータの読み出しは SL ボードに搭載された SLB ASIC を用いて行なっている. これら一連のリードアウトシステムは専用のハードウェアで実装されており, 機能のアップグレードが難しい. また NSW の情報も含む大きなデータは SLB ASIC では扱いきれない. そこで, Phase-1 Upgrade では図 3.8 のように変更する. SLB で行なっていたデータのバッファリング, SSW で行なっていたデータ圧縮は, アップグレード後は FPGA に実

装される。さらに NewSL ボードには Ethernet が搭載されており、圧縮されたデータは Ethernet を通じて送信することが可能である。そこで、専用ハードウェアで実装されていた ROD を、コンピュータ上でソフトウェアとして実装することにする (Software-based Read-out Driver, SROD)。実際の運用では、複数の New SL ボードからデータをコンピュータに送ることになるため、通常のネットワークスイッチ経由でコンピュータにデータを Ethernet で送信することになる。このアップグレードにより読み出しに専用ハードウェアが不要となるため、今後の機能の改善も容易となる。

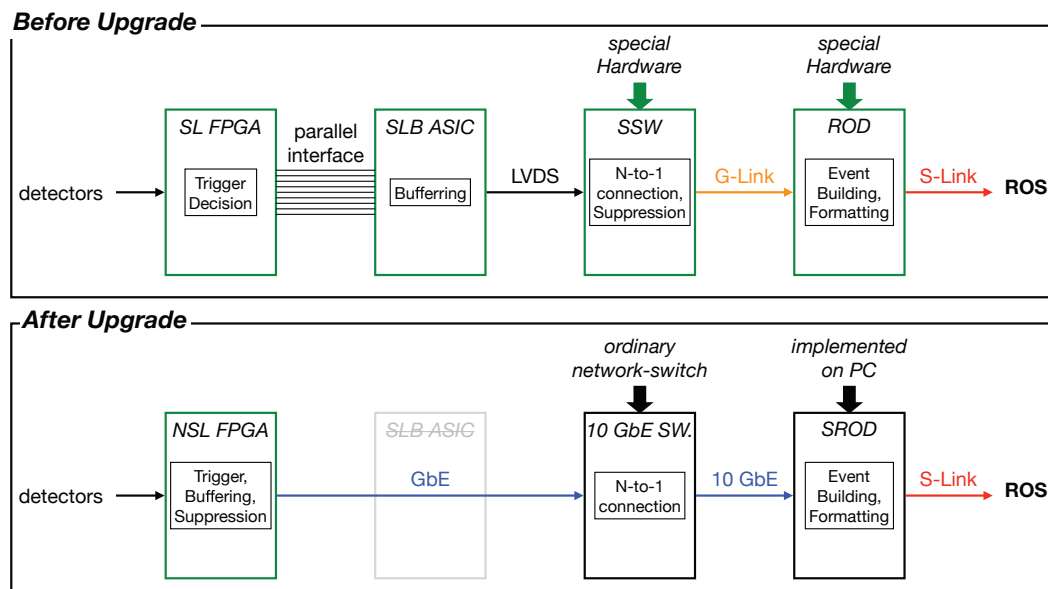


図 3.8: リードアウトの upgrade[7]. Upgrade 前は SLB, SSW, ROD といった専用ボードを用いているが, upgrade 後で ROD をコンピュータ上に実装する。

3.3.3 トリガーロジックの改良

2.2.3 で述べたように, Run-1 では TGC-BW のみのトリガー発行を行っていたが, Run-2 では TGC-BW と磁場内側の検出器である EI/FI と Tile Calorimeter を用いて Inner Coincidence を要求しフェイクトリガーの削減することができた。

Run-3 では, 3.2 節で述べたように Phase-1 Upgrade では NSW という新しい検出器が導入される。TGC-BW, EI/FI, Tile Calorimeter に加え NSW の情報を用いてコインシデンスを取る。NSW は Small Wheel に比べて位置分解能が高く, カバーする η の領域も広いためフェイクミュオンをさらに覗くことができ, トリガーレートも大きく削減できることがわかっている。

図 3.9 に NSW を追加した状態でのミュオントリガーの概要を示す。Run-2 までは Inner Coincidence が取れるのは $|\eta| < 1.9$ までの領域であったが, NSW 導入後は NSW がカバーする $|\eta| < 2.4$ まで Inner Coincidence を取ることができる。詳しいトリガーロジックは 4.5 で述べるが, TGC-BW と NSW との η, ϕ の位置の差及び NSW で測定する角度情報 $\Delta\theta$ を用いて p_T の計算を行う。

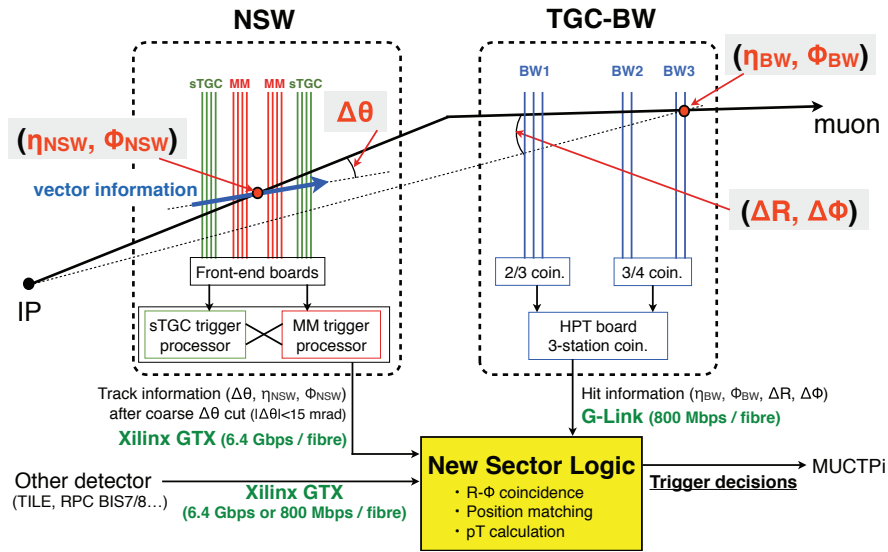


図 3.9: Run-3 における NSW を用いたミューオントリガーの概要図。トリガー発行には、既存の TGC-BW, EI/FI, Tile Calorimeter に加え NSW の情報を用いる。TGC-BW からはヒット情報 (η_{BW}, ϕ_{BW}) , NSW からはヒット位置 (η_{NSW}, ϕ_{NSW}) とミューオンの角度情報 $\Delta\theta$ が送られてくる。それぞれ G-Link 通信, GTX 通信でトリガー判定ボード New Sector Logic に送られ、トリガー判定が行われる。

Run-3 で、これまでのトリガーシステムをそのまま運用した場合と、NSW を導入したトリガーシステムで運用した場合の L1 Muon Trigger の予想レートを図 3.10 に示す。重心エネルギー 14 TeV, 瞬間ルミノシティ $3 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ で運転を行なった場合、 p_T 閾値 20 GeV では Run-2 のシステムで運用すると 30 kHz 以上のレートとなるが、NSW 導入後では 13 kHz 程度までにトリガーレートを抑制できることがわかった。

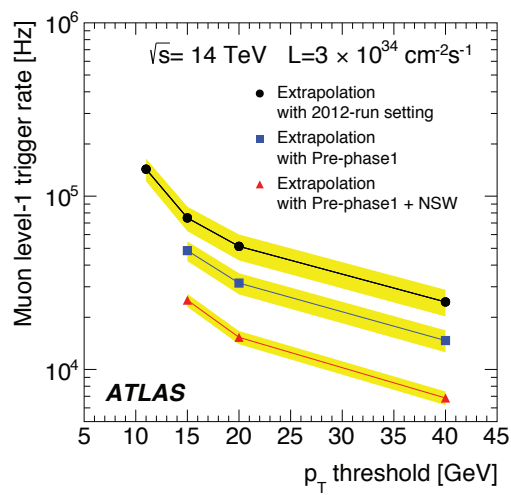


図 3.10: Run-3 で予想されるトリガーレート [15]. 縦軸が L1 Muon Trigger のレートで, 横軸は p_T 閾値. 黒線は 2012 年の, 青線は 2018 年の, 赤線は NSW Coincidence がある場合のトリガーレート.

第4章 New Sector Logic ボード概要

4.1 New Sector Logic ボードのデザイン

4.1.1 ボードに必要な機能

3章では Phase-1 Upgrade の前後でミューオントリガーがどのように変更を受けるか説明した。現行トリガーシステム機能の多くは、New Sector Logic ボード上へ実装され、トリガーロジックもより複雑なものへと変化する。New Sector Logic ボードに必要な機能は以下に示す5つである。

1. TGC Big Wheel からのデータ受信

TGC Big Wheel とそのフロントエンド回路は Phase-1 Upgrade では変更されない。TGC-BW からのデータは現在のフォーマットと同じであり、GLink 通信で送信される。

2. 内部にある検出器からのデータ受信

Run-2 に引き続き、磁場より内側にある検出器である TGC EI と Tile Calorimeter からデータを受信している。Run-3 以降では、FI に変わって New Small Wheel が導入される。これらの検出器からは異なる通信規格・転送速度でデータを受信するため、それぞれに対応した受信方法が必要となる。

- TGC-BW, EI

G-Link 通信でデータを受信する。受信速度は光ファイバー 1 本あたり 800 Mbps で、NewSL ボード 1 枚につき TGC-BW は 12 本のファイバーで、TGC EI は 2 本のファイバーでデータを受信する。

- Tile Calorimeter

GTX トランシーバーを用いて受信する。受信速度は光ファイバー 1 本あたり 1.6 Gbps で、NewSL ボード 1 枚につき 2 本のファイバーでデータを受信する。

- NSW

GTX トランシーバーを用いて受信する。受信速度は光ファイバー 1 本あたり 6.4 Gbps で、NewSL ボード 1 枚につき 6 本のファイバーでデータ受信をする。

-

また、Level-1 トリガーでは Fixed latency システムを採用しているため、各検出器からのデータを正しいタイミングで受信する必要がある。

3. トリガー判定

NewSL ボードでは、検出器から受け取ったデータを用いてミューオンの運動量 p_T を計算

し、トリガー判定を行う。トリガー判定は常に一定の時間で処理されなければならない。複数のミュオントラック候補があれば、算出された p_T が高い方から4つ選択する。ミュオントラック候補は MuCTPi ボードへと送信する。

4. 受信データの読み出し

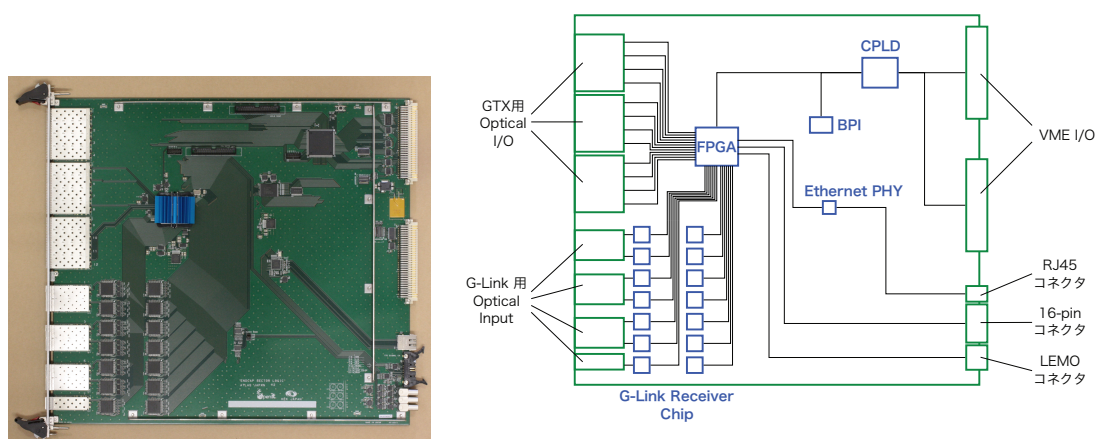
NewSL ボードは各検出器から受信したデータをバッファに保持する。L1A 信号があった時だけデータをバッファから読み出し、データを圧縮して後段の SROD へと送信する。データ送信は Ethernet で行うため、Ethernet のインターフェースを搭載していなければならない。

5. VME interface による制御

ミュオンの p_T 閾値変更や FPGA 上のレジスタなどのコントロールを VME バスで行う。NewSL ボードは VME 通信ができるインターフェースを持つ必要がある。

4.1.2 ボードデザインの概要

前節で説明した要求機能を実現するために、NewSL には複数の IC チップと I/O ポートが搭載されている。図 4.1 に NewSL ボードの写真と搭載された主な IC チップを示した。



(a) NewSL ボードの写真 (図 3.6 を再掲). (b) NewSL ボードに搭載された IC チップ [7]. 青が主なチップ, 緑が I/O ポートを示す.

図 4.1: NewSL ボードの写真と、ボードに搭載された IC チップと配線図.

4.1.3 搭載された主な IC チップと I/O ポート

図 4.1(b) に示すように、NewSL ボードには多くのチップと I/O ポートが搭載されている。これらについて個別に説明する。

FPGA

トリガー判定やデータのバッファリングといった NewSL ボードの主要な処理を担うのが FPGA チップである。FPGA は、回路情報を書き込むことで様々な機能を実現できるデバイスである。さらに回路情報は何回でも書き換え可能である。しかし FPGA は揮発性であり、電源投入ごとに回路情報を書き込む必要がある。NewSL ボードの FPGA は、Xilinx 社の Kintex-7 Series FPGA である XC7K410T を 1 つ搭載している。XC7K410T のリソースを表 4.1 に示した。GTX とは Xilinx が提供する高速トランシーバーであり、16 チャンネル分が搭載されており、磁場内部の検出器からのデータ受信に用いられる。ロジックセルは小規模な論理計算に用いられる。BRAM はメモリーであり、データ保存や大規模な計算を行う場合に用いられる。

デバイス名	ロジックセル	ブロック RAM(BRAM) Kb	GTX チャンネル数	User I/O pin
XC7K410T	406,720	28,620	16	500

表 4.1: XC7K410T の仕様 [19].

CPLD

CPLD(Complex Programmable Logic Device) とは、規模の小さい FPGA のことである。CPLD では VME バスを用いた制御 (以下 VME 通信と呼ぶ) や FPGA の回路情報の書き込み制御といった機能を実装する。CPLD は不揮発性のメモリを持っており、電源をオフにしても書き込んだ回路情報が保持される。従って、一旦 CPLD に上記の機能を書き込んでおけば、NewSL ボードの電源投入後即 NewSL ボードとの VME 通信や FPGA のデザイン書き込み制御が行える。また後述の BPI の制御も CPLD を介して行う。CPLD には、Xilinx 社製 CoolRunner-II Family の XC2C256-7PQ208C を用いている。

BPI

BPI は、FPGA の回路情報を保持しておくための不揮発性メモリである。Micron 社製 JS28F256P30T を搭載している。BPI に FPGA 回路デザインを書き込んでおくことで電源投入直後に FPGA へ回路情報を書き込むことができる。

G-Link Reciever Chip

TGC-BW からのデータは Run-2 と同様 G-Link 通信で受信する。NewSL ボードには G-Link 受信用チップとして現行の SL ボードと同じ HDMP-1034A を搭載する [20]。G-Link 受信チップでは、シリアル受信したデータをユーザー供給のクロックに同期したパラレル信号に変換し出力している。NewSL ボードでは、G-Link 受信チップに LHC クロック (40 MHz) を供給し、TGC-BW のデータを LHC クロックに同期したパラレル信号として受信し、FPGA でのトリガー判定に用いる。

Ethernet PHY

Ethernet 通信のために用いる。Microchip Technology 社製の LAN8810i-AKZE を搭載する。PHY チップと FPGA を接続し SiTCP という技術 [21] を用いることで、TCP/IP 通信が可能となる。

SFP+モジュール

FPGA に搭載されている GTX による通信インターフェースとして SFP+ を搭載している。SFP+ は光信号 ↔ 電気信号の変換を行うモジュールである。NewSL ボードでは Avago Technologies 社の AFBR-709SMZ を搭載している。GTX I/O は受信・送信共に 12 本搭載されている。受信側は最大 6 本を NSW のデータ受信に用いる。残り 6 本は必要に応じてそのほかの検出器からのデータ受信に用いることができる。送信側は 12 本のうち 2 本を MuCTPi への送信に用いる。

G-Link 用 SFP モジュール

G-Link 通信用の光信号変換モジュールには、W-Optics 社の SAB-1AC1-111 を搭載している。G-Link は受信ポートのみを 14 本搭載している。Endcap の NewSL ボードではうち 12 本 (Forward では 6 本) を TGC-BW のデータ受信に用いる。Endcap 用では、残り 2 本を EI のデータ受信に用いる。

4.2 NewSL ボード Firmware 概要

4.1.1 節で述べた機能のほとんどは FPGA 上に実装される。ここでは FPGA に実装される回路について述べる。

4.2.1 Firmware とは

FPGA は回路情報を書き込むことで様々なデジタル回路を実現することのできる IC である。FPGA に与える回路情報は Firmware と呼ばれている。Firmware は Verilog HDL や VHDL といったハードウェア記述言語 (Hardware Discription Language, HDL) を用いて記述する。HDL を用いることで、ソフトウェアを用いてハードウェア回路の開発・管理ができる。作成した HDL ファイルは、専用の software を用いてコンパイルされ、FPGA へ書き込むことのできる形式に変換される。NewSL ボードで用いている Xilinx 社製 FPGA 用 Firmware を開発する時は、同社の提供する Vivado Design Suite という開発環境を用いる。

普通デジタル回路はクロック同期回路として動作する。同期回路とは、種々の論理演算を特定の信号 (クロック) にタイミングを合わせて行う回路のことである。ある信号がどのクロックに同期して変化するのか、クロックから別のクロックに信号を載せ替える場合はどのような処理が必要か、などを考慮することは非常に大切である。

4.2.2 NewSL ボードの Firmware

図 4.2 に NewSL ボード用の Firmware のブロック図を示した。Firmware は大きく 3 つの部分に分けられる。

1 つ目は Trigger Firmware と書かれた、トリガー発行に関する処理を行う部分である。受信データのデコード、トリガー判定、その結果の出力を行う。トリガー発行に関するロジックは 4.5 節で説明する。

2 つ目は Readout Firmware と書かれた、データの読み出しに関する部分である。トリガー結果とトリガー判定に用いたデータを一時的に保存しておき、L1A 信号を受信した場合はデータの読み出し、整形、圧縮を行い、Ethernet PHY チップでデータを出力し、データを Ethernet で読み出すことができる。

3 つ目は GTX RX interface, GTX TX interface と書かれた、データの送受信に関する部分である。これらはシリアルデータの送受信に関する処理を行う。GTX RX/TX interface は、GTX 通信でデータを送受信するためのブロックとデータのやり取りをする。Xilinx 社が提供する Firmware を用いて必要な機能を持つ Firmware を開発する必要がある。GTX トランシーバーでの処理については 4.4 節で述べる。

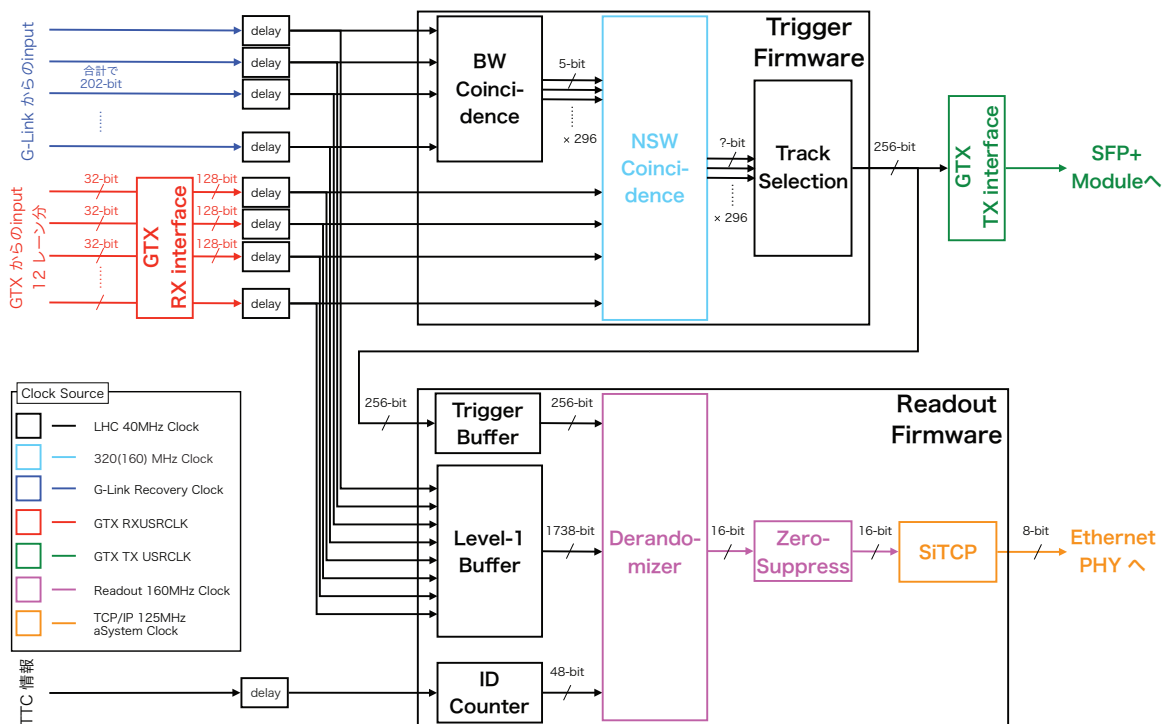


図 4.2: NewSL ボード用に開発された Firmware の概要。

図 4.2 にあるように、NewSL ボード用 Firmware では複数のクロックを用いてデータの処理を行う。NewSL ボード用 Firmware で使用されるクロックは以下の 7 種類である。

- LHC 40 MHz クロック

LHC から供給される 40 MHz のクロック。陽子陽子衝突と同期しており、トリガー判定に使うデータはこのクロックに同期している。トリガー判定などはこのクロックに同期して行われる。このクロックで動作するブロックは黒線で示されている。

- 320(160) MHz クロック
検出器からのデータを元にコインシデンスをとり p_T を計算するために用いられるクロック。320 MHz と 160 MHz のクロックを使用する。
- G-Link Recovery クロック
G-Link 受信データから復元されるクロック。G-Link でデータを受信する際に用いる。このクロックで動作するブロックは青線で示されている。
- GTX RXUSRCLK
GTX の受信データから復元されるクロック。GTX で受信したシリアルデータはこのクロックに同期したパラレルデータへ変換される。トリガー判定にデータを用いるためには、このクロックで動作するブロックは赤線で示されている。詳しくは 4.4 節で説明する。
- GTX TXUSRCLK
GTX の送信用に使われるクロック。このクロックで動作するブロックは緑線で示されている。詳しくは 4.4 節で説明する。
- Readout 160 MHz クロック
Level-1 Buffer に保持したデータを読み出す際に使われる 160 MHz のクロック。LHC 40 MHz クロックから生成されている。このクロックで動作するブロックは紫線で示されている。
- TCP/IP 125 MHz System Clock
読み出したデータを Ethernet で出力するために使われるクロック。これも LHC 40 MHz クロックから生成されている。このクロックで動作するブロックは黄線で示されている。

4.3 NewSL ボードの送受信データ

4.3.1 受信データ

NewSL ボードは、TGC-BW, TGC-EI, Tile Calorimeter, NSW といった検出器からデータを受信する。各検出器からのデータフォーマット、受信速度と通信規格についてまとめておく。

TGC-BW

TGC-BW からのデータ及び受信形式は Phase-1 Upgrade の前後で変化しない。

各 HPT ボードから表 2.1 にしたがった合計 17 bit のデータが送られてくる。トリガー判定に用いるデータは 17 bit であるが、実際に G-Link 通信で受信するデータは 21 bit となっている。データ以外の 4 bit はデータのエラー検出のために付けられる bit である。TGC では G-Link 通信を LHC クロックの 40 MHz で行うため、転送速度は 21 bit × 40 MHz 800 Mbps である。

TMDB

Tile Calorimeter は鉄(吸収体)とプラスチックシンチレータを用いたカロリメータであり、電磁カロリメータの外側に設置されている。Tile Calorimeter は ϕ 方向に 64 分割されたモジュールで構成されており、図 4.3 の各四角で示されて要るセルごとにエネルギーの測定を行う。透過性の高いミュオンはカロリメータ内で MIP として振る舞い、ミュオンの飛跡にそってエネルギーを落とす。このエネルギー損失をつかかってミュオンに対するコインシデンスを取る。NewSL ボードでのトリガー判定に必要な情報は、 $1.0 < |\eta| < 1.3$ の領域を覆う D5 と D6 でのコインシデンス情報のみである。TMDB では、Tile Calorimeter のモジュールごとに測定したエネルギーをデジタル化し、3 bit の情報として NewSL ボードへ送信する。1 つの TMDB は Tile Calorimeter のモジュール 8 つ分の情報を処理する。1 つの NewSL ボードは TMDB から Tile Calorimeter モジュール 4 つ分の情報を受け取る。

TMDB からのデータフォーマットを図 4.4 に示す。NewSL ボードへの送信は 8 bit ずつに分けて行う。送信の際に 8B/10B encoding を行なって 10 bit のデータに変換してから送信する。データ送受信には Xilinx の GTX を使用し、データ転送は 160 MHz を用いているため、転送速度は $10 \text{ bit} \times 160 \text{ MHz} = 1.6 \text{ Gbps}$ となる。

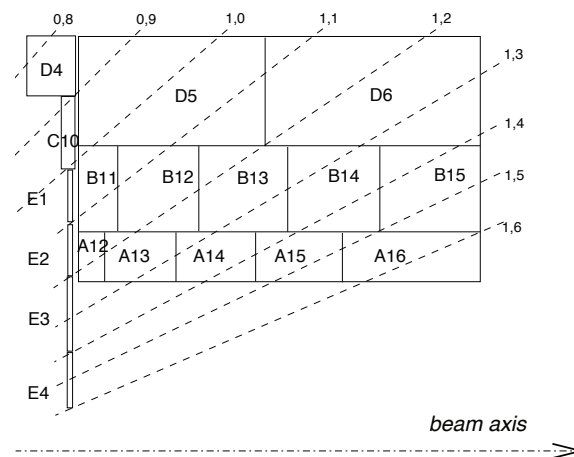


図 4.3: Tile Calorimeter セルの配置図 [2]. D5 と D6 からの情報を NewSL ボードではトリガー判定に用いる。

NSW

NSW からのデータには、ミュオンのヒット位置と角度情報が含まれている。トラック候補 1 つ分のデータフォーマットを表 4.2 に示す。sTGC と MM は、sTGC と MM でのコインシデンス情報を表す。4 層のうちコインシデンスの取れた層が多いモジュールを 2 bit で表現している。 ϕ や η の bit 幅は、NSW で用いられる分解能から決められている。NSW の 1 セクターでは、 $1.3 < \eta < 2.4$, ϕ の幅 $2\pi/12 \text{ rad}$ の範囲を η 0.005, ϕ 10 mm のピッチで表現する。

TMDB

	Second Byte								First Byte							
Bits	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Word-0	BCID[3:0]				TMDB[3:0]				Comma(K29.5)							
Word-1	Mod3[2:0]				Mod2[2:0]				Mod1[2:0]			Mod0[2:0]		Cable[1:0]		

Data format

Bits	2	1	0
ModX	D5+D6	D6	D5

図 4.4: TMDB からのデータフォーマット. ModX が各モジュールで測定したエネルギーの情報を持つ. TMDB はどの TMDB ボードからのデータであるか, Cable は TMDB ボードのどのポートから出力されたデータであることを示す.

Bit	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Data	sTGC		MM		$\Delta\theta$				ϕ position					η position										

表 4.2: NSW からのデータフォーマット [15]. 1つのトラックは 24 bit で表現される. ただし, 0 bit 目は現在使われていない.

角度情報である $\Delta\theta$ は図 4.5 のように定義される. 仮にミューオンが衝突点からまっすぐに NSW まで飛びヒット情報を残した場合は, $\Delta\theta = 0$ となる. 実際は, 衝突点は中心点から $\sigma \sim 5$ mm 程度の広がりを持つこと, NSW まで飛んでくるまでに Tile Calorimeter などと多重散乱を起こすことなどから, 図 4.6 のように $\Delta\theta = 0$ を中心とする広がりを持つ. 広がり正規分布で近似でき, 典型的な標準偏差は $\sigma \sim 5$ mrad 程度である. 衝突点由来のミューオンは 99 % 以上の場合で $|\Delta\theta| < 15$ mrad に収まる. Level-1 Muon Trigger で要求される分解能が $\Delta\theta$ 1 mrad であるため, $\Delta\theta$ は -15 mrad から +15 mrad を 5 bit 幅で表現する.

1つの NSW TP は, 1BC ごとに最大で 8 個のトラック候補を送信できる. NSW TP は NewSL ボードへ 2 本の光ファイバーを用いてデータを送信する (したがって, ファイバー 1 本あたり 1BC ごとに最大 4 個のトラック候補を送信できる). ファイバー 1 本について枚 BC ごとに送信されてくるデータのフォーマットを図 4.7 に示す. Comma とは, 用いられる高速シリアル転送方式である 8b/10b で定義される Byte Alignment 用の特別な文字である. また本データフォーマットではデータの切れ目を表す文字としても用いられる. comma を 2 Byte 分 (=16bit) 送信したのち, 4 つのトラック情報を送る. Word-7 にはバンチ ID が含まれる.

NewSL ボードへの送信は 32 bit ずつに分けて行う. 送信の際に 8B/10B encoding を行なって 40 bit のデータに変換してから送信する. データ送受信には Xilinx の GTX を使用し, データ転送は 160 MHz を用いているため, 転送速度は $40 \text{ bit} \times 160 \text{ MHz} = 6.4 \text{ Gbps}$ となる.

4.3.2 送信データ

NewSL ボードは, トリガー判定結果をシリアルデータとして, MuCTPi へと送信する. 図 4.8 に送信フォーマットを示す. 送信データは, トリガー判定結果を示す 16 bit の Muon Candidate が 4 つ送られ, 4 bit の Global flags, 12 bit の BCID, エラー検出用の 8 bit CRC, そして Comma

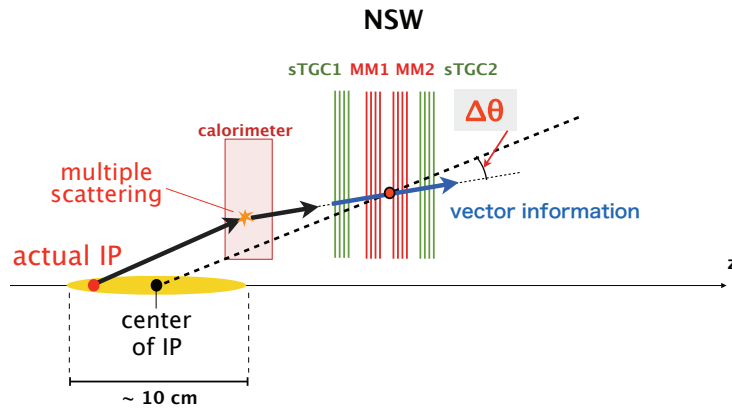


図 4.5: $\Delta\theta$ の定義 [7]. 衝突点の中心とヒット位置から計算した θ と、実際のトラックの θ の値から計算される。

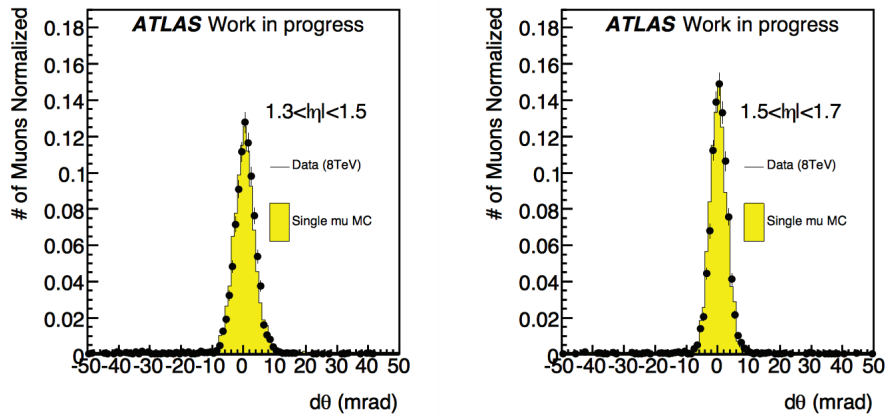


図 4.6: $\sqrt{s} = 8$ TeV のデータとシミュレーションでの $\Delta\theta$ の比較 [7]. 左は $1.3 < |\eta| < 1.5$ の分布で、右は $1.5 < |\eta| < 1.7$ の分布。

Words	first byte	second byte
Word-0	comma	comma
Word-1	track-0	
Word-2	track-1	
Word-3	track-2	
Word-4	track-3	
Word-5	track-4	
Word-6	track-5	
Word-7	ID(4bit)	BCID(12 bit)

図 4.7: NSW TP から送られてくる光ファイバー 1 本あたりのデータフォーマット [15]. 1BC ごとにデータが送信されてくる。

Wordを送信する。2種類の Comma Wordのうちどちらを送信するかはまだ決まっていない。また Global flag に詰める情報も未定である。

Muon Candidate には、RoI 8 bit, p_T 4 bit, トラックの電荷情報 1 bit, フラグ情報 3 bit が含まれる。RoI は TGC-BW の Endcap 部分で 148 個あるため 8 bit, p_T は Level-1 トリガーでは 14 段階の横運動量閾値を設定するため、4 bit を使っている。flag 情報は予備である。

Bits	Second Byte								First Byte							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Word-0	Muon Candidate1 [15:0]															
Word-1	Muon Candidate2 [15:0]															
Word-2	Muon Candidate3 [15:0]															
Word-3	Muon Candidate4 [15:0]															
Word-4	Global flag [3:0]			BCID[11:0]												
Word-5	CRC[7:0]							0xFD (K29.7)								
Word-6	0xC5 [D5.6]							0xBC (K29.5)								
Word-7	0xC5 [D5.6]							0xC5 [D5.6]								

Bits	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	charge		Flag			pT			RoI							

図 4.8: MuCTPi へ送信するデータフォーマット。4つのミュオントラックの情報と BCID を送信する。送信は 1BC ごとに行われる。

4.4 GTX でのデータ送受信

現行の SL ボードでは、TGC-BW からのデータ受信に G-Link という規格の光通信を用いている。Run-3以降で用いられる NewSL ボードでは、G-Link 通信に加えて Xilinx 社が提供する GTX という光通信の規格も追加される。

4.4.1 GTX トランシーバー

GTX トランシーバーは、Xilinx 社の Kintex-7 Series FPGA に搭載されている高速通信トランシーバーである [17]。今回用いる FPGA の XC7K410T には、最大 8.0 Gbps で通信ができるトランシーバーが搭載されている。トランシーバーは受信・送信ともに 8B/10B 変換の機能を有する。

- NSW からのデータ受信には、外部データ幅 32 bit, 160 MHz シリアル通信で 6.4 Gbps
- TDMB からのデータ受信には、外部データ幅 8 bit, 160 MHz シリアル通信で 1.6 Gbps
- MUCTPI へのデータ送信には、外部データ幅 32 bit, 160 MHz シリアル通信で 6.4 Gbps

という設定で用いる。上記すべての通信で 8B/10B 変換を使用している。

以下では、トランスミッター (TX) とレシーバー (RX) の構成について説明する..

GTX TX

トランスミッター側では、送信データを FPGA からパラレルデータとして渡される。これをシリアル信号に変換したのち、1組の差動信号で送信する。図 4.9 に GTX TX のブロック図を示した。

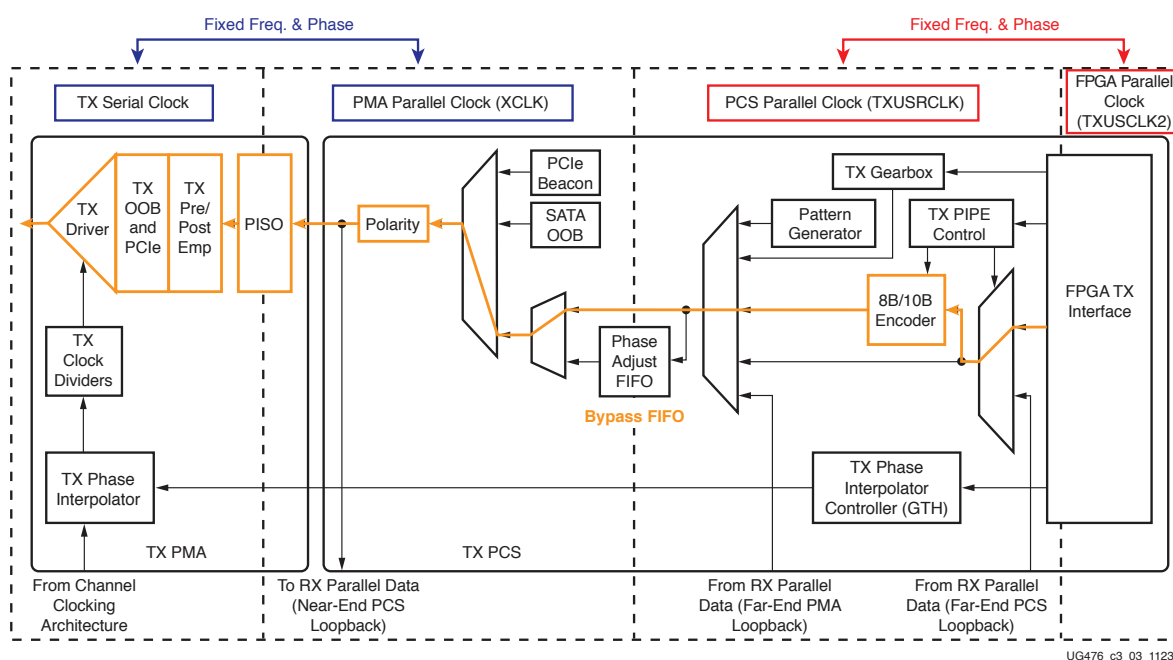


図 4.9: GTX TX 部分のブロック図 [17]. オレンジの線が NewSL ボードで使う場合のデータ処理の流れとなる。

まず GTX TX ブロックで用いられるクロックについて説明する。図 4.9 で示すように、GTX TX ブロックでは赤枠と青枠で囲った 4 種類のクロックが使われている。

- TXUSRCLK2

TXUSRCLK2 は、GTX トランシーバーが生成するクロックを基準としたクロックである。FPGA 上で与えられたパラレルデータはこのクロックに同期して GTX TX ブロックへと受け渡される。TXUSRCLK2 はデータ転送速度やデータ幅によって適切な値へ設定される。

- TXUSRCLK

TXUSRCLK は、TXUSRCLK2 を基準として生成されるクロックであり、2つのクロックの位相、周波数の関係がわかっている。必要に応じて、TXUSRCLK は TXUSRCLK2 から分周・逡倍して生成される。TXUSRCLK は後述の 8B/10B エンコーダーロジックの駆動に使われる。

- TX Serial Clock
TX Serial Clock は、実際に送信データが同期するクロックである。これは GTX トランシーバー内で生成されるクロックである。PISO ブロックで使用される。
- XCLK
XCLK は TX Serial Clock から生成されるクロックであり、TX Serial Clock との位相、周波数の関係がわかっている。

次に、図 4.9 で示されている各ブロックについて説明する。

- FPGA Interface
送信したいデータをパラレル信号のまま FPGA Interface に渡す。データは TXUSRCLK2 に同期している。後述の 8B/10B 変換を用いる場合、渡すことのできるデータ幅は 16 bit, 32 bit, 64 bit のいずれかでなければならない。
- 8B/10B Encoder
8B/10B 変換は、IBM 社が開発したシリアル通信の際に用いられるエンコード・デコード方式である。8B/10B Encoder では与えられたデータを 8 bit ずつに分解し、あらかじめ決められたパターンに従い 10 bit データへと変換する。この際付け加えられた 2 bit の情報を元に、データの受信側では受信データからクロックの復元が可能となる。また Comma という特別なデータパターンを送信することで、シリアル信号からパラレル信号への変換に必要なデータの境界を復元することができる。このロジックは TXUSRCLK によって駆動される。
- Phase Adjust FIFO
8B/10B 変換されたデータは XCLK というクロックに乗せ替えられ、いくつかのロジックを経由したのち PISO ブロックへと入力される。普通は、XCLK と TXUSRCLK との間には位相の関係が定まっていないため、データ受け渡しの際は FIFO を噛ませるなどの工夫が要る。通常はこのために Phase Adjust FIFO を入れクロックドメインの変更を行う。一方で XCLK と TXUSRCLK に同じクロックを用いた場合、上記4つのクロックの位相・周波数の関係が完全に定まることになる。この場合は TXUSRCLK から XCLK への受け渡しに FIFO を経由する必要はなく、Phase Adjust FIFO をバイパスすることができる。さらに Phase Adjust FIFO をバイパスした場合のみ、FPGA Interface から TX Driver までの処理時間が一定となる。NewSL ボードでは Fixed latency のために Phase Adjust FIFO はバイパスしている。
- PISO
Parallel In Serial Out の略で、パラレル信号入力をシリアル信号へ変換するブロックである。XCLK 同期のパラレル信号は TX Serial Clock 同期のシリアル信号となって出力される。また出力は差動信号である。

GTX RX

図 4.10 に GTX RX のブロック図を示す。GTX RX ではシリアル信号を差動信号として受信し、データをパラレルデータに復元して FPGA RX Interface へ出力する。RX ブロックで用いら

れるクロックについて説明する。

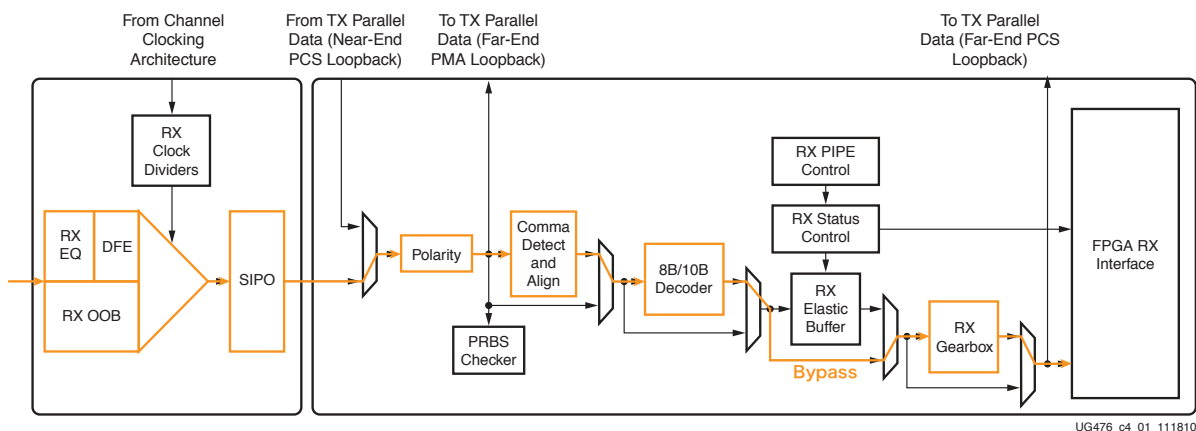


図 4.10: GTX RX 部分のブロック図 [17]. オレンジの線が NewSL ボードで使う場合のデータ処理の流れとなる。

- RX Serial Clock
RX Serial Clock は受信したデータから復元される Recovery Clock である。受信データはこのクロックに同期している。
- XCLK
RX Serial Clock から生成されるクロックであり、RX Serial Clock との位相・周波数の関係が完全に定まっている。
- RXUSRCLK, RXUSRCLK2
FPGA RX Interface にデータを渡す際にデータが同期するクロック。NewSL ボードでは、RX Serial Clock を用いている。

GTX RX ブロックでは、受信したデータは次に示す順に処理をされていき、最終的に FPGA RX Interface に渡される。

- RX CDR
CDR は Clock Data Recovery のことで、受信したデータからユーザーが与えた基準クロックを元にしてシリアルクロックを復元する。TX 側では 8B/10B 変換が行われているため、データの切り替わり周期から送信に用いられた TX Serial Clock を復元する。復元されたクロックを Recover Clock, あるいは RX Serial Clock という。この周波数はデータの周波数と厳密に一致する。
- SIPO
Serial In Parallel Out の略で、シリアルデータを入力するとパラレルデータへ変換されて

出力される。受信したシリアルデータは RX Serial Clock に同期しており、出力データは XCLK(TX 側の XCLK とは別物) に同期している。

- Comma Detect and Align Comma Detect ロジックでは、TX 側から送られてくる Comma と呼ばれる特別なデータパターンを認識する。この時、どのようなパターンを用いるかはあらかじめ TX 側・RX 側で合わせておく必要がある。Comma を検出した場合、そのあとのデータは Comma を起点として規定ビットずつ読み込まれ、1 つの word を復元する (Word Aligment)。8B/10B 変換を使っている場合は Comma を起点として 10 bit ずつ読み込んで、後段の 8B/10B Decoder ロジックに出力する
- 8B/10B Decoder 8B/10B 変換パターンを用いて、10 bit データを 8 bit データに復元する。Comma が検出された word に対しては、Comma を検出したというフラグを合わせて後段に送信する。このフラグを使い、ユーザー側の受信ロジックでも Comma の検出が正しいかどうかを確認することができる。
- RX Elastic Buffer 8B/10B decoder までは XCLK に同期した処理であるが、FPGA RX Interface へは RXUSRCLK と RXUSRCLK2 に同期してデータを受けわたす必要がある。普通はこれらのクロック間は位相差・周波数差があるため、RX Elastic Buffer でクロックドメインの変更を行う。NewSL ボードでは XCLK と RXUSRCLK に位相・周波数共に同じクロックを用いるため、RX Elastic Buffer はバイパスする。これにより Serial データ受信から FPGA RX Interface までの処理時間を一定にすることができ、Fixed Latency を実現できる。

4.4.2 受信データの Firmware での処理

GTX トランシーバーで用いられるクロックと、FPGA 上でデータ処理を行う際に使うクロックは異なる。従って、FPGA でのロジックと GTX トランシーバーでデータの受け渡しをするときはクロックドメインを変更する仕掛けが必要となる。ここでは受信・送信の各場合についてどのようなロジックを実装したかを述べる。

4.3.1 節で述べたように NewSL ボードでは、GTX トランシーバを使い NSW といった磁場内側にある検出器からデータを受信する。図 4.7 に示したように、NSW からのデータには Comma Word や BCID といったイベント ID が含まれる。Comma Word は Word Alignment に、イベント ID はタイミング調整に用いられる。NSW からのデータは、図 4.7 のフォーマットに従い、32 bit ずつ 160MHz の RXUSRCLK に同期して受信される。これらのデータをトリガー判定に用いるには、LHC 40 MHz クロックに同期させておく必要がある。図 4.2 では、赤色の GTX RX interface から delay ブロックへデータを渡す部分である。通常クロックドメインの変更を行う場合、FIFO といったデータバッファにデータをため、そのデータを変更先のクロックで読み出すことでクロックドメインの変更を行う。しかし FIFO でデータの受け渡しをすると、データ読み出しのタイミングが一定となる保証ができない。Level-1 Trigger は Fixed Layency を達成する必要があるため、この方法は用いることができない。そこで、NewSL ボードでは FIFO を用いずにデータのクロックドメイン変更を行うロジックを実装した。

図 4.11 に実装したロジックの概要を示す。まず、受信した GTX からのデータは、160 MHz の RXUSRCLK に同期して 32 bit ずつデータを受け取る。図 4.11 中の RX Interface でこの処理を行う。受信は、図 4.7 のフォーマット 128 bit を 32 bit ずつ 4 回に分けて受信する。各 128 bit データはその始まりに Comma Word を持っており、Comma Word を検出した位置を始点として RXUSRCLK で 4 クロック分のデータを 128 bit にまとめて出力する。図 4.11 だと、A-①から A-④までのデータを word-A として出力している。RX Interface の出力は、RXUSRCLK で 4 クロックごとに変化し、この段階では受信データは RXUSRCLK に同期している。

RX Interface から出力されたデータを LHC クロックに同期させるロジックが Delay と書かれたブロックである。データを LHC クロックに同期した信号にするには、LHC のクロック立ち上がりで Delay の入力データを読み込めばよい。クロックの立ち上がりでデータを読み込むことをラッチという。しかし、光ファイバー内の信号伝播による遅延などがあるため、RXUSRCLK と LHC クロックの位相差は一般には不明であり、RXUSRCLK のエッジと LHC クロックのエッジが近い位置にある場合だと、データを安定してラッチすることができなくなる。

そこで LHC クロックを基準として、位相が 0° 、 $+90^\circ$ 、 $+180^\circ$ 、 $+270^\circ$ ずつズレたクロックを用意する。これらの 4 つのクロック立ち上がりでデータを一時的にラッチしておく。ラッチされた 4 つのデータは、そのうち少なくとも 1 つは必ず異なるイベント ID を持ったデータとなる (図 4.11 だと Latched Data 4)。この時、クロック 3 とクロック 4 の間で RXUSRCLK が変化しており、それと 180° ずれたクロック (図 4.11 だと Clock 2) でラッチしたデータは安定していることがわかる。したがって、どのクロックの間に RXUSRCLK の切れ目があるかに合わせて、それと 180° ズれたクロックでラッチしたデータを読み込むようにすれば良い。このようにして LHC クロックに同期した信号にデータを受け渡すことができる。最後にラッチしたデータは、ケーブル長の違いなどによるタイミング差を吸収するように遅延をかけ出力される。

4.5 NSW の情報を用いた新しいトリガーロジック

NewSL ボードで行うトリガー判定のロジックについて説明する。

4.5.1 Fixed Latency の要求

2.1.1 節で説明したように、Level-1 トリガーは Fixed Latency システムを採用しており、トリガー判定にかかる時間は全てのバンチにおいて一定でなければならない。さらに、トリガーに関する処理は $2.5\mu\text{s}$ 以内でトリガー判定を行わなければならない。

表 4.3 に NewSL ボードがトリガー判定に使える時間を示す。ここでは TGC-BW からデータを受信するまでにかかる時間 (つまりバンチ衝突から NewSL ボードにデータが届くまでの時間) が一番長い場合の Latency を示す。NewSL ボードが NSW のデータを受信するのは、バンチ衝突から 41.4 BC (= $4.14 \times 25 \text{ ns} = 1.035\mu\text{s}$) 後である。シリアルデータで受信したデータをパラレルデータに戻す処理に 2.5 BC かかる。その後、各検出器からの受信データとタイミングを合わせの Delay 処理に 1 BC かかる。その後、コインシデンスを取るためにデータ変換を 2 BC かけて行う。よって NSW からのデータがコインシデンスに使えるようになるのはバンチ衝突から 47 BC 後となる。

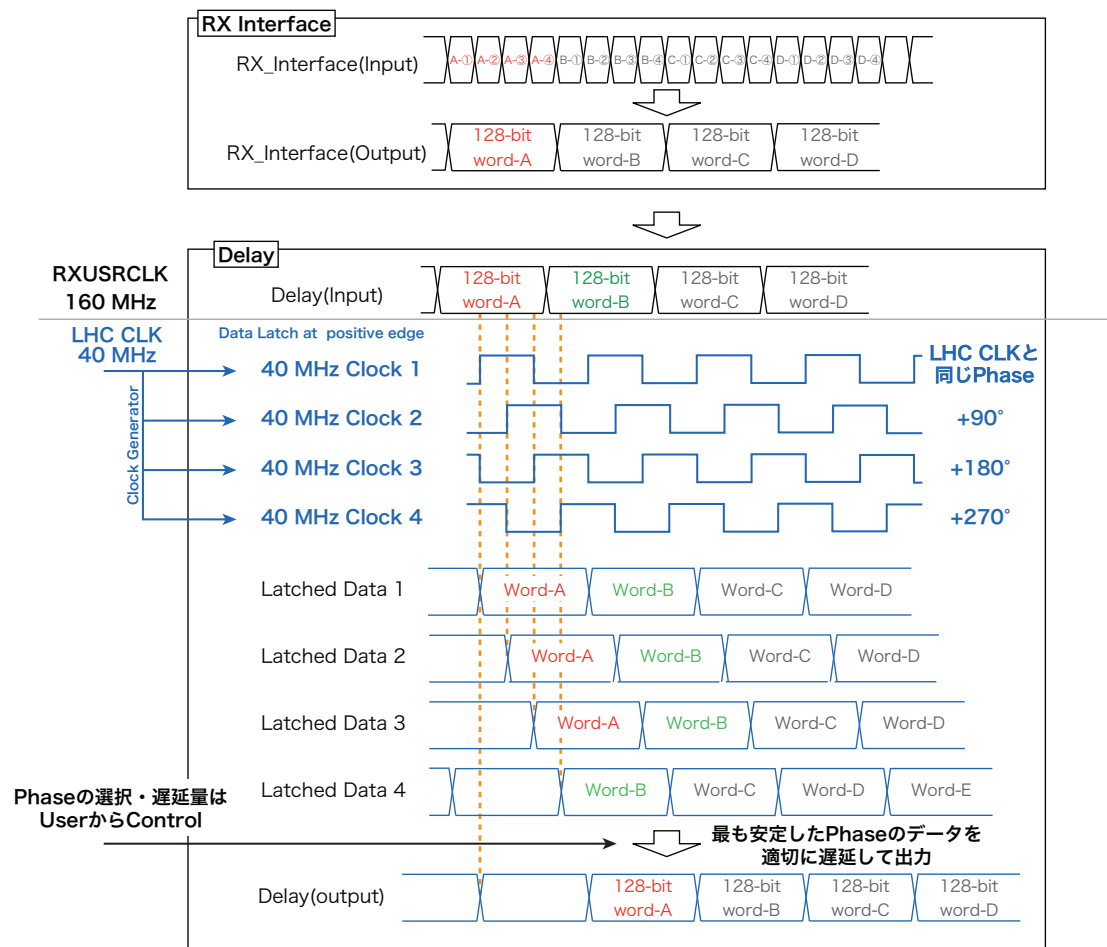


図 4.11: GTX 受信データの Firmware での処理.

TGC-BW からのデータはバンチ衝突から 37 BC 後に NewSL ボードに届く。シリアルで受信したデータをパラレルに変換する処理に 2 BC かかる。その後、TGC-BW のデータのみで一旦コインシデンスをとる。この TGC R-Phi コインシデンスには 2 BC かかる。ここまでの処理が完了するのはバンチ衝突から 41 BC 後となる。47 - 41 = 6 BC 間、NSW からのデータが使えるようになるまで待機する。

NSW のデータが使えるようになった後、1 BC をかけて TGC-BW とのコインシデンスを取り p_T の計算を行う。最後に 1 BC でコインシデンス結果の中から MuCTPi ボードへ送るミュオントラックを選び、送信用データフォーマットに 1 BC かけて整形する。整形が完了するのはバンチ衝突から 50 BC となる。

NSW から受信したデータをパラレルに戻す時間(衝突から 44 BC 後)と、MuCTPi に送信するためにデータをシリアルに変換する時間(50 BC)は決まっているため、NewSL ボードでの全ての処理は 6 BC (= 150 ns) 以内に終えなければならない。

New Sector Logic					
BCs		Total	BCs		Total
Receive signal from NSW		41.4	Receive signals from BW		37
Optical Rx + De-serializer	2.5	44	Optical Rx + De-serializer	2	39
Variable Delay	1	45	TGC R-Phi coincidence (LUT)	2	41
Decoding of NSW data (LUT)	2	47	Waiting for NSW signals	6	47
			BW - NSW coincidence (LUT)	1	48
			Track selection	1	49
			p_T encoding	1	50
			Serializer (128 bit/clock., 6.4 Gb/s) + Optical Tx	2	52
			Optical fibre to MUCTPI (10 m)	2	54

表 4.3: NewSL ボードでトリガー判定に用いることのできる時間。1 BC = 25 ns。表の網掛け部分が NewSL ボードで行う処理である。

4.5.2 トリガーロジックの概要

図 4.12 にトリガー判定 Firmware の概要を示す。はじめに TGC-BW のみの情報を用いミュオンのヒット位置 (RoI) と p_T の計算を行う (TGC-BW Coincidence)。TGC-BW Coincidence の結果と、NSW からの情報を合わせてさらにコインシデンスをとる (BW-NSW Inner Coincidence)。これらの処理は SSC 単位で並列に行い、MuCTPi に送る最終的なミュオントラック候補 4 つを track selector で選ぶ。NewSL ボードでは 2 トリガーセクター分を担当するため、同じ処理を 2 つ並列して行う。

以下では、Run-3 での TGC-BW Coincidence、NSW の情報を用いた TGC Inner Coincidence について説明する。

4.5.3 TGC-BW Coincidence の実装

TGC-BW Coincidence では TGC-BW の情報のみを用いてミュオンの p_T 判定を行う。受信データは Run-2 のものと同じであるので、2 章で述べたものと基本的な方針も変わらない。M1-M3 間で $dR : d\phi$ コインシデンスをとって p_T を計算し、ミュオントラックの位置 (RoI) も決定する。

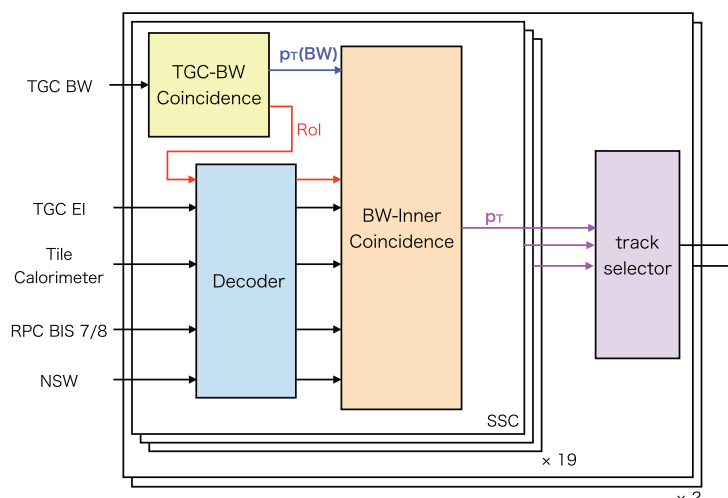


図 4.12: Firmware のトリガーロジック概要 [18]. 赤は TGC-BW でのミュオンのヒット位置を表す RoI. 青は TGC-BW のみで計算した p_T . TGC-BW の RoI 情報と磁場内側に設置された検出器でのミュオンの飛跡情報から p_T をさらに計算する. これらの処理は SSC ごとに並列で行われ, 最後に track selector で MuCTPi へ送信するミュオントラックを選ぶ.

TGC-BW Coincidence は HPT ボードからのデータを使って p_T の計算を行う. HPT ボードは R , ϕ 方向ともに隣接する 2RoI から 1 つのトラック候補を送信する. よって R 方向に 2 個, ϕ 方向に 4 個の RoI をまとめた SSC では R 方向の HPT ボードからは 1 つのトラック候補, ϕ 方向の HPT ボードからは 2 つのトラック候補を受けられる可能性がある. しかし 1 SSC に複数のミュオンが入射することは稀であることがわかっており, ミュオンが入射した数以上のトリガーを発行してしまう可能性があるため, 1 SSC あたり TGC-BW では 1 つのミュオン候補を選ぶ [10].

図 4.13 に TGC-BW Coincidence の概要を示す. 1 SSC に含まれる 8 RoI のうち, R 方向に隣り合う RoI ごとに p_T の計算を並列して行う. コインシデンス結果は p_T の高い順に選ぶ. もし同じ p_T のものがあつた場合は ϕ の小さいから選ぶ. 2.2.5 節で述べたように, p_T の計算は LUT で行う. LUT は FPGA 上ではブロック RAM (BRAM) を用いて実装される. p_T は, Run-3 では 14 段階の閾値に対応するため 4 bit で出力する.

TGC-BW Coincidence では, LUT での p_T の計算に LHC 40 MHz 1 クロック (= 1 BC), ミュオン候補の選択に 1 クロックを使い, 合計 2 BC を必要とする. これは表 4.3 に示す Latency の要求値に収まっている.

4.5.4 BW-NSW Inner Coincidence の実装

BW-Inner Coincidence では, TGC-BW のコインシデンス結果と磁場内側の検出器からの情報を組み合わせてトリガー判定を行う. ここでは NSW とのコインシデンスを要求する場合について述べる. NSW とコインシデンスを取れるのは $1.3 < |\eta| < 2.4$ の領域である. TGC-BW Coincidence で判定されたミュオン候補 1 つに対して, 最大で 16 個の NSW のトラック候補とコインシデン

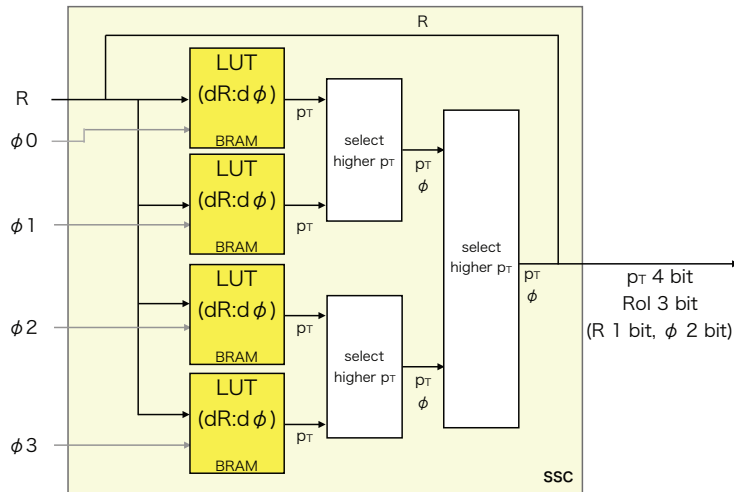


図 4.13: Run-3 での TGC-BW Coincidence ロジック 1 SSC 分の概要 [18]. 全ての ϕ 情報を用いて LUT で p_T の計算を行う。

スを取る必要がある [18]. 16 個より多くのトラック候補とコインシデンスを取る可能性は検出器の配置からありえない。よって、要求された Latency 以内に 16 個のトラック候補とコインシデンス情報をとることができるデザインとした。

図 4.14 に BW-NSW Inner Coincidence の概要を示す。ロジックは Decoder 部分と Inner Coincidence 部分に分けられる。どちらのブロックでも TGC-BW のコインシデンス結果を用いている。Decoder 部分では NSW トラック情報 16 個分の補正・整形を並列に行い、その結果を Inner Coincidence に渡す。Inner Coincidence では 16 個のトラック情報と TGC-BW の RoI と p_T を用いて Inner Coincidence を取る。

表 4.3 に示すように BW-NSW Inner Coincidence では、バンチ衝突から 45 BC 後に NSW からのデータが使えるようになり、2 BC 以内にデータの decode と整形、その後 2 BC 以内に BW-NSW Inner Coincidence を終え p_T を出力する。

Decoder

図 4.15 に Decoder 部分の概要を示す。NSW トラック情報は、alignment モジュールで TGC-BW との相対的位置のズレを補正される。補正されたトラック情報は p_T 計算を行うため、TGC-BW で判定されたミューオン位置 (η, ϕ) との相対位置 $(d\eta, d\phi)$ へ変換される。変換後のデータは、 $d\eta$ が 6 bit、 $d\phi$ が 4 bit へと整形され [18]、Inner Coincidence ブロックへと送られる。

Decoder の処理は全て LHC クロックに同期して行われ、全体で 1 BC のレイテンシが生じるデザインとなる。これは要求値の 2 BC を満たし、衝突から 46 BC 後に Decoder の処理を終えることができる。

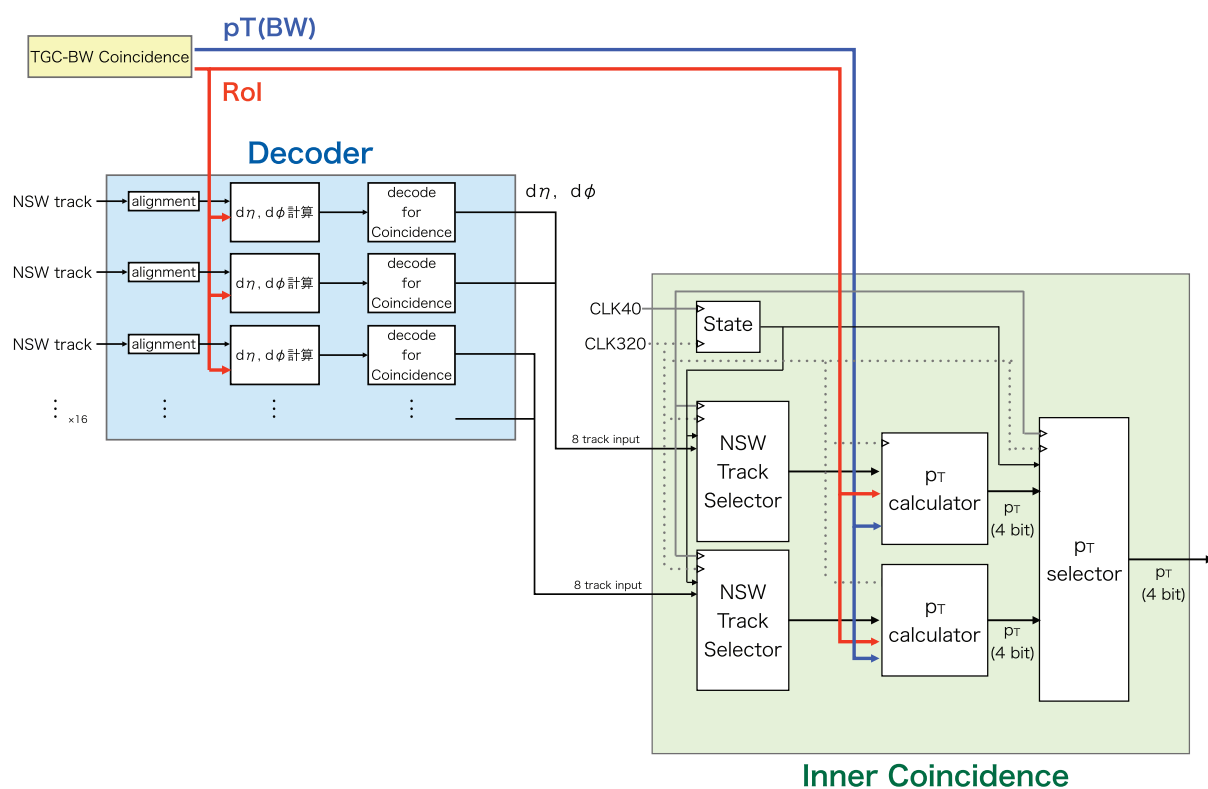


図 4.14: BW-NSW Inner Coincidence 1 SSC 分の概要. コインシデンスには TGC-BW のコインシデンス結果 (RoI と $p\tau$) を用いる. ロジックは大きく分けて NSW トラック情報の Decoder と, Inner Coincidence ロジック部分に分けられる.

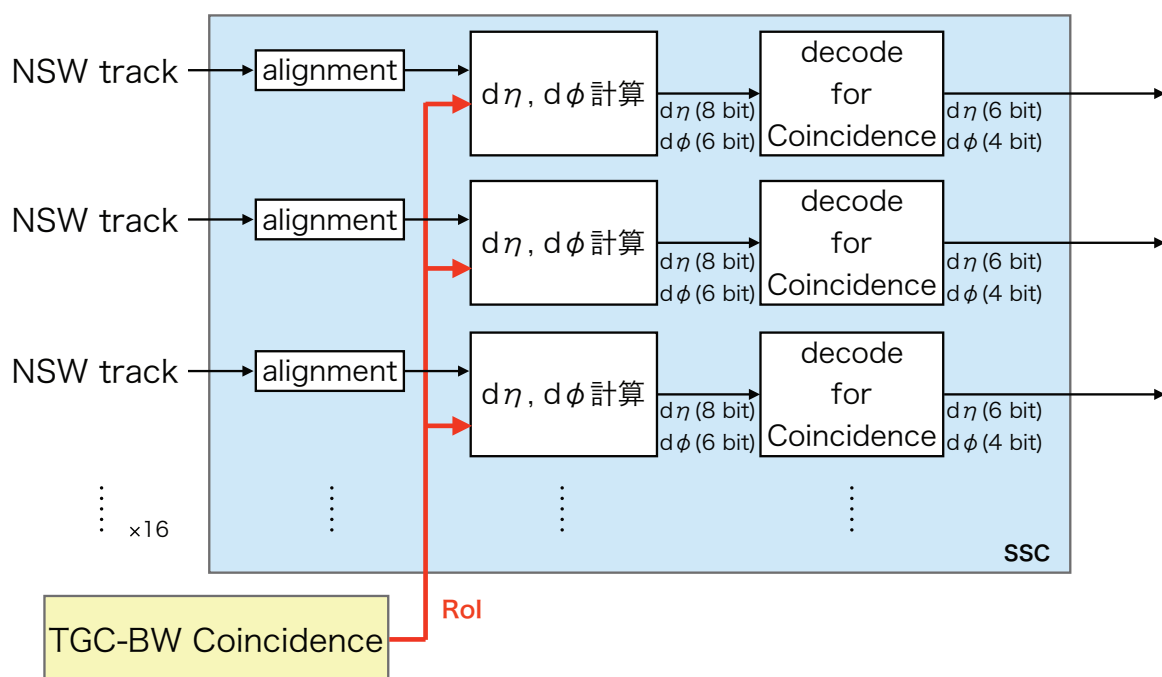


図 4.15: NSWトラック 1 SSC 分の Decoder 部分 [18]. TGC-BW と NSW との相対的位置のズレを補正し (alignment), TGC-BW で計算した RoI を用いて位置情報 $d\eta$, $d\phi$ を計算する. 計算後のトラック情報はコインシデンス情報に必要な bit に整形される.

Inner Coincidence

図4.17に Inner Coincidence 部分の概要を示す。NSW Inner Coincidence は最大16個の NSWトラックを2 BC, すなわち50 ns以内に全てコインシデンス処理を終えなければならない。Inner Coincidence では320 MHzのクロックでロジックを動かし、TGC-BWと同様にLUTを使って p_T を計算する。 p_T の計算は2並列に分けて行う。

このデザインでは、LHCクロック1CLKの間に1つのパスでは8個(LHC 1CLKの間に320 MHzは8CLK分動かせる)のトラックを処理できる。したがって2パス分では $8 \times 2 = 16$ となり、LHCクロック1CLK(=1 BC)の間に16トラック分の処理を終えることができる。16トラック分の結果を最後にまとめ、LHCクロックに同期してコインシデンス結果を出力する。

Inner Coincidenceでは図4.16に示すように8つのステートが存在する。図4.17のStateブロックでは、この8つのステート情報を制御している。 p_T 計算は320 MHzのクロックに合わせて8個のトラック情報を順に選び行う必要がある。ステート情報は320 MHzクロックに合わせて変化して要するため、ステート情報を元に図4.17 NSW Track Selectorで処理を行うトラック情報を選び出す。データの配線遅延などを考慮し、1つ目のトラック情報は図4.16の②で処理を行うようにする。すると8つ目のトラック情報は図4.16①で処理が行われるが、このステートではトラック情報は次のバンチ情報に変わってしまうため、8つ目のトラック情報は一時的に保存されなければならない。NSW Track Selectorで一時的に保存される。ステートが①になった時、保存されたトラック情報をLUTへ出力し p_T の計算を行う。

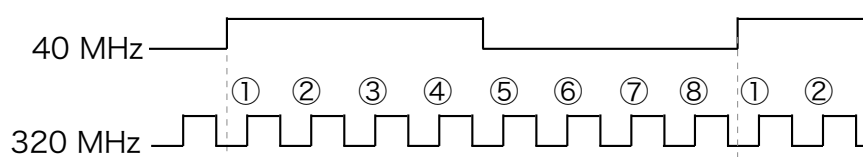


図4.16: コインシデンスロジックで使うLHC 40 MHzクロックと、320 MHzクロックで作られる8つのステート [18]。クロックの立ち上がり時間などを考慮し、あるイベントのトラック情報の処理は②のクロック立ち上がりから始まり、①のクロック立ち上がりで8個目のトラック情報が処理される。

NSW Track SelectorではState情報にもとづき、計算するトラック情報を p_T calculatorに渡す。図4.18に p_T calculatorの概要を示す。 p_T calculatorではNSWの情報($d\eta, d\phi, \Delta\theta$)とTGC-BWの情報RoIを用いて p_T の計算を行う。RoI, $d\eta, d\phi$ で計算する p_T とRoI, $d\eta, \Delta\theta$ で計算する p_T とで2種類ある。2つの計算はLUTで行う。最後に、この2つとTGC-BWでの結果を p_T mergerを用いて全て比較し、最終的な p_T を決定する。 p_T mergerもまたLUTで実装されている。

4.5.5 コインシデンスロジックで消費するリソースの見積もり

コインシデンスロジックでは多くの計算をLUTの形で実装する。LUTはBRAMを用いて実装されるが、表4.1にあるリソースの範囲で実装できるか確認しておく。Endcapのトリガーセク

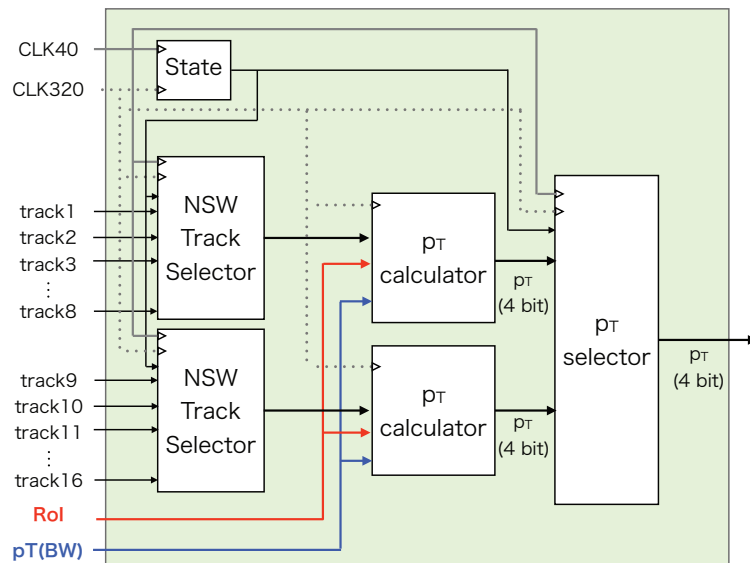


図 4.17: NSW Inner Coincidence ロジックの概要 [18]. 最大 16 個の NSW トラックとコインシデンスを取るため、320 MHz でロジックを動かす。2つのロジックを並列に動かすことで、16トラックとのコインシデンスを取ることができる。State 部分では各ロジックに送るステート情報を生成する。

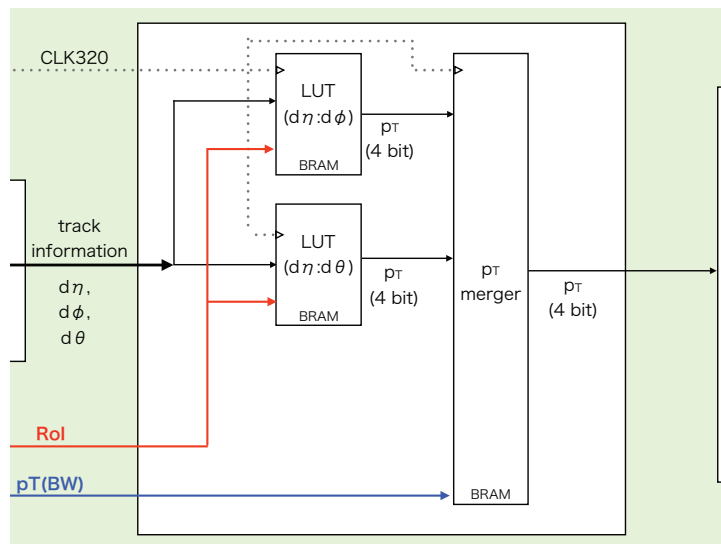


図 4.18: p_T calculator の概要 [18]. TGC-BW Coincidence で計算した p_T , NSW Inner Coincidence での p_T を合わせ最終的な p_T を計算する。

ターでは SSC が 19 個、Forward のトリガーセクターでは SSC が 8 個あるので、より BRAM 使用量の多い Endcap について確認する。

TGC-BW Coincidence で消費する BRAM

図 4.13 にあるように 1 つの SSC あたり 4 つの LUT を使う。1 つの SSC は R 方向に 2 つ、 ϕ 方向に 4 つの RoI をまとめたものである。1 つの LUT で RoI 2 個の計算を担当する。LUT は、TGC-BW の位置の差 dR 5 bit, $d\phi$ 4 bit, 「M1, M2, M3 コインシデンスが成立する場合 or M2, M3 コインシデンスしか成立しなかった場合」を表す flag 2 bit に加え、2 RoI を区別するための 1 bit で合計 12 bit の入力を持つ。出力は p_T 4 bit とトラックの電荷情報 1 bit の計 5 bit である。従って $2^{12} \times 5 \text{ bit} = 20 \text{ Kb}$ 分の BRAM で 1 つの LUT を実装できる。実際には BRAM の最小単位は 18 Kb であるため、LUT 1 個につき 36 Kb の BRAM を消費する。

1 枚の NewSL ボードでは 2 トリガーセクター分を担当するため、TGC-BW Coincidence 全体で消費する BRAM は

$$36 \text{ Kb/LUT} \times 4 \text{ LUT/SSC} \times 19 \text{ SSC/trig. sec.} \times 2 \text{ trig. sec.} = 5742 \text{ Kb}$$

となる。これは使える BRAM の約 19 % の消費である。

BW-NSW Inner Coincidence で消費する BRAM

Inner Coincidence で用いる LUT は、位置の差 ($d\eta, d\phi$) を用いた計算用 (NSW Position LUT)、角度情報 ($d\eta, \Delta\theta$) を用いた計算用 (NSW Angle) と TGC-BW Coincidence/Inner Coincidence の結果から最終的な p_T を決める LUT (p_T merger) の 3 種類がある。また図 4.17 にあるように計算を 2 並列で行うため、同じ LUT を 2 つ用意する必要がある。

$d\eta$ は 6 bit, $d\phi$ は 4 bit, $\Delta\theta$ は 5 bit であり、TGC-BW からの RoI 情報は 3 bit で表現されるので、

- Position($d\eta : d\phi$) の LUT
LUT の入力は $6+4+3 = 13 \text{ bit}$ で出力が 4 bit であるから、1LUT あたり $2^{13} \times 4 \text{ bit} = 32 \text{ Kb}$ となり、BRAM 36 Kb 分を消費する。
- Angle($d\eta : \Delta\theta$) の LUT
LUT の入力は $6+5+3 = 14 \text{ bit}$ で出力が 4 bit であるから、1LUT あたり $2^{14} \times 4 \text{ bit} = 64 \text{ Kb}$ となり、BRAM 72 Kb 分を消費する。
- p_T merger の LUT
 p_T merger では TGC-BW と BW-Inner Coincidence の各 4 bit p_T を入力とするため、入力は 12 bit となる。よって 1LUT あたり $2^{12} \times 4 \text{ bit} = 16 \text{ Kb}$ で 18 Kb の BRAM を消費する。

従って、BW-NSW Inner Coincidence で使う LUT は合計 126 Kb の BRAM を消費するため、NewSL ボード全体では ($|\eta| > 1.3$ 領域では 14SSC あるため)

$$126 \text{ Kb/LUT} \times 2 \text{ LUT/SSC} \times 14 \text{ SSC/trig. sec.} \times 2 \text{ trig. sec.} = 7056 \text{ Kb}$$

の BRAM を消費する。これは利用可能な BRAM の約 25 % の消費となる。

p_T merger で消費する BRAM

p_T merger で用いる LUT は、TGC-BW Coincidence, BW-NSW Inner Coincidence で計算した 3 つの p_T が入力となるため、12 bit 入力の LUT で、1 つの p_T を出力するため 4 bit 出力となる。よって 1LUT あたり $2^{12} \times 4 \text{ bit} = 16 \text{ Kb}$ となるため、18 Kb の BRAM を消費する。また p_T merger は 1 SSC あたり 1 個実装する。したがって、NewSL ボード全体では

$$18 \text{ Kb/LUT} \times 1 \text{ LUT/SSC} \times 19 \text{ SSC/trig. sec.} \times 2 \text{ trig. sec.} = 684 \text{ Kb}$$

の BRAM を消費する。これは利用可能な BRAM の約 2.4 % の消費となる。

4.6 LUT Coinfiguration System

コインシデンス計算は LUT を用いて行われる。LUT の中身は図 2.14 のような Coincidence Window(CW) である。トリガー条件の最適化のため CW を変更する必要があるため、Firmware はそのまま LUT の中身だけを書き換える必要が生じる。

LUT の中身を書き換えるには、どの LUT を書き換えるか、LUT のどのアドレスの値を書き換えるか、書き込む値は何か、といったことを指定する必要がある。また LUT の中身を書き換える場合、1 トリガーセクター分の LUT を全て書き換えることがほとんどである。これらを踏まえ、LUT 書き換えのためのロジック LUT Initializer を新たに Firmware に追加した。その概要を図 4.19 に示した。

LUT に値を書き込む場合、VME 通信でデータ幅 16 bit の FIFO ヘデータを書き込む。ユーザーは TGC-BW 用 LUT のデータ → NSW Position 用の LUT → NSW Angle 用の LUT → p_T merger 用の LUT の順番に LUT のデータを FIFO へ書き込めば良い。順番を間違って書き込んだり、データ数が不足していた場合は、正しく LUT の書き込みが行われないので注意する。LUT Initializer は FIFO のデータを読み出し、LUT の種類を指定するフラグ情報とアドレス情報、LUT のデータを出力する。LUT Initializer が制御する信号の一覧を表 4.4 に示す。

LUT Initializer では次のような処理を行っている。

1. FIFO が empty かどうかを確認する。empty でなければ 16 bit データを読み出す。empty であれば FIFO が書き込まれるまで待つ。
2. 書き込みをしている LUT が BW のものなら 5 bit × 3、それ以外の LUT では 4 bit × 4 に分割する。
3. Address を 1 つインクリメントし、wr_en と data, Address, LUT_num を出力。
4. これを BW では 3 回、それ以外では 4 回行う。
5. 1~4 を LUT の深さ分行ったら、LUT_num 番号を増やし、1~4 を繰り返す。LUT_num は BW の場合 1、それ以外で 4 増やす。
6. 1~5 までを LUT の数分だけ行う。終わったら SectorID を 1 増やす。

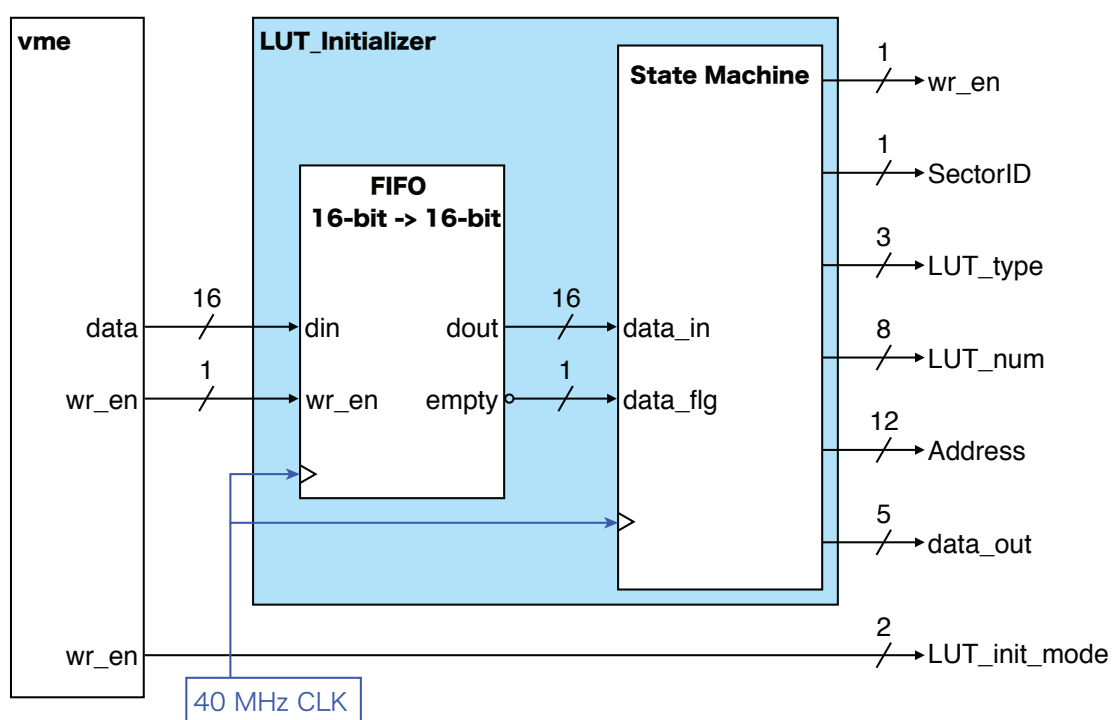


図 4.19: LUT Initializer の概要。VME 経由で FIFO に書き込まれた値を読み出し、LUT を指定するフラグ情報とともにデータを出力する。

- **wr_en** 1 bit
LUT の write enable 信号.
- **SectorID** 1 bit
2つのトリガーセクターのうち、どちらのLUTに書き込むかを示す.
- **LUT_type** 3 bit
書き込むLUTの種類を示す.
 1. BW LUT
 2. $d\eta : d\phi$ の LUT.
 3. $d\eta : \Delta\theta$ の LUT.
 4. p_T merger の LUT.
- **LUT_num** 8 bit
1トリガーセクターに含まれるLUTのうちどれに書き込むかを示す.
 - BW は 1SSC あたり 4個, 19SSC 分だと 76個あるため, 0, 1, ..., 75 を取る.
 - NSW, p_T merger の場合, 各 SSC に 1個だから 0, 4, 8, ..., 72 を取る.
- **Address** 12 bit
LUT の書き込むアドレス.
 - BW · p_T merger は 12 bit LUT なので 0x0~0xfff をとる.
 - NSW $d\eta : d\phi$ は 13 bit LUT なので 0x0~0x1fff をとる.
 - NSW $d\eta : \Delta\theta$ は 14 bit LUT なので 0x0~0x3fff をとる.
- **data** 5 bit
LUT へ書き込むデータ. 5 bit 出力の LUT へはそのままデータが渡される. 4 bit 出力の LUT へは [3:0] が渡される.
- **LUT_init_mode** 2 bit
LUT のアドレスを選択する. VME から制御する.
 0. デフォルトモード. 受信データが LUT のアドレスとなる.
 1. 書き込みモード. LUT Initializer の **Address** が LUT のアドレスとなる.
 2. 読み出しモード. LUT の中身を VME 通信から読み出す場合に使う. VME 通信からアドレスを指定.

表 4.4: LUT Initializer が制御する信号.

7. 1~6までを2トリガーセクター分行ったら、LUT_typeを変更し、1~7を繰り返す。
8. LUT_type 全てに対して1処理が終わったら完了。

ユーザー側からは、LUTのデータを5 bit × 3あるいは4 bit × 4の形式で準備し、そのデータを順にFIFOへ書き込めば良い。

LUT Initializerが制御する信号の配線について工夫が必要である。Xilinxが提供するLUTの実装には大きく分けて2種類ある。一つはI/Oポートを2つ持ったDual Port LUT、もう一つはI/Oポートを1つだけ持ったSingle Port LUTである。それぞれの場合について、LUTへの配線は図4.20のように2種類考えられる。

実際のFirmwareでは、LUT Initializerから各LUTへは図4.20(a)のような配線を行なった。Dual Portと呼ばれるタイプのLUTを用いたデザインである。Dual Portでは全く同一で、独立に動作するI/Oポートが2つ搭載されており、2つのポートは別々のクロック(位相や周波数が異なってもよい)で駆動することができる。Dual Port LUTを使った場合は、LHC 40 MHzで駆動する信号をPort Aに、コインシデンスロジックの320 MHzで駆動する信号をPort Bに分けて配線することができる。Port AはLHC 40 MHzで駆動し、Port Bは320 MHzで駆動する。このように配線することで2つのクロックドメインを分離することができ、タイミング制約や配線配置の制約が緩和される。

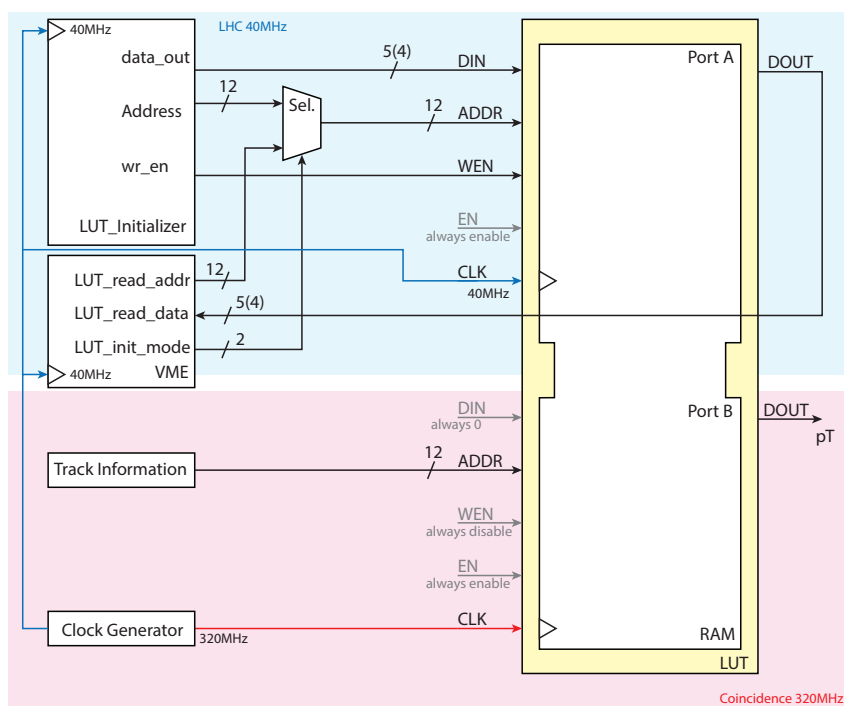
Dual Portを用いたFirmwareを開発する場合の注意点について述べておく[22]。Dual Port LUTは2つの同一のI/Oポートを持っているが、実装の際に消費するBRAMの量はSingle Portの場合と変わらない。

またDual Portでは2つのI/Oポートを持つため、ある特定のアドレスへ2つのポートから同時にアクセスするという可能性が生じる。アドレスAddrのデータへPort Aからは書き込み、Port Bからは読み出し(あるいはその逆)といったアクセスを同じタイミングで行う場合、LUTの設定によって読み出される値が、Addrにもともと書き込まれていた値となるか、Addrに書き込もうとした値か、の2パターンで変わる。また、同じアドレスにPort A・Port Bから同じタイミングで書き込もうとした場合は、実際にLUTへ書き込まれる値は不定値となる。しかしNewSL Firmwareでは上記の状況が起きるような運用はしない。Port AからLUTの値を読み書きする場合はPort Bからのデータ出力などは使わない。さらにPort BでLUTに値を書き込むことはないからである。

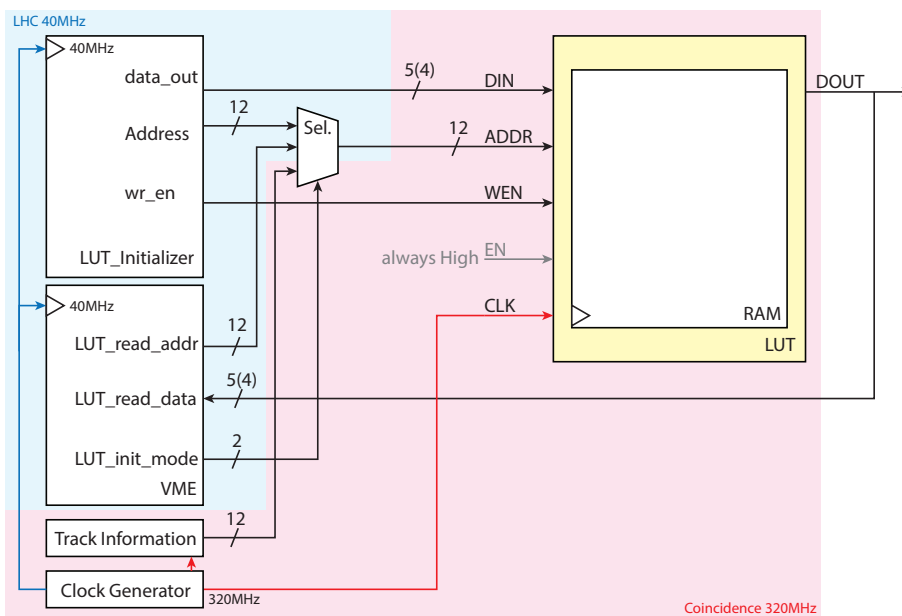
一方で、図4.20(b)のようにSingle PortのLUTを用いた配線も考えられる。Single PortではコインシデンスロジックとLUT Initializerによる制御で同一のポートを共有し、単一のクロックで駆動される。コインシデンスロジックは320 MHzで駆動しなければならないため、LUTのI/Oポート信号は全て320 MHzクロックに同期した信号となる。しかしLUT InitializerやVMEからの信号はLHC 40 MHzクロックに同期した信号であり、LUTのポートに複数のクロックドメインが混在してしまう。例えばADDRポートへの信号はLUT InitializerのAddressとLUT_read_addr、track informationの3種類あり、ADDRポートへ信号を渡す段階で320 MHzクロックへ信号を同期する必要がある。またDOUTの信号をVME通信で読み出す場合、320 MHzから40 MHzクロックへの変更が必要となる。このようなデザインではタイミング制約を満たすことが非常に困難であり、ロジックが正しく動く保証ができなくなる。

もし仮にLUT Initializerとコインシデンスロジックのクロック周波数が同一である、あるいは

320 MHz よりももっと遅い周波数クロックであるといったタイミング制約的に余裕のある場合は、クロックドメインを分けずに図 4.20(b) のような実装をすることも可能である。今回の Firmware では上記の理由から図 4.20(b) のデザインは不採用とした。



(a) Dual Port の LUT を用いた場合の配線。初期化に使うポートとトリガーロジックに使うポートを分けている。



(b) Single Port の LUT を用いた場合の配線。初期化とトリガーロジックで同一のポートを共有する。

図 4.20: LUT の配線。

第5章 NewSL Firmwareテスト環境開発

5.1 テスト環境概要

4章ではNewSLボードが担う役割と、その実装について説明した。実装されたFirmwareを実際にコンパイルし、FPGAをConfigurationし、デザイン通りに動作するかを確認する必要がある。ここでは試験したFirmwareの機能と、構築したテスト環境について説明する。Firmware試験の結果は6章で述べる。

5.1.1 テスト項目

NewSLボードのFirmwareは、実際のデータ取得時には各検出器からデータを受け取り、それを元にトリガー判定を行いその結果を送信する。そこでFirmware試験では

- データ受信からトリガー判定結果送信までのFirmwareのLatency測定
- トリガー結果の p_T の正当性

を確認する。試験では各検出器からの信号を模したものが必要であるため、テストデータを送信するTest Data Transmitterを作成した。また、Firmware開発時に必要なSoftware Simulator用のテストベンチを作成した。

5.2 Test Data Transmitterの設計

5.2.1 NSW TP Emulator

NSWなどからの信号はGTXトランシーバーを通して送られてくる。GTXトランシーバーでは4.4節で説明したように、GTXRXブロックで受信したシリアルデータをパラレルデータへと変換し、4.4.2節で説明したロジックでLHCクロックに同期した信号へ変更する。NSWなどからの信号をエミュレートするために、NSW TP Emulatorを作成した。その概要を図5.1に示す。

NSW TP EmulatorはNewSLボード上のFPGAで動作する。FPGA上では図4.7と同じデータパターンを生成し、NewSLボードに搭載されたGTXTXモジュールから送信する。データパターンは、VME通信を使いユーザー側で任意の値に書き換えられるようになっている。様々なトラックパターンを送信し、Firmwareの検証に用いることができる。与えられたデータを元に、Track Pattern Generatorで各レーンごとにトラックデータを生成する。トラックデータはGTXTXモジュールに与えられ、SFP+モジュールから光信号として出力される。

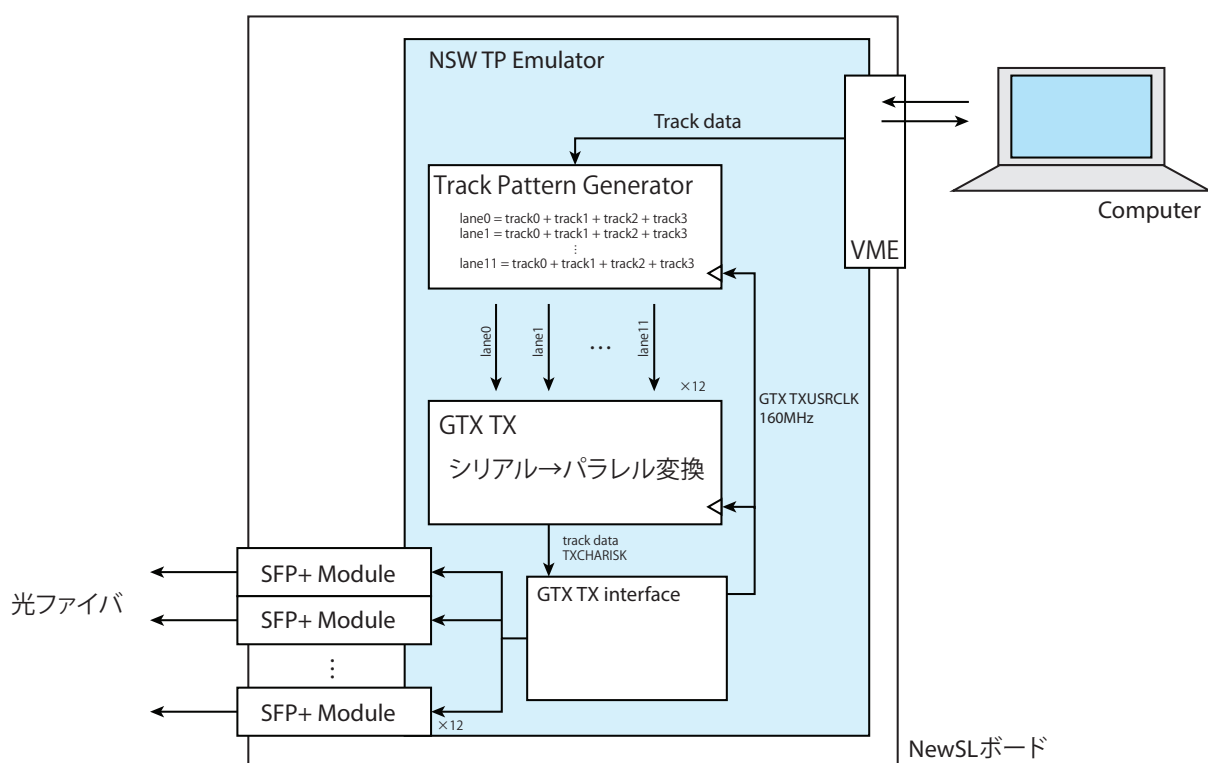


図 5.1: NSW TP Emulator の概要. NewSL ボードを用い NSW TP の信号をエミュレートする.

GTX トランシーバーで送信の際に必要な処理について述べておく。GTX トランシーバーでは、通信データの中に Comma Word という特殊な文字を入れている (4.4 節)。この Comma Word の送信に合わせて、Xilinx の GTX トランシーバーでは「Comma Word を送信した」というフラグを付加して送信する。Firmware では TXCHARISK という名前の信号として定義されている。受信側の GTX トランシーバーでは TXCHARISK をみて、受信データが Comma Word であるかどうかを判定する。正しく TXCHARISK フラグを付加しておかないと正しく受信ができなくなる。

GTX TX では送信データを 8 bit の Word に分けて扱う。NewSL ボードでは 1 BC あたり 32 bit のデータを受信するため、NSW TP Emulator では 32 bit = 4 word ごとにデータを送信する。TXCHARISK は、送信データの word 数と同じだけの bit 幅を持つ。NSW TP Emulator の場合は 4 bit の信号である。NewSL ボードで受信するフラグも 4 bit の信号となる¹。

TXCHARISK の各 bit は、送信するデータの word が Comma Word の場合 1 に、そうでない場合は 0 にする。NSW TP Emulator では図 4.7 の format に従いデータを 32 bit ずつ送信する。送信するデータの順番は (Word-1, Word-0), (Word-3, Word-2), (Word-5, Word-4), (Word-7, Word-6) の順である。従って、(Word-1, Word-0) を送信する場合だけ 32 bit の下 16 bit が Comma Word になるため、TXCHARISK の下 2 bit を 1 にすればよい。

5.2.2 TGC-BW HPT Emulator

トリガーロジックの検証を行うには、TGC-BW からのデータも必要になる。TGC-BW からのデータは G-Link 通信で送られてくるため、その信号をエミュレートする TGC-BW HPT Emulator を作成した。その概要を図 5.3 に示す。NewSL ボードは G-Link 受信ポートしか搭載されておらず、G-Link 規格でデータ送信はできない。そこで、NewSL ボード開発時に作成された PT7 ボードというボードを TGC-BW HPT Emulator に用いる。図 5.2 にその写真を示す。PT7 には FPGA と G-Link 送受信のポートが搭載されている。

FPGA には G-Link 通信で送信するために必要なロジックと送信データを書き込んでおく。G-Link 通信では、通信を確立するまでに適当なデータパターン (Idle pattern) を送る必要がある。通信確立後に初めて必要なデータ (track data) を正しく送信することができるようになる。Idle pattern と track data の切り替えを、PT7 に搭載された NIM 信号を通じてコントロールできるような Firmware を作成した。NIM 信号を High に駆動した後、LHC クロックで適当なクロック分 Idle data を送信し続け、自動的に track data の送信へ切り替わる。また track data はソースコード上で定義されており、任意の値に変更することができるようになっている。

5.3 Firmware 試験

先述したように Firmware のテスト項目として、Latency の計測と p_T 計算の検証がある。これらを試験するためには 2 つの方法がある。

¹TMDB からのデータの場合は 8 bit ずつのデータであるため、受信データは 1 bit のフラグを持つ。送受信するデータ幅、Comma Word の位置に合わせて適切にフラグの幅・内容を決める必要がある。

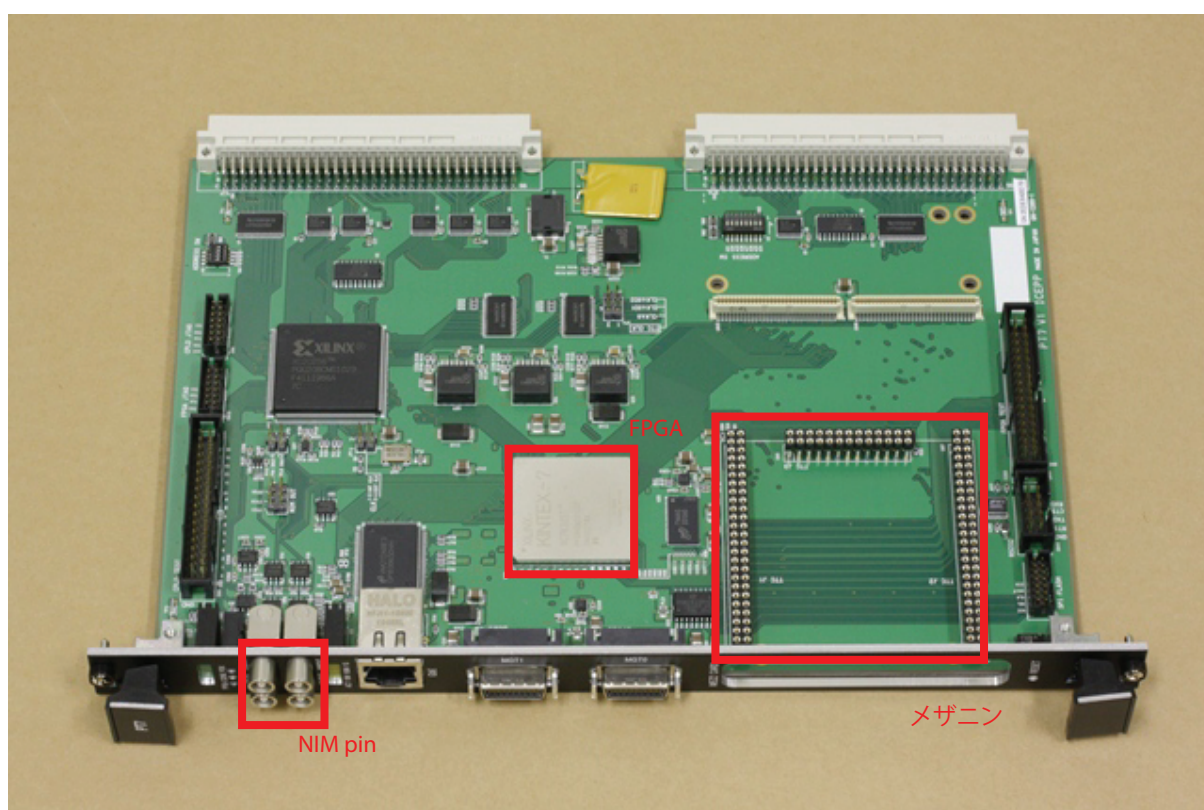


図 5.2: PT7 の写真。ボードに搭載されている FPGA と NIM pin を用いる。G-Link 通信用のチップはメザニンカードと呼ばれる拡張基盤に搭載されており、メザニンカードを取り付けることで G-Link 規格でのデータ送信が可能となる。写真はメザニンカードは取り付けられていない状態。

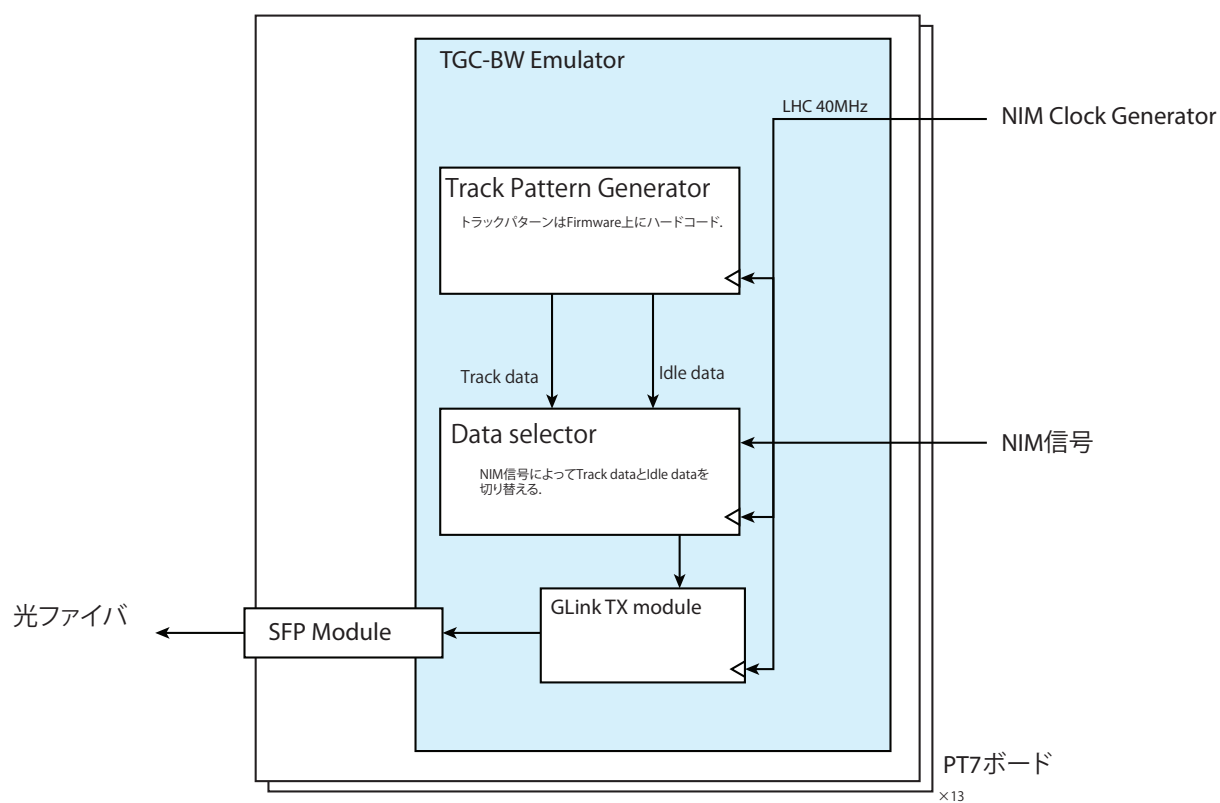


図 5.3: G-Link Emulator の概要. PT7 というボードを用いる.

1つは、Vivadoに搭載されているSimulation機能を用いることである。もう一つは、Firmwareを実際にFPGA上で動作させてテストを行う方法である。Firmware開発のためにこれら2つの方法でテストを行う環境を構築した。以下では2つの方法について順に述べていく。

5.3.1 Vivado Simulator の構築

Xilinx社製FPGAの開発に用いるVivado Design SuiteにはBehavioral Simulationという機能がついている。Simulation機能では、HDLで書かれた論理回路の振る舞いをSoftware上でシミュレーションし確認することができる。FPGA上に回路情報を書き込まずに論理回路のテストを行い、問題がないことを確認してから実際にFPGA上でのテストに移行することができる。また、FPGA上でモニターできる信号は限られているが、SimulationではFirmwareに記述されている信号は1クロックごとにどのように変化しているかを全て見ることができる。したがって実機のみでテストするよりFirmwareの修正を容易に行うことができるようになる。さらにFirmwareの修正ごとにFirmwareのコンパイルを行う必要がないため、開発をスムーズに進める上でSimulationは必須の機能となる。注意しなければならない点は、Simulationでは論理回路の振る舞いの正しさしか検証できず、回路の配線遅延といったタイミングの正しさは実機でテストをしなければいけないという点である。

図5.4に示すように、Vivado Simulationを実際に使うにあたりFirmwareが書かれたHDLファイル(ソースコード)に加え、テストベンチと呼ばれる、どのようにシミュレーションを行うかを記述したHDLファイルが必要になる[23]。

テストベンチでは次のような記述を行う。

- 検証するFirmwareで定義されているモジュールを宣言する。
- モジュールに与える信号やモジュールによって変化する信号を宣言する。モジュールに与える信号は初期値を与えておく。
- モジュールに与えている信号を変化させ、正しくモジュールが動作しているか確認する。

作成したテストベンチをVivado上で動作させ、Simulationを行う。

5.3.2 実機テスト環境の構築

実際にFirmwareをコンパイルし、FPGA上で動作させてテストを行う方法について述べる。実機でのテストでは、FirmwareをコンパイルしFPGAに書き込む必要があるため、Simulationでの検証よりも時間がかかってしまう。しかし実機でテストすることにより、Simulationでは確認できないFPGAのタイミング制約やNewSLボード全体の検証を行うことができる。

図5.5に実機テスト環境の概要を示す。実機のテスト環境では、実際にNewSLボードが運用される環境を再現している必要がある。NewSLボードに送られる各検出器のデータ、LHCクロックなどの制御信号を外部からNewSLボードに与える。検出器データは、TGC-BWからのテストパターンはTGC-BW HPT Emulatorで生成しG-Link規格で受信する。NSWからのテストパ

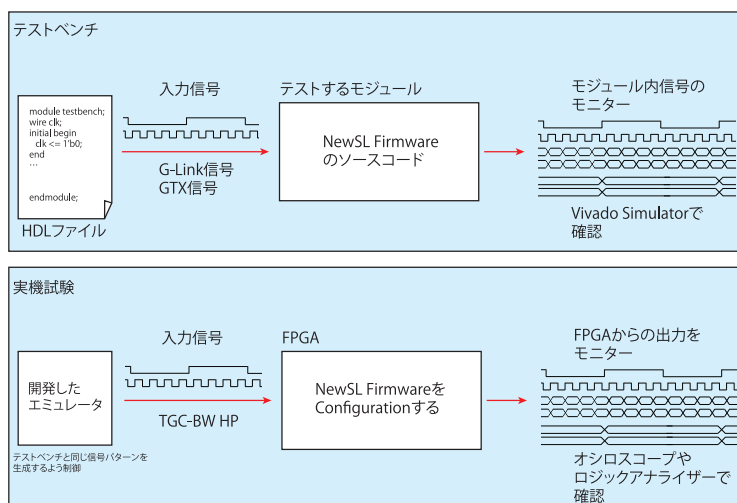


図 5.4: テストベンチの概念図 (上) と実機試験 (下) の概念図。NewSL Firmware が動作するのに必要な信号を与え、その出力を確認する。Firmware 内の信号を全てモニターすることもできる。実機試験では、NewSL Firmware を Configure した FPGA へ、テストベンチと同じ入力信号パターンを与える。信号パターンの生成元として、TGC-BW HPT Emulator や NSW TP Emulator を用いる。

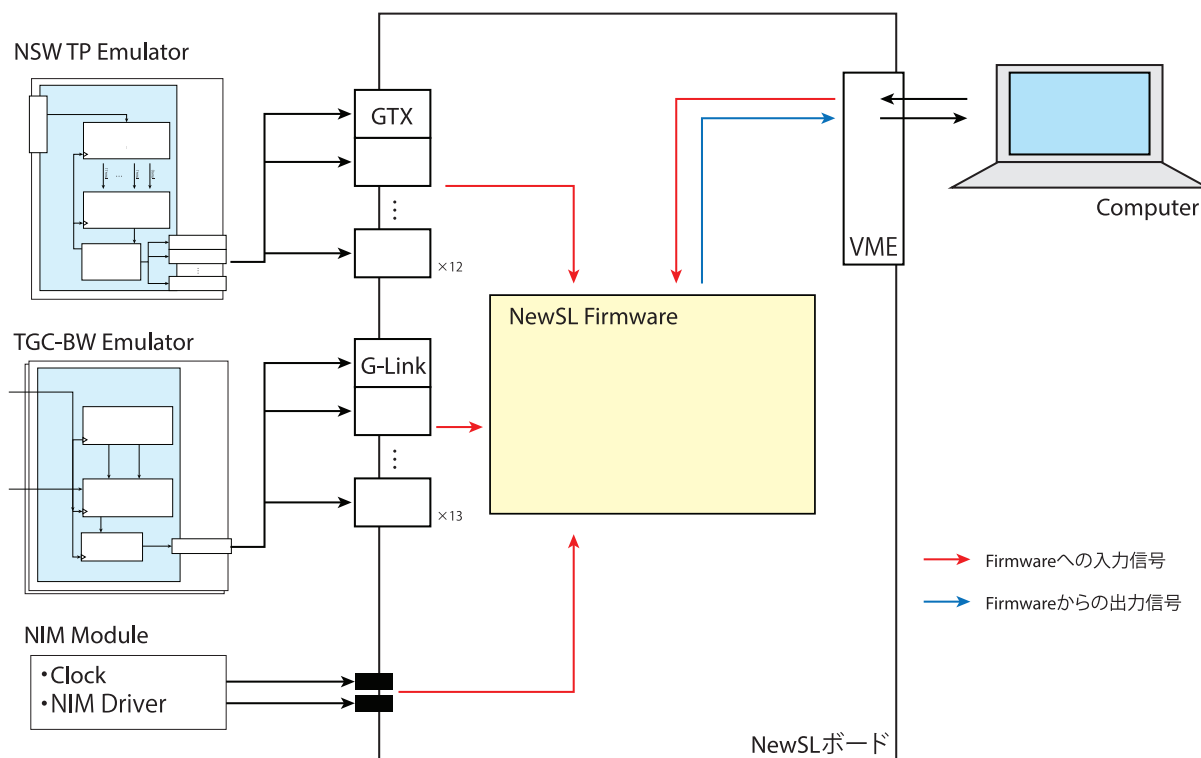


図 5.5: 実機テスト環境の概要。テストでは FPGA に与える GTX/G-Link 信号や LHC クロックなどをエミュレートし NewSL ボードに与えている。

ターンは NSW TP Emulator で生成し GTX トランシーバーで受信する。LHC クロックといった信号は NIM モジュールでクロックを生成し、それを NewSL ボードに与える。

各データを NewSL ボードに与えた際、Firmware 内部でどのように信号が変化しているかをモニターし、正しいデータがロジックに流れているかを確認する必要がある。しかし、FPGA 内部の信号を直接モニターすることはできないため、図 5.6 に示すような方法をとった。

まず FPGA 内部に適当な幅と深さを持ったメモリを用意する。モニターしたい信号をメモリに与え、値を保存する。データの保存は LHC 40 MHz クロックに同期して行われる。つまり、LHC 40 MHz クロックの立ち上がりエッジにおける各データの値をメモリに保存する。保存したデータを VME 通信によって外部へと読み出し値の確認を行う。メモリの幅や深さは FPGA のリソースによって制限されるため、全ての信号を一度にモニターすることが可能な十分大きいメモリを用意することは難しい。そこで Firmware ではデータセクタを用意し、メモリへ保存する信号を外部から VME 通信で適切に制御できるようにした。

Firmware から読み出す信号を表 5.1 に示した。Mask モジュールとは、GTX/G-Link で受信したデータと、VME 通信で与えたデータを切り替えるためのモジュールである。こうすることで、GTX のみエミュレータからの信号を使い、G-Link は VME 通信のデータを使うといったデバッグも可能となる。

- GTX_Delay モジュール (GTX の受信データを LHC 40 MHz ヘラッチしタイミングを合わせるモジュール) の出力
- G-Link_Delay モジュール (G-Link の受信データのタイミング合わせを行うモジュール) の出力
- Mask モジュールの出力
- TGC-BW Coincidence の出力
- GTX_Decoder の出力
- BW-NSW Coincidence の出力
- Track_Selector の出力

表 5.1: Firmware から読み出す信号の一覧。

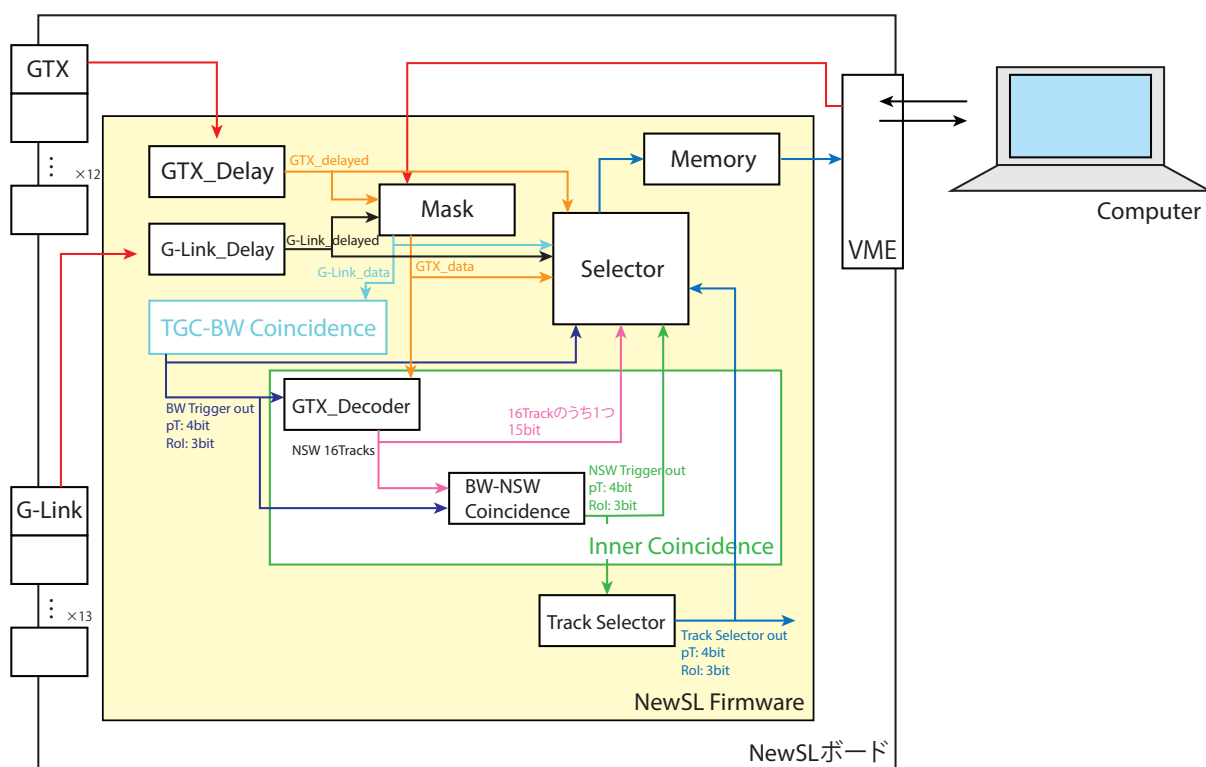


図 5.6: Firmware 内部の信号モニター方法。Firmware 内部の信号を一旦メモリーにためておき、VME 通信で読み出す。

第6章 NewSLボード Firmware テスト

第5章で構築したテスト環境を用いて、Firmwareの検証を行った。Firmwareテスト項目は

- LUT Initializer を用いた LUT の初期化
- トリガー結果の p_T の正当性
- データ受信からトリガー判定結果送信までの Firmware の Latency 測定

の3点である。

6.1 LUT Initializer テスト結果

4.6節の LUT Initializer を用いた LUT 初期化が正しくできているかをテストする。テストの概要を図6.1に示す。LUTに書き込むデータは、トリガー計算で用いるCWを元に作られる。CWはDBファイルと呼ばれるアスキーファイルで表現される。コンピュータ上でソフトウェアを用いてDBファイルをLUT Initializerで書き込み可能なファイル(LUTファイル)へと変換し、LUTへ書き込んでいく。LUTファイルは、DBファイルの情報をLUTのアドレスに対応するように変換したものである。1つのLUTファイルには1枚のNewSLボードで実装される全てのLUTの情報が含まれる。LUTを初期化したのち、全てのLUTのデータをVME通信で読み出す。読み出したLUTの値が、書き込んだデータと一致しているかどうかを確認する。

1トリガーセクターあたりどれだけのデータがあるのかを確認しておく。まずTGC-BW Coincidenceで使うLUTは12bit入力で、1トリガーセクターあたり72個あるから

$$2^{12} \times 76 = 311296 \text{ 個}$$

のデータがある。NSWの位置情報を用いたコインシデンスロジックで使うLUTは、13bit入力
で1トリガーセクターあたり14個あるから

$$2^{13} \times 14 = 114688 \text{ 個}$$

のデータがある。NSWの角度情報を用いたコインシデンスロジックで使うLUTは、14bit入力
で1トリガーセクターあたり14個あるから

$$2^{14} \times 14 = 229376 \text{ 個}$$

のデータがある。最後に、 p_T mergerで使うLUTは12bit入力
で1トリガーセクターあたり19個あるから

$$2^{12} \times 19 = 77824 \text{ 個}$$

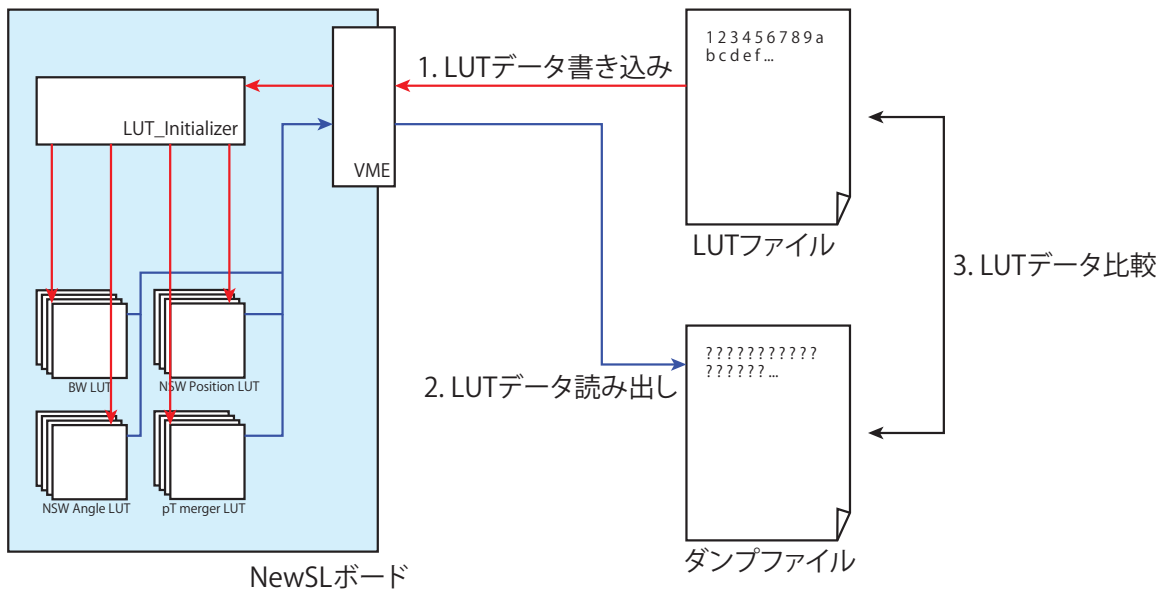


図 6.1: LUT Initializer を用いた LUT の初期化テストの概要. LUT ファイルの書き込み, 初期化した LUT データの読み出し, それらの比較を行う.

のデータとなる. まとめて 1 トリガーセクターあたり 733184 個のデータの比較を行えば良い.

図 6.2 に LUT Initializer を用いた LUT 初期化テストの結果を示す. 4 つのグラフはそれぞれ BW, NSW Position, NSW Angle, p_T merger の各 LUT について, 縦軸は LUT に書き込んだ値と読み出した値のエラー割合 (値が異なっていた個数/1LUT あたりのデータ個数) を, 横軸は LUT の番号を示す. テストの結果, 全ての LUT に置いてエラー割合が 0 となり, 正しく LUT のデータが読み書きできることがわかった. これにより, 作成した CW に基づいて LUT を自由に書き換えることが可能となった.

6.2 トリガーロジックテスト結果

BW-NSW Inner Coincidence のロジックで, 正しく p_T が計算できるかを実機でテストする. ロジックの検証を行うにあたり, 図 6.3 に示すようなテストパターンの CW を作成した. $d\eta : d\phi$ の位置情報を用いた CW である. この CW を LUT Initializer を用いて NSW Position の LUT へデータを書き込んだ. TGC-BW Coincidence に使われる LUT は, どの入力に対しても $p_T = 1$ を返す LUT, NSW Angle LUT にはどんな入力に対しても $p_T = 0$ を返す LUT とした.

NSW TP Emulator から与えた 16 個のトラックについて説明する. 16 個の NSW のトラックデータは 24 bit データのうち sTGC, MM, $\Delta\theta$ は常に 0 とし, η と ϕ のみに値を与え,

$$(d\eta, d\phi) = (8, 1), (16, 4), (30, 8), (45, 11)$$

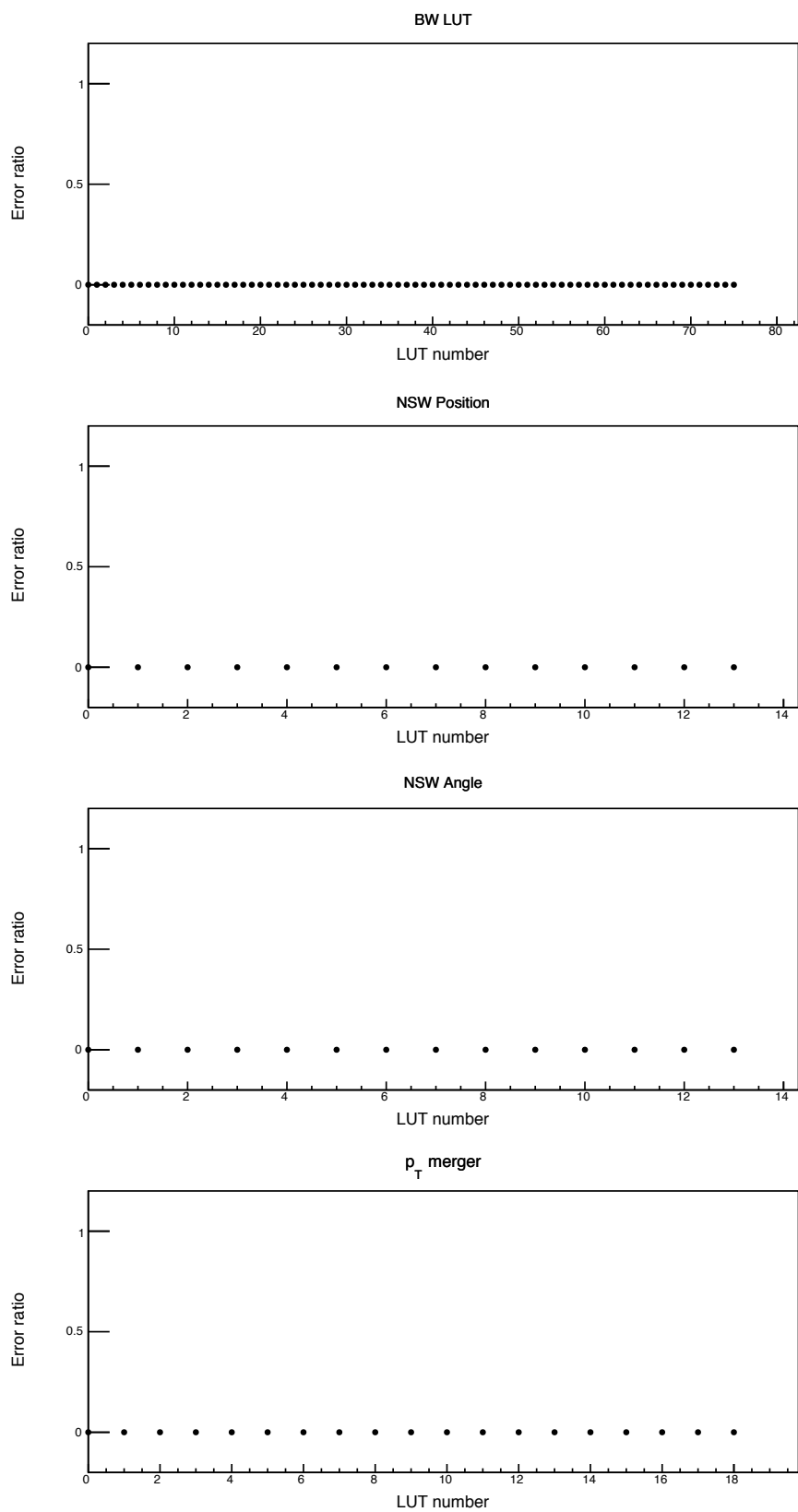


図 6.2: LUT Initializer を用いた LUT 初期化テストの結果.

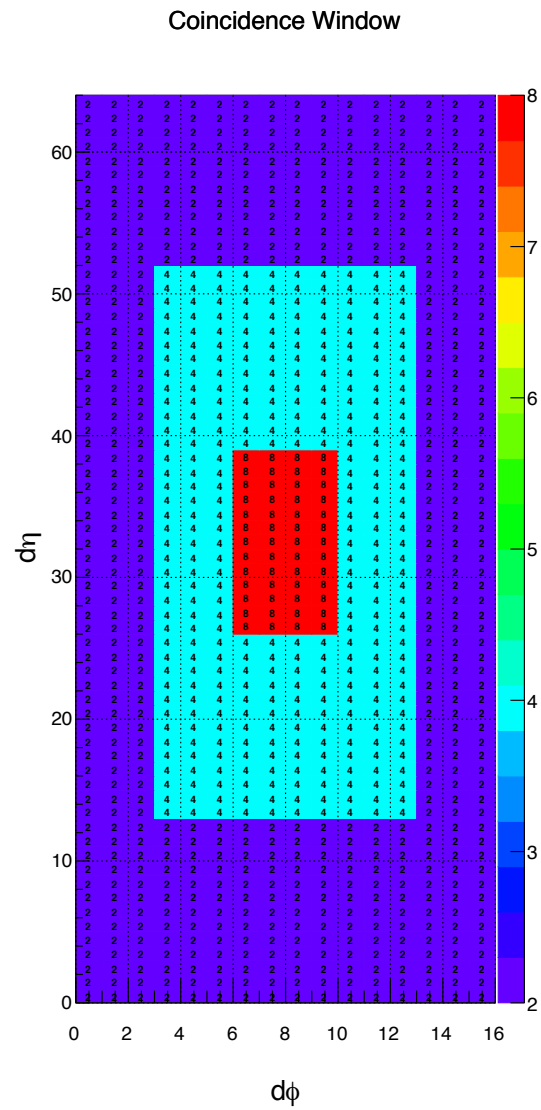


図 6.3: LUT に書き込んだ CW.

となるように η , ϕ を決めた。これらは順に $p_T = 2, 4, 8, 4$ に対応する入力値である。これらの値を受信したのち、正しく p_T 計算ができているかを確認した。テストでは、各トラックパターンに対して同一の値をロジックに与えている。トラックパターンを切り替える際にはロジックにリセットをかけてから計算を再開している。

テストの結果を図 6.4 に示す。それぞれのトラックパターンを入力した場合に、対応する p_T が出力されていることが確認できた。

Track Selector	Inner Coin.	TGC-BW Coin.	GTX_Decoder	Mask	GTX_Delay
0x0002	0x0002	0x0001	0x0048	0x0108	0x0108
0x0002	0x0002	0x0001	0x0048	0x0108	0x0108
0x0002	0x0002	0x0001	0x0048	0x0108	0x0108
0x0002	0x0002	0x0001	0x0048	0x0108	0x0108

(a) $(d\eta, d\phi) = (8, 1)$ の結果

Track Selector	Inner Coin.	TGC-BW Coin.	GTX_Decoder	Mask	GTX_Delay
0x0004	0x0004	0x0001	0x0110	0x0410	0x0410
0x0004	0x0004	0x0001	0x0110	0x0410	0x0410
0x0004	0x0004	0x0001	0x0110	0x0410	0x0410
0x0004	0x0004	0x0001	0x0110	0x0410	0x0410

(b) $(d\eta, d\phi) = (16, 4)$ の結果

Track Selector	Inner Coin.	TGC-BW Coin.	GTX_Decoder	Mask	GTX_Delay
0x0008	0x0008	0x0001	0x021e	0x081e	0x081e
0x0008	0x0008	0x0001	0x021e	0x081e	0x081e
0x0008	0x0008	0x0001	0x021e	0x081e	0x081e
0x0008	0x0008	0x0001	0x021e	0x081e	0x081e

(c) $(d\eta, d\phi) = (30, 8)$ の結果

Track Selector	Inner Coin.	TGC-BW Coin.	GTX_Decoder	Mask	GTX_Delay
0x0004	0x0004	0x0001	0x02ed	0x0b2d	0x0b2d
0x0004	0x0004	0x0001	0x02ed	0x0b2d	0x0b2d
0x0004	0x0004	0x0001	0x02ed	0x0b2d	0x0b2d
0x0004	0x0004	0x0001	0x02ed	0x0b2d	0x0b2d

(d) $(d\eta, d\phi) = (45, 11)$ の結果

図 6.4: トリガーロジックテストの結果。一番左の Track Selector という値が最終的に計算された p_T を、一番右の列は入力データの GTX_Delay を表す。GTX_Delay 16 bit は $\{2'b0, \phi[5:0], \eta[7:0]\}$ を示している。

6.3 Latency 計測テスト結果

Firmware の Latency 計測テストを行った。NewSL ボード Firmware は、表 4.3 に示した Latency で各処理を行うように開発されている。Vivado Simulation 及び実機試験で、Firmware のデザイン通りのレイテンシーになっているかの検証を行った。Latency は表 5.1 にある信号間の変化を見ることで相対的な Latency を測定することができる。

6.3.1 Simulation での結果

図 6.5 に Simulation での Latency の測定結果を示す。図 6.5 は Vivado Simulator で得られた波形を示している。図中に四角で示したように各波形は上から順に GTX_Delay の出力, Mask の GTX データの出力, LHC 40 MHz クロック (各波形はこのクロックに同期して変化する), GLink_Decoder の出力, TGC-BW Coincidence の出力, GTX_Decoder の出力, BW-NSW Inncer Coincidence の出力, Track Selector の出力となっている。

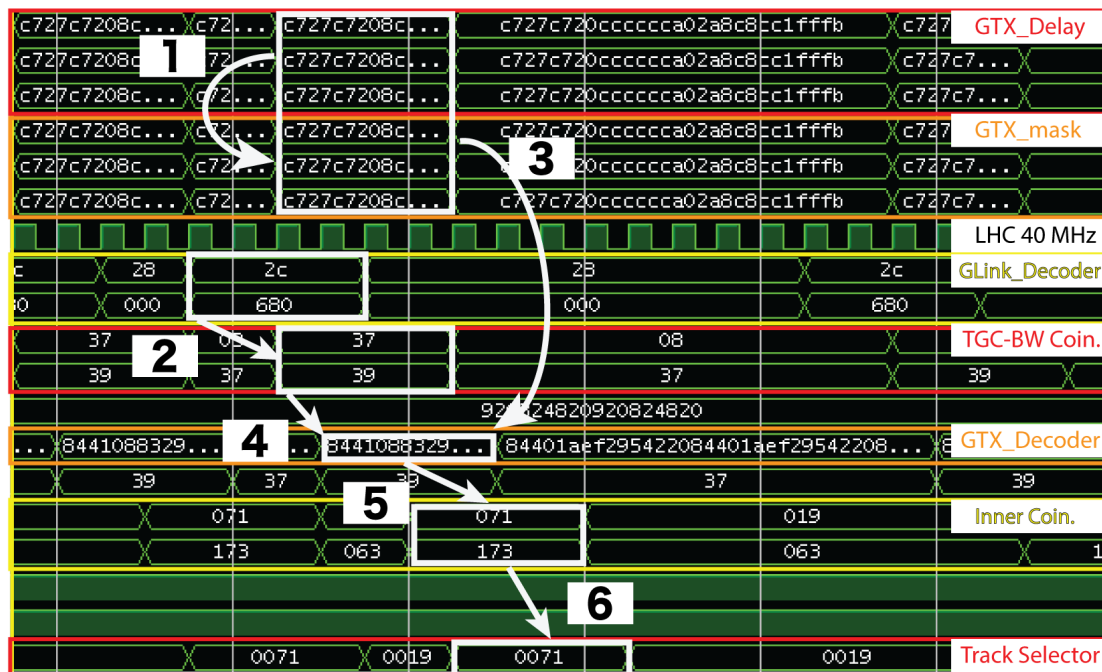


図 6.5: Simulation でのレイテンシー測定結果.

それぞれの Latency は

1. GTX_Delay から Mask は Latency なし

2. GLink_Decoder から TGC-BW Coincidence は 2 BC
3. Mask から GTX_Decoder は 1 BC.
4. TGC-BW Coincidence の結果から 1 BC 後に GTX_Decoder の値が変化している.
5. GTX_Decoder から BW-NSW Inner Coincidence は 2 BC
6. BW-NSW Inner Coincidence から Track Selector は 1 BC

という結果となった。それぞれ文頭の数字は図 6.5 の数字と対応している。

6.3.2 実機試験での結果

次に実機を用いた Latency の測定を行った。図 5.6 に示すように、各信号をメモリに詰めてから VME 通信でデータを読み出す。実機での測定では、NSW TP Emulator を用いてデータを送信し、それをもとに Latency を測定した。また今回の測定では、TGC-BW Emulator を用いず G-Link 通信のデータは Mask から与えることとした。G-Link 通信で与えたデータは、TGC-BW Coincidence の結果が常に $p_T = 4$ となるようにしている。

NSW TP Emulator で与えたデータについて説明しておく。1 BC あたり 16 個のトラックデータを、表 4.7 に示すフォーマットにしたがって送信する。Latency 測定では、sTGC, MM, $\Delta\theta$, ϕ は全て 0 とし、 η のみに値を与えた。 η は 1 BC ごとに 1 ずつカウントアップするものとした。 η 8 bit のうち下 4 bit 分が最終的な p_T となるような LUT を準備して測定を行なった。

図 6.6 に、実機での Latency 計測結果を示す。結果の 1 行が 1 BC のデータを表す。データは上から下の順に変化していく。実機での Latency 測定の結果、

- GTX_Delay から Mask は Latency なし
- Mask から GTX_Decoder は 1 BC.
- GTX_Decoder から BW-NSW Inner Coincidence は 2 BC
- BW-NSW Inner Coincidence から Track Selector は 1 BC

という Latency で Firmware が動作していることがわかった。

6.3.3 Latency 測定結果まとめ

Latency の測定結果について表 6.1 にまとめた。黒の数値が Latency の要求値、赤色の数値が Simulation での測定結果、青色の数値が実機試験での測定結果である。

各ロジックの Latency は全て要求値を満たすことが確認できた。また Simulation と実機での測定結果も一致していることがわかった。

以上の試験によって、Latency 及びトリガロジックがデザイン通りに動作することが確認できた。

Track Selector	Inner Coin.	TGC-BW Coin.	GTX_Decoder	Mask	GTX_Delay
0x0004	0x0015	0x0004	0x0027	0x00e8	0x00e8
0x0005	0x0016	0x0004	0x0028	0x00e9	0x00e9
0x0006	0x0017	0x0004	0x0029	0x00ea	0x00ea
0x0007	0x0018	0x0004	0x002a	0x00eb	0x00eb
0x0008	0x0019	0x0004	0x002b	0x00ec	0x00ec
0x0009	0x001a	0x0004	0x002c	0x00ed	0x00ed
0x000a	0x001b	0x0004	0x002d	0x00ee	0x00ee

図 6.6: 実機での Latency 測定結果。1 行が 1 BC 分のデータを表している。赤枠で囲まれたデータが GTX_Delay の 0x00e9 の入力に対応する。各データ間のカウントアップのずれから相対的な Latency がわかる。

	BCs		BCs
Receive signal from NSW		Receive signals from BW	
Optical Rx + De-serializer	2.5	Optical Rx + De-serializer	2
Variable Delay	1	TGC R-Phi coincidence (LUT)	2
Decoding/Alignment of NSW data (LUT)	2 1 1	Waiting for NSW signals	6
		BW - NSW coincidence (LUT)	2 1 1
		Track selection	1 1 1
		preencoding	1
		Serializer (128 bit/clock., 6.4 Gb/s) + Optical Tx	2
		Optical fibre to MUCTPI (10 m)	2

表 6.1: Simulation での Latency 測定結果とその要求値。赤色が各 Latency の測定値である。

第7章 結論と今後の展望

2021年以降のLHC実験Run-3において、重心系エネルギー14 TeV、ルミノシティは現在のおよそ1.5倍の $3 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ で運転を予定している。LHCのアップグレードに伴い、ATLAS実験ではシステムのアップグレードを行う。本研究では特に、初段ミュオントリガーの高速化・高度化に関する研究を行なった。

ミュオントリガーシステムでは現行のTGC-BWに加え新たな検出器であるNew Small Wheelを導入し、新しいトリガー判定回路New Sector Logicボードを開発した。New Sector Logicボードには、NSWからの信号を高速に受信するためのトランシーバーGTXが搭載されている。トランシーバーで受けたデータをFirmware上で扱うためのFirmwareを新たに開発した。New Sector Logicボード間でデータの通信を行い、安定してデータを受信できることを確認した。

またトリガーロジックでは計算にLook Up Table(LUT)を用いている。LUTの中身はトリガーマニューによって随時書き換える必要がある。本研究では、コンピューターから書き換えるロジック及びそれらを動作させるソフトウェアを開発した。実機での試験では、全てのLUTを正しく書き換えられることを確認した。

またNew Sector Logicボード用に開発されているFirmwareの動作試験を行うためのテスト環境を開発した。テスト環境では、TGC-Big Wheelからの信号及びNew Small Wheelからの信号をエミュレートし、それぞれG-Link規格/GTX規格でNew Sector Logicボードに送信することができる。これらのエミュレーターはコンピューターから操作することができ、任意の信号パターンを作成することができる。

このテスト環境をもちいて、開発したNew Sector LogicボードFirmwareの動作試験を行なった。試験では、FirmwareのLatency測定およびトリガーロジックの検証を行なった。Latencyの測定結果、Firmwareのデザイン通りのLatencyで動作していることを確認でき、Latencyに対する要求値を満たしていることも確認できた。またトリガーロジックの検証では、エミュレートしたテストパターンに対して正しい出力が得られることを確認できた。

今後は本研究で開発したテスト環境を用い、より本番での運用に近い状況でFirmwareの試験を行なっていくことが課題となる。例えば、今回のトリガーロジックのテストでは一定のパターンに限り検証を行ったが、トラックパターンをイベントごとに変化させながらロジックの検証を行う、実際のトリガーシステムで用いるCoincidence WindowをLUTに実装した上でトリガーロジックの検証を行う、といったことが考えられる。またテスト環境を拡張し、TTC信号の振る舞いや、後段にSRODを取り付けた場合でのテストなども行っていく必要がある。正しくFirmwareを開発したつもりでも、いざ動作させてみると思わぬ不具合が見つかることが多々ある。2021年の導入に向け、不具合を徹底的に洗い出しスムーズな運用ができるよう準備していくことが今後の課題となる。

謝辞

本研究は多くの方々のご支援のもと遂行することができました。決して私ひとりの力ではなし得ることができなかつたでしょう。この場をお借りして感謝申し上げます。

日々の研究に関して多くの助言をいただきました石野雅也教授，奥村恭幸准教授，齋藤智之助教授に心から感謝いたします。

Phase-1 Upgrade チームの方々にも大変お世話になりました。ミーティングでの議論を通じ、多くのことを学ぶことができました。ありがとうございました。

また赤塚駿一氏，岡崎佑太氏には Firmware の開発を進めるにあたり，基礎から細かい部分についてまで大変詳しくアドバイスをいただきました。お二人の助けがなければ本研究をここまで進めることはできなかつたと感じています。ありがとうございました。

浅井研究室，素粒子センターのみなさま，教務のみなさまにも多くのご支援をいただきました。心から感謝申し上げます。

私の友人たちにも感謝を述べさせていただきます。心身ともに健康で研究生活を送ることができたのは彼らのおかげです。ありがとう。

最後に，これまで私を支えてくれた家族にも感謝いたします。ありがとうございました。これからもよろしく願いいたします。

関連図書

- [1] CERN. Atlas data summary, 11 2018.
- [2] ATLAS Collaboration, G. Aad, E. Abat, J. Abdallah, A. A. Abdelalim, A. Abdesselam, O. Abdinov, B. A. Abi, M. Abolins, H. Abramowicz, and et al. The ATLAS Experiment at the CERN Large Hadron Collider. *Journal of Instrumentation*, 3:S08003, August 2008.
- [3] Jorg Wotschack. ATLAS muon chamber construction parameters for CSC, MDT, and RPC chambers. 2008.
- [4] CERN. The hl-lhc project.
- [5] M. Aaboud, G. Aad, B. Abbott, J. Abdallah, O. Abdinov, B. Abeloos, R. Aben, O. S. AbouZeid, N. L. Abraham, and et al. Performance of the atlas trigger system in 2015. *The European Physical Journal C*, 77(5), May 2017.
- [6] *ATLAS level-1 trigger: Technical Design Report*. Technical Design Report ATLAS. CERN, Geneva, 1998.
- [7] 赤塚 駿一. Lhc-atlas 実験 run-3 に向けたミュオントリガーの改良. 2017.
- [8] 来見田 吏恵. Atlas 実験 run2 に向けたレベル 1 ミュオントリガー回路の開発. 2013.
- [9] Osamu Sasaki. Amplifier-shaper-discriminator ics and asd boards. 1999.
- [10] 一宮 亮. Atlas 実験前後方ミュオントリガシステム用 sector logic の開発. 2001.
- [11] 田代 拓也. Atlas 実験における新しいミュオントリガー回路の開発と実装. 2013.
- [12] 木戸 将吾. Atlas 実験 run2 におけるレベル 1 ミュオントリガーの性能評価及び最適化の研究. 2016.
- [13] 救仁郷 拓人. Lhc-atlas 実験 run-2 に向けた level-1 ミュオントリガーアルゴリズムとデータ収集システムの改良. 2014.
- [14] T Kawamoto, S Vlachos, L Pontecorvo, J Dubbert, G Mikenberg, P Iengo, C Dallapiccola, C Amelung, L Levinson, R Richter, and D Lellouch. New Small Wheel Technical Design Report. Technical Report CERN-LHCC-2013-006. ATLAS-TDR-020, Jun 2013. ATLAS New Small Wheel Technical Design Report.

- [15] ATLAS Collaboration. Technical Design Report for the Phase-I Upgrade of the ATLAS TDAQ System. Technical Report CERN-LHCC-2013-018. ATLAS-TDR-023, Sep 2013. Final version presented to December 2013 LHCC.
- [16] Konstantinos Ntekas and Theodoros Alexopoulos. Performance characterization of the Micromegas detector for the New Small Wheel upgrade and Development and improvement of the Muon Spectrometer Detector Control System in the ATLAS experiment, 2016. Presented 2016.
- [17] Xilinx. *7 Series FPGAs GTX/GTH Transceivers User Guide*. Xilinx, v1.12.1 edition, August 2018.
- [18] 岡崎 佑太. Lhc-atlas 実験 run-3 に向けたミュオントリガーの改良とハードウェアへの実装. 2018.
- [19] Xilinx. *7 Series FPGAs Data Sheet: Overview*. Xilinx, v2.6 edition, February 2018.
- [20] Inc. Agilent Technologies. *Agilent HDMP-1032/1034 Transmitter/Receiver Chip Set Data Sheet*, 2000.
- [21] KEK. <http://research.kek.jp/people/uchida/technologies/sitcp/>, February 2012.
- [22] Xilinx. *Block Memory Generator v8.4 LogiCORE IP Product Guide*. Xilinx, October 2017.
- [23] 安岡 貴志. *Verilog HDL VHDL テストベンチ記述の初歩 : 論理回路の検証で用いる HDL 文法とノウハウ*. デザインウェブブック. CQ 出版, 2010.