

Übersprechverhalten einer totzeitfreien Pixelauslese

Beat Meier

Diplomarbeit
Institut für Teilchenphysik
ETH Zürich

April 1998

Thesis-1998-Meier

CERN LIBRARIES, GENEVA

Übersprechverhalten einer
totzeitfreien Pixelauslese

Beat Meier

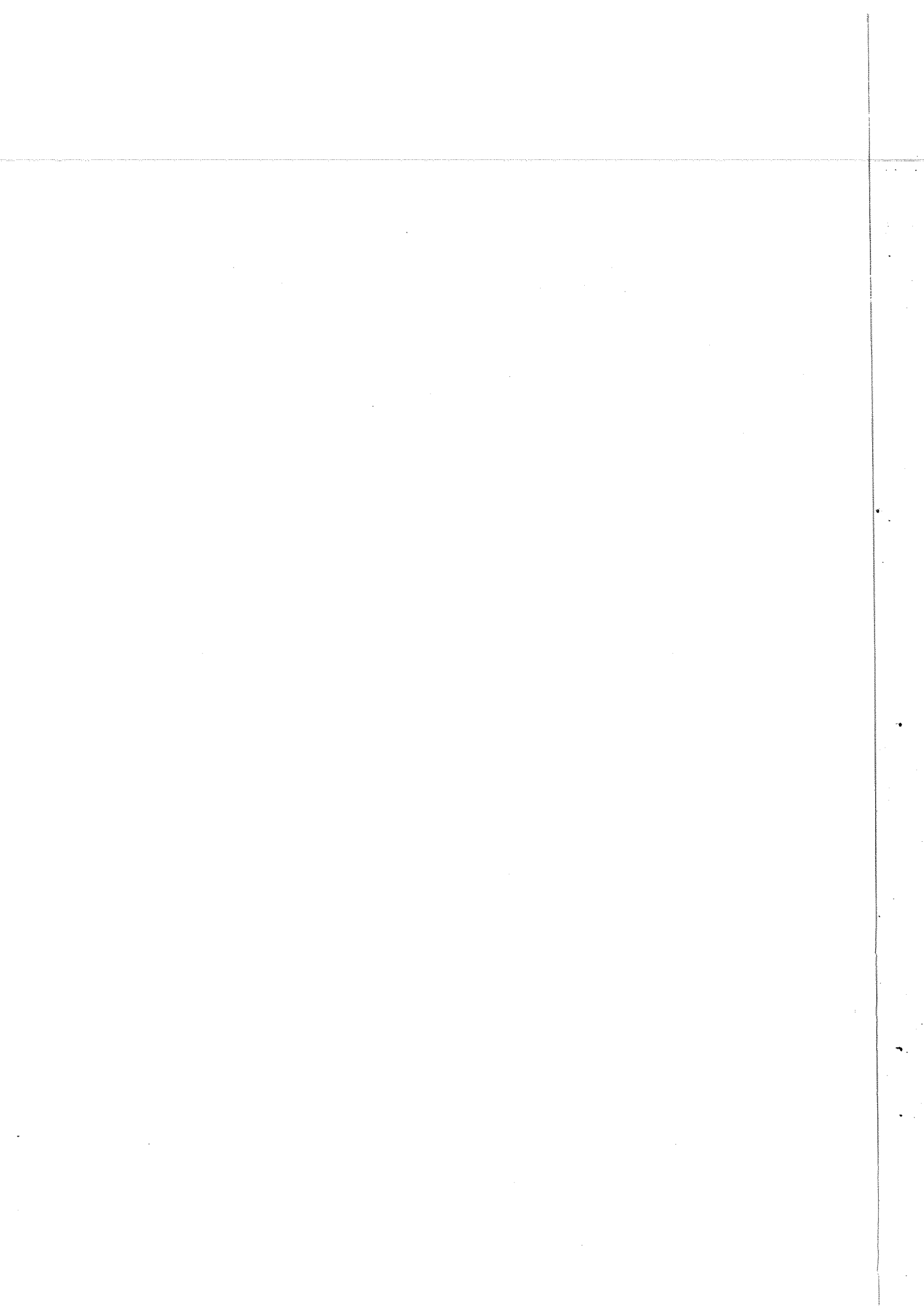
Diplomarbeit
Institut für Teilchenphysik
ETH Zürich

April 1998

CERN LIBRARIES, GENEVA



CM-P00080992



Zusammenfassung

Das Institut für Teilchenphysik der ETH Zürich und das Paul Scherrer Institut bauen zusammen einen Silizium-Vertex-Detektor für das CMS Experiment am neu entstehenden LHC beim CERN. Dafür werden auch die Pixeldetektoren und die dafür notwendigen Elektronikchips entwickelt.

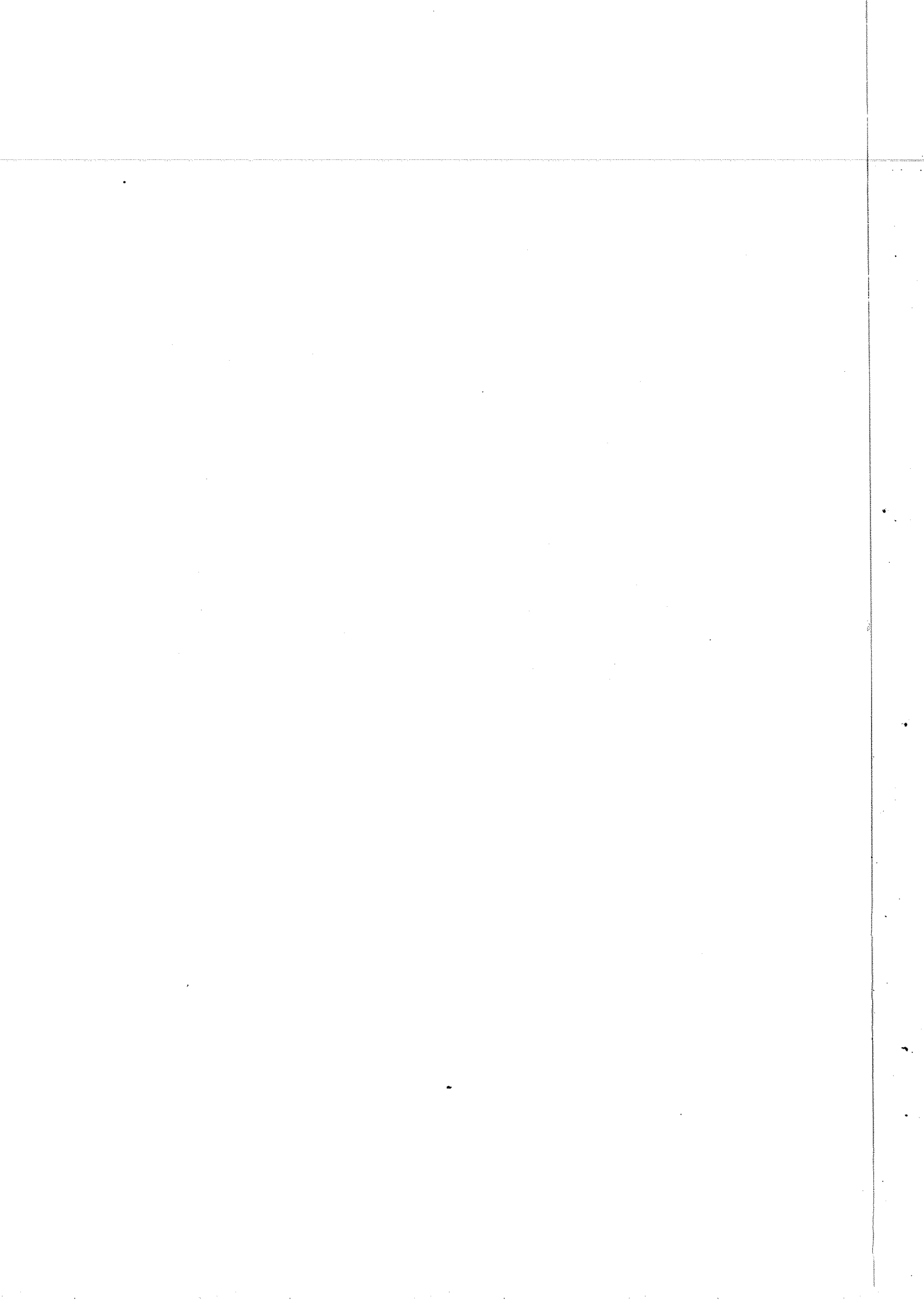
Da die Bunch Crossing Rate bei LHC 40MHz beträgt und ca. $50 \cdot 10^6$ Pixel vorhanden sind, ist die anfallende Datenmenge gewaltig gross. Diese muss daher schon von der Elektronik, die sich unmittelbar an Detektor befindet, stark reduziert werden. Ein solches Verfahren ergibt sich daraus, dass die Anzahl der Detektorpixel mit einem Treffer vergleichsweise gering ist. Daher wird ein Ausleseverfahren benötigt, das getroffene Pixel sehr schnell finden kann.

Zur Realisierung eines solchen Verfahrens wurden Testschaltungen auf Chips hergestellt. Diese erlauben sogar eine totzeitfreie Pixelauslese. Das heisst, dass die Elektronik während der Auslese schon wieder bereit ist, um neue Treffer zu registrieren.

Das Problem das dabei auftritt sind die Störungen, die bei der Auslese produziert werden. Da die Pixel während der Auslese aktiv sind, besteht die Wahrscheinlichkeit, dass die Störungen als Treffer registriert werden.

In der vorliegenden Arbeit wurde die Grösse dieser Störungen ermittelt. Daneben wurde auch das Zeitverhalten des Auslesemechanismus gemessen. Für die Durchführung wurde eine Messapparatur gebaut, mit der diese Testschaltungen in Betrieb genommen werden konnten. Dabei musste sehr darauf geachtet werden, dass die Messapparatur nicht selbst zur Quelle von Störungen wurde.

Es hat sich gezeigt, dass die Störungen einem äquivalenten Detektorsignal von weniger als 820 Elektronen entsprechen. Da bei CMS eine untere Grenze von 2500 Elektronen gefordert wird, erfüllt der getestete Auslesemechanismus die Erwartungen voll.



Inhaltsverzeichnis

1	Einleitung	1
1.1	Das CMS Experiment am LHC	1
1.2	Vertex-Detektor	1
2	Pixeldetektoren	3
2.1	Halbleiter-Detektoren	3
2.2	Streifen- und Pixeldetektoren	6
2.3	Die Elektronik für Pixeldetektoren	8
3	Der DM_PSI30 Chip	11
3.1	Einführung	11
3.2	Technologie	11
3.3	Auslesemechanismus	12
3.4	Programmierung	14
4	Der DM_PSI32 Chip	16
4.1	Aufbau	16
4.2	Totzeitfreier Auslesemechanismus	17
4.2.1	Funktionsweise	17
4.2.2	Ausbreitung des /ENCD-Signals	20
4.2.3	Beschleunigungsmechanismus	22
4.3	Die Struktur "WELLE"	25
4.4	Die Struktur "CROSSTALK"	28
5	Messanordnung	30
5.1	Anforderungen	30
5.2	Aufbau	30
5.3	Messgeräte	35
6	Zeitmessungen an der Struktur "WELLE"	36
6.1	Inbetriebnahme	36
6.2	Messung der Laufzeit t_{DEL}	38
6.3	Messung der Haltezeit t_{HOLD}	40
6.4	Test des Auslesevorgangs	43
7	Messung des Übersprechens	45
7.1	Inbetriebnahme	45
7.2	Programmierung der Pixel	45
7.3	Wahl der Betriebsspannungen	47
7.4	Entstörung	48
7.5	Kalibrieren des Verstärkers	50
7.5.1	Prinzip der Signalmessung	50

7.5.2	Verstärkerkennlinien	51
7.5.3	Frequenzverhalten	53
7.5.4	Wahl der Eichung für die Crosstalk-Messung	53
7.6	Crosstalk Messung	56
7.7	Schlussfolgerungen	58
A	Schemas PSI-32	63
B	Daten für die Simulationen mit SPICE	66
C	Elektronikboard	71

1 Einleitung

1.1 Das CMS Experiment am LHC

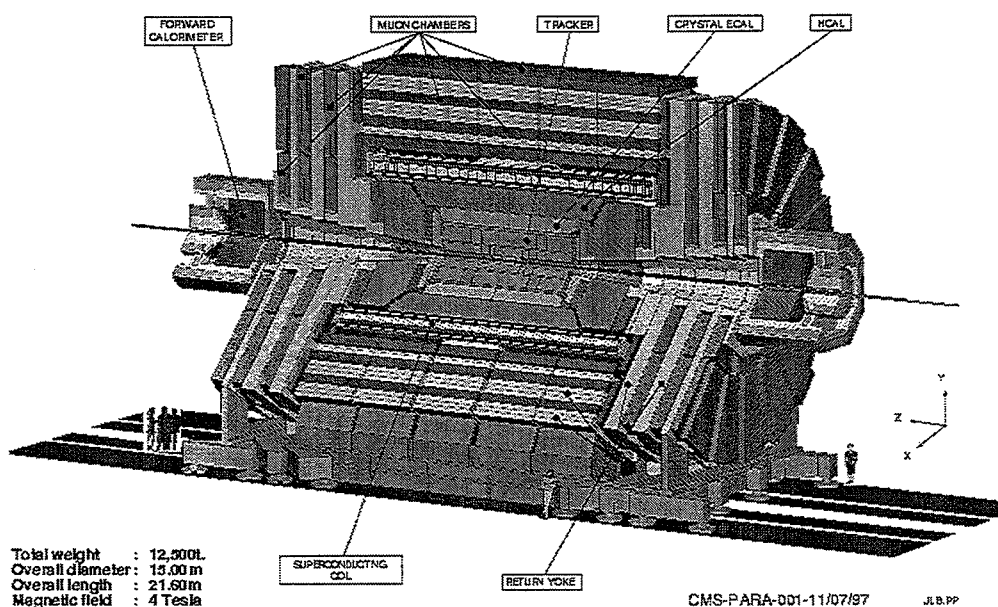


Abbildung 1: CMS Detektor

Beim CERN ist der Bau des LHC (Large Hadron Collider) geplant. Die Maschine soll Proton-Proton-Kollisionen mit einer Ruheenergie von 14TeV bei einer Luminosität von bis zu $10^{34} \text{cm}^{-2} \text{s}^{-1}$ liefern. Daneben sollen auch Kollisionen mit schweren Ionen produziert werden.

Abbildung 1 zeigt den Aufbau des CMS Detektors der am LHC betrieben werden soll. Seine Hauptaufgabe ist die Suche nach Higgs- oder SUSY-Teilchen. Die Erkennung von b-Jets ist dabei von grosser Bedeutung. Der Detektor eignet sich auch um B-Physik zu betreiben, wo die CP-Verletzung und seltene Zerfälle untersucht werden.

Zur Vermessung der sekundären Vertices ist eine möglichst genaue Rekonstruktion der Teilchenspuren nötig. Dazu wird ein Vertex-Detektor mit guter Ortsauflösung benötigt. Dieser muss sich so nahe wie möglich am Kollisionspunkt befinden. Da dort grosse Teilchenflüsse vorhanden sind, stellt die eindeutige Ortszuordnung ein grosses Problem dar. Aus diesem Grund hat man sich für den Einsatz von Pixeldetektoren entschieden.

1.2 Vertex-Detektor

Für den Vertex-Detektor werden Module von Pixeldetektoren zu der in Abb. 2 gezeigten Anordnung zusammengebaut. Diese besteht aus zwei ineinanderliegenden Zylindern und

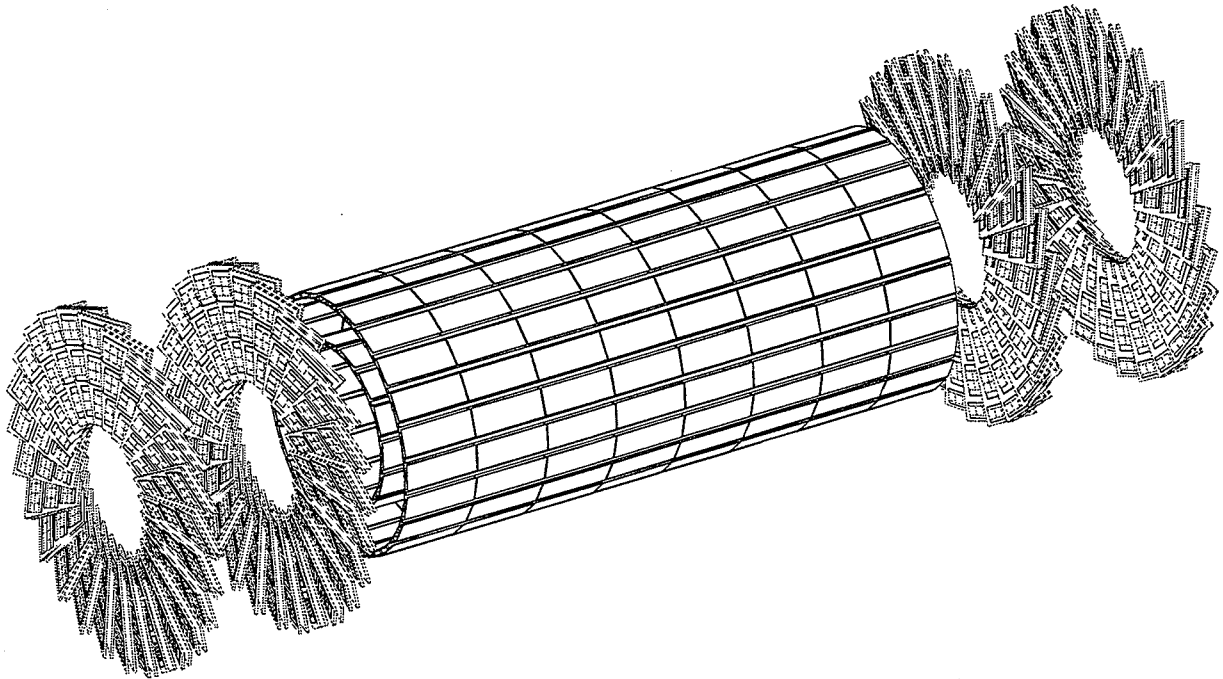


Abbildung 2: Anordnung der Pixelmodule beim Vertex-Detektor. Zwei konzentrische Zylinder und je zwei Scheiben auf jeder Seite bewirken, dass jede Teilchenspur zwei Signale erzeugt. Die Montagevorrichtung ist nicht gezeigt

je zwei Scheiben auf beiden Seiten. So erzeugt jede Spur zwei Signale, mit denen dann ihre Lage im Raum festgelegt ist.

Der Aufbau der Module, wie sie für den Zylinder gebraucht werden, zeigt Abb. 3. Ein Modul besteht aus einer Siliziumplatte (Sensor), die die einzelnen Pixeldetektoren enthält. Auf diese Platte sind 16 Pixel-Auslesechips durch Bump Bonding mit den Pixeldetektoren kontaktiert (in Abb. 3 von der Unterseite). Über dem Detektor befindet sich eine Hybrid-Schaltung mit der die Pixel-Auslesechips durch Bond-Drähte verbunden sind. Auf der Hybrid-Schaltung befindet sich der Token Manager Chip und der Signal Driver Chip. Diese liefern die nötigen Steuer- und Taktsignale für die Auslesechips und sind für die Datenübermittlung zuständig. Am Hybrid sind die beiden Kapton Flachbandkabel angebracht, die für die Speisung des Moduls und für die Signalzu- und abführung benötigt werden. Das ganze Modul ist auf einer Trägerplatte aus Kohlefasermaterial montiert. Diese wird auf die Kühlrohre des Vertex-Detektors geschraubt.

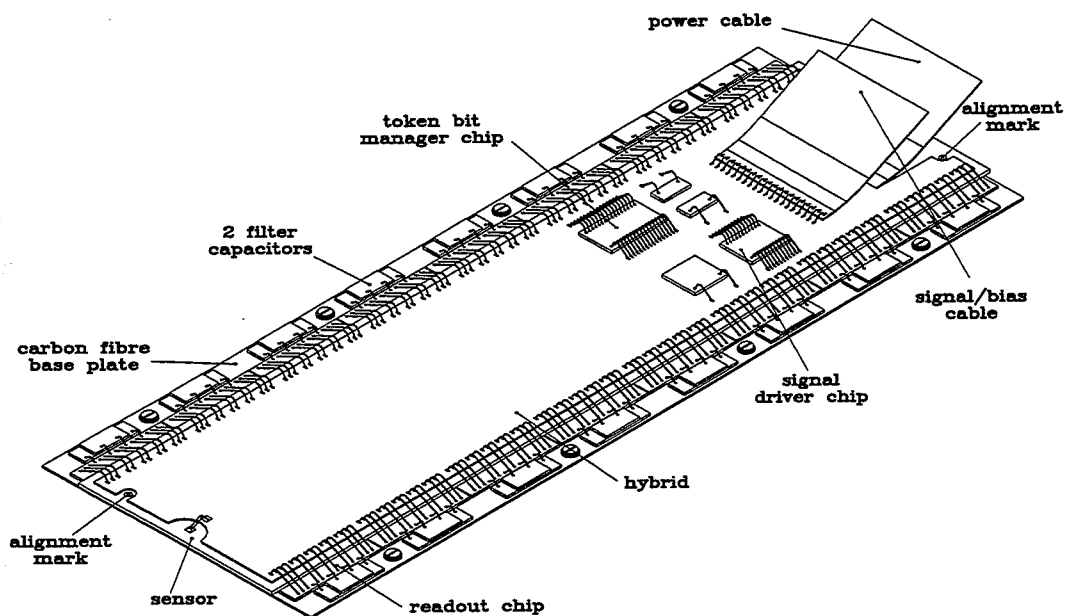


Abbildung 3: modulare Detektoreinheit

2 Pixeldetektoren

2.1 Halbleiter-Detektoren

Die Funktionsweise eines Halbleiterdetektors basiert auf einem pn-Übergang an dem eine elektrische Spannung anliegt. Als Ausgangsmaterial bei der Herstellung von Halbleiterdetektoren werden Silizium oder Germanium und neuerdings auch GaAs oder Diamant verwendet.

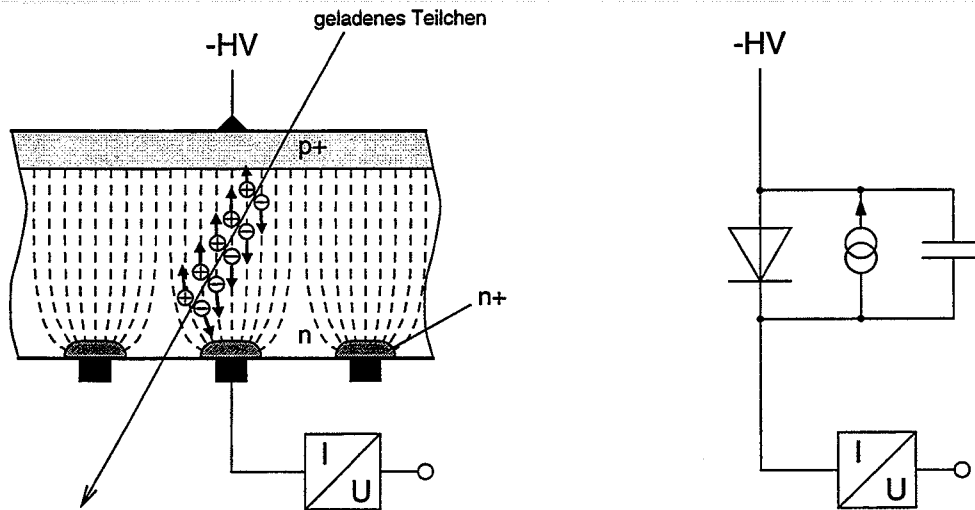


Abbildung 4: Vereinfachte Darstellung des Querschnitts durch einen Halbleiterdetektor (links) und Ersatzschaltbild (rechts)

Abbildung 4 zeigt schematisch den Querschnitt durch einen Si-Detektor wie er in der Hochenergiephysik gebraucht wird. Das Substrat (Si) ist schwach n-leitend. Die p+ dotierte Schicht auf der oberen Seite bildet den anderen Pol der Diode. Auf der unteren Seite gewährleistet die n+ Dotierung eine gut leitenden Verbindung zum aufgebracht Metallkontakt. Indem man die Metallkontakte als einzelne Inseln ausbildet, lassen sich mehrere Detektoren auf einem Chip realisieren.

Legt man eine Spannung in Sperrrichtung an die Diode an, entsteht beim pn-Übergang eine Verarmungszone, die mit zunehmender Sperrspannung immer mehr in die n-Schicht eindringt, und schliesslich beim Erreichen der Betriebsspannung die ganze n-Schicht ausfüllt. In der Verarmungszone entsteht ein elektrische Feld, das in Abb. 4 durch gestrichelte Linien angedeutet ist.

Durchdringt ein geladenes Teilchen den Detektor, werden in der Verarmungszone freie Elektronen und Löcher erzeugt. Diese bewegen sich im Feld zu den entsprechenden Polen und bewirken einen Stromstoss von einer gewissen Ladungsmenge. Die Anzahl der erzeugten Ladungsträger hängt vom Energieverlust des Teilchens im Verhältnis zur Energie, die zur Erzeugung eines freien Ladungsträgers gebraucht wird, ab. Der Energieverlust pro Länge lässt sich nach der Bethe-Bloch-Formel berechnen. Da die Ladungen auch zu den benachbarten Pixeln abfliessen, lässt sich über die Aufteilung der Ladung der Durchgang des Teilchens sehr genau lokalisieren. Wenn sich der Detektor in einem Magnetfeld befindet, wie das bei CMS der Fall ist, ist zusätzlich noch zu beachten, dass die Ladungsträger unter dem Lorentz-Winkel abgelenkt werden. Die Ladung wird von einem Strom-/Spannungswandler in einen proportionalen Spannungsimpuls umgewandelt.

In Abb. 4 ist rechts das Ersatzschaltbild des Detektors gezeigt. Parallel zur idealen Diode befindet sich eine parasitäre Kapazität und eine Stromquelle. Die Kapazität wirkt sich

in zweierlei Hinsicht störend aus. Zum einen sammelt sie die Ladungsträger auf, die ein Teilchen erzeugt. Um das zu verhindern muss die Elektronik einen möglichst kleinen Eingangswiderstand besitzen, damit sich dieser parasitäre Kondensator nicht aufladen kann. Zum anderen können Schwankungen der Betriebsspannung des Detektors (-HV) über die Kapazität in die Elektronik gelangen und dort störende Signale erzeugen.

Die Stromquelle im Ersatzschaltbild symbolisiert den Signalstrom und den Leckstrom des Detektors. Dieser Leckstrom fließt auch dann, wenn der Detektor keine Teilchen registriert. Er nimmt mit zunehmender Temperatur und mit zunehmender Detektorfläche zu. Ein Anstieg ergibt sich auch mit zunehmender Strahlendosis, der der Detektor ausgesetzt war. Er bewirkt eine Verschiebung des Arbeitspunktes des Strom-/Spannungswandlers, der beim Überschreiten eines kritischen Wertes nicht mehr arbeitet. Bei Pixeldetektoren bekommt man dieses Problem aber leicht in den Griff, da wegen der kleinen Detektorfläche der Leckstrom klein ist.

2.2 Streifen- und Pixeldetektoren

Wie im letzten Abschnitt beschrieben, lassen sich auf einem Halbleiter Chip viele einzelne Detektoren realisieren. Auf Grund der Anordnung teilt man sich in Streifen- und Pixeldetektoren ein.

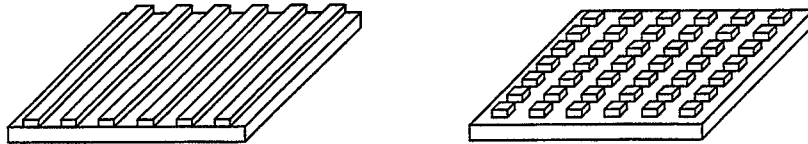


Abbildung 5: *Aufbau eines Streifendetektors (links) und eines Pixeldetektors (rechts)*

Bei Streifendetektoren sind die einzelnen Dioden als schmale Streifen ausgebildet, die sich über den gesamten Chip ziehen. Die Elektronik kann am Ende der Streifen angebracht werden. Die gesamte Länge eines Streifens ist durch den maximal zulässigen Leckstrom begrenzt.

Mit Streifendetektoren lässt sich eine eindimensionale Ortsauflösung erreichen. Stapelt man zwei davon, um 90° verdreht, übereinander, lässt sich damit eine quasi zweidimensionale Auflösung erreichen. Diese Anordnung kann bei grossen Teilchenströmen aber keine eindeutige Zuordnung der Orte mehr liefern. Das ist der Grund, wieso man in diesen Fällen zu Pixeldetektoren übergeht.

Bei Pixeldetektoren sind die Dioden als einzelnen Punkte auf dem Chip angeordnet (Abb. 5 rechts). Damit lässt sich eine echte zweidimensionale Ortsauflösung erreichen. Die Anzahl der Datenkanäle nimmt im Vergleich zum Streifendetektor quadratisch mit den Dimensionen des Detektors zu. Daraus ergibt sich ein grosses Anschlussproblem. Daher muss ein ganz neuer Weg zur Kontaktierung der Detektoren eingeschlagen werden. Weil es nicht mehr möglich ist, die Signalleitungen jedes Pixels einzeln herauszuführen, muss sich die Elektronik direkt beim Pixel befinden. Die Daten können dann über ein Bussystem ausgelesen werden. Da die Elektronik auf die Pixelgrösse beschränkt sein muss, tritt zusätzlich noch ein Platzproblem auf. Dies muss beim Auslegen der Schaltung hinsichtlich der Anzahl der Transistoren für die Pixelelektronik und beim Design des Chips berücksichtigt werden.

Der Weg der am PSI zur Lösung dieser Probleme gewählt wurde ist der, die Elektronik auf einem separaten VLSI-Chip zu platzieren. Die Elektronik der einzelnen Pixel wird darauf im gleichen Raster wie die Pixeldetektoren angeordnet. Für das Raster hat sich eine Länge von $150\mu\text{m}$ als optimal herausgestellt. Durch ein Bump Bonding Verfahren wird die Detektorplatte mit den Chips in Kontakt gebracht, wie das in Abb. 6 gezeigt ist. Dabei werden 16 Chips für die ganze Detektorfläche gebraucht.

Der Kontakt wird durch kleine Kügelchen aus Indium (Bumps) hergestellt. Diese werden zuerst auf den Detektor aufgebracht (Abb. 7). Anschliessend wird der Auslesechip darauf positioniert und das Ganze miteinander verschmolzen.

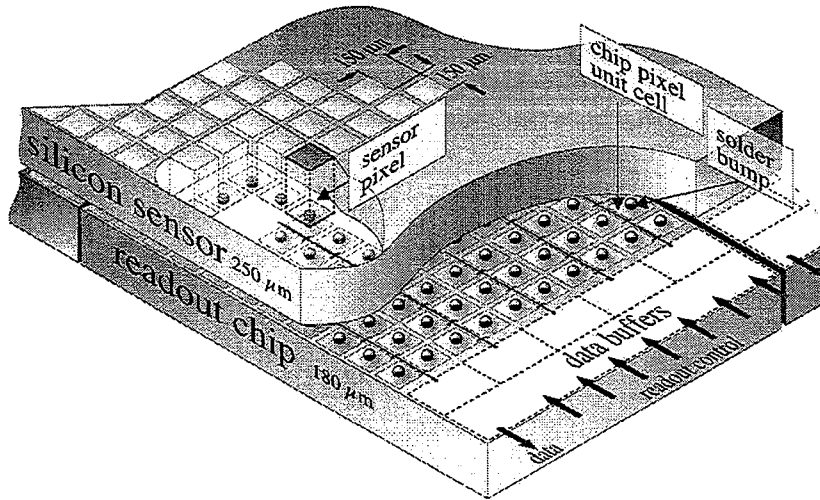


Abbildung 6: Kontaktierung des Detektors (oben) mit den Pixel Readout Chips (unten)

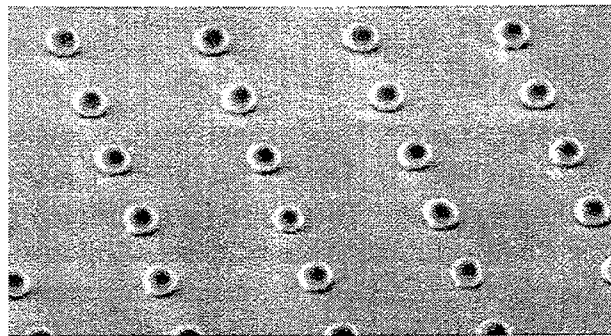


Abbildung 7: Eine REM Aufnahme der Bumps auf einer Trägerplatte. Ihr Abstand beträgt in diesem Fall $125\mu\text{m}$.

2.3 Die Elektronik für Pixeldetektoren

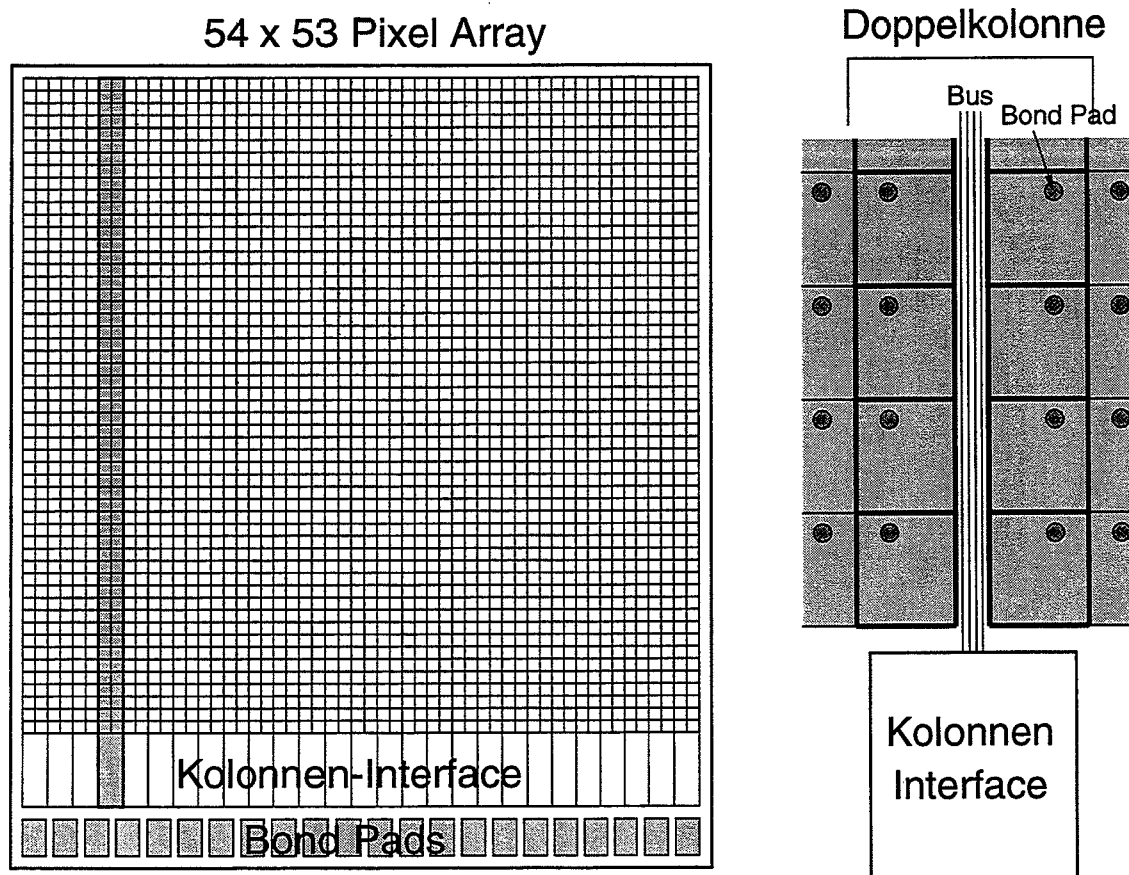


Abbildung 8: Struktur eines Pixel Auslesechips (Doppelkolonne mit Interface markiert). Rechts: vergrößerter Ausschnitt aus einer Doppelkolonne

Der Pixel Auslesechip, wie er für CMS gebraucht wird, besteht voraussichtlich aus einem Array von 53 mal 54 Pixeln (Abb. 8). Jeweils zwei benachbarte Kolonnen werden zu einer Doppelkolonne zusammengefasst und über einen gemeinsamen Bus mit dem Interface verbunden. Über die Bond Pads auf den Pixeln wird der Chip mit dem Detektor kontaktiert.

Die Elektronik der Pixel hat die Aufgabe, die Signale vom Detektor in Impulse umzuwandeln und zu verstärken. Anschliessend muss sie anhand der Signalamplitude entscheiden, ob es sich um einen Treffer handelt. Wenn das zutrifft, signalisiert sie über den Bus das Kolonnen-Interface um eine Auslese anzufordern.

Abbildung 9 zeigt das Blockschaltbild eines Pixels. Das Signal vom Detektor gelangt zuerst auf den Vorverstärker. Dieser besitzt den geforderten niedrigen Eingangswiderstand. Darauf folgt ein Spannungsfolger, der für die Stromverstärkung sorgt, um den Shaper, der ebenfalls einen niedrigen Eingangswiderstand besitzt, anzusteuern. Dieser ist gleich aufgebaut ist wie der Vorverstärker. Wegen dem Spannungsversatz des Spannungsfolgers ist ein

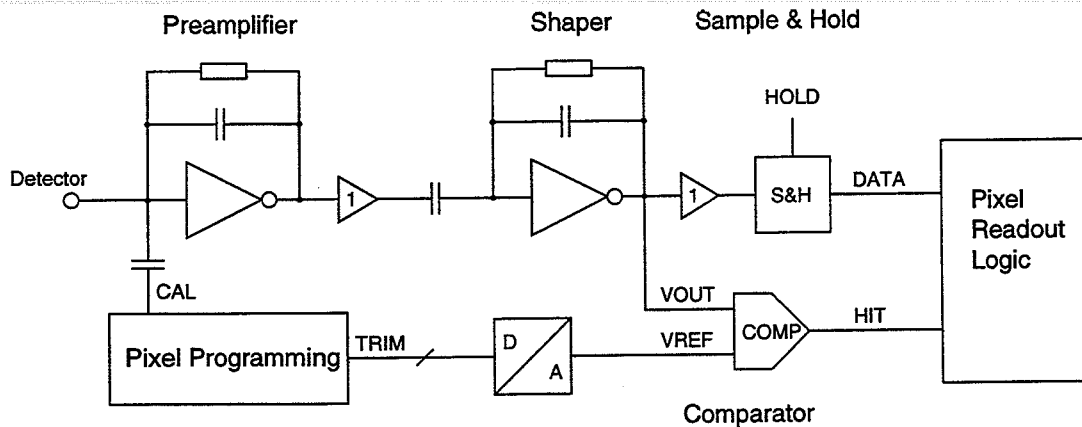


Abbildung 9: Aufbau der Elektronik für einen Pixel

Kondensator nötig, um den Shaper gleichspannungsmässig abzutrennen. Ausserdem werden so Gleichspannungskomponenten vom Shaper ferngehalten, die durch den Leckstrom des Detektors auftreten.

Das Signal V_{OUT} am Shaper-Ausgang gelangt auf den Komparator. Übersteigt die Signalamplitude einen Referenzwert V_{REF} , wird ein Treffer (Hit) ausgelöst, der zur Pixel Readout Logic gelangt. V_{OUT} gelangt ausserdem über einen Spannungsfolger auf die Sample- und Hold-Schaltung. Dort wird die Impulshöhe festgehalten. Das dazu erforderliche HOLD-Signal wird z. B. vom HIT-Signal geliefert. Diese Grösse kann ebenfalls über den Bus ausgelesen werden. Mit Hilfe dieser Information lässt sich durch Ladungsinterpolation benachbarter Pixel die Ortsauflösung steigern.

Um die Pixel-Elektronik zu kalibrieren enthält sie eine Programmierlogik. Diese spricht auf die Row-/Column Signale an, mit denen ein bestimmter Pixel auf dem Chip adressiert werden kann. Auf dem selektierten Pixel kann dann ein Calibrate-Signal auf den Vorverstärker eingespielen werden. Mit den TRIM-Bits lässt sich über einen Digital-/Analog-Wandler die Referenzspannung für den Komparator einstellen. Falls ein einzelner Pixeldetektor einen Defekt aufweist, lässt sich der Pixel auch ganz ausschalten.

Diese Schaltung wurde am PSI auf verschiedenen Testchips in strahlungsharter BiCMOS Technologie implementiert. Damit lassen sich neben digitalen auch analoge Schaltungen realisieren. Abb. 10 zeigt die Schaltung des invertierenden Verstärkers, wie er für den Vorverstärker und den Shaper verwendet wird. Er besteht aus einem komplementären Transistorpaar (CMOS). Durch die Gegenkopplung mit dem Widerstand R stellt sich der Gleichspannungs-Arbeitspunkt auf die halbe Betriebsspannung (d. h. $\frac{V_{A+} - V_{A-}}{2}$) ein. R und C zusammen sorgen für die nötige Signalformung. Der Widerstand R wird durch einen langgestreckten PFET realisiert. Über dessen Gate Anschluss lässt sich der Widerstandswert einstellen.

Zur Berechnungen des Kleinsignal Übertragungsverhaltens verwendet man Vierpol-Parameter. Damit lässt sich die Schaltung durch ein lineares Gleichungssystem der fol-

$$y_{22} = \frac{i_2}{u_2} = \frac{1 + j\omega RC}{R} + y_{22N} + y_{22P} \quad (8)$$

y_{21N}	Vorwärtssteilheit des NFET
y_{21P}	Vorwärtssteilheit des PFET
y_{22N}	Ausgangsleitwert des NFET
y_{22P}	Ausgangsleitwert des PFET
C_g :	Gate Kapazität des NFET bzw. PFET

Durch Einsetzen in (2), (3) und (4) lassen sich dann die entsprechenden Eigenschaften bestimmen.

3 Der DM_PSI30 Chip

3.1 Einführung

Am PSI wurde die Elektronik der Pixeldetektoren auf verschiedenen Chips realisiert. Auf dem Chip, mit der Bezeichnung DM_PSI30, existiert ein 22 mal 30 Pixel Array mit zugehöriger Ausleseelektronik. Auf dem PSI31 Chip sind einzelne Pixel zu Studienzwecken vorhanden. Mit dem DM_PSI32 Chip steht eine leicht optimierte Version des DM_PSI30 Chips zur Verfügung. Dazu kommen, auf demselben Chip, verschiedenartige Designs von Verstärkern und Komparatoren. Ausserdem sind Teststrukturen für einen schnelleren Auslesemechanismus vorhanden.

Der Aufbau des DM_PSI30 Chips entspricht im Wesentlichen der in Abbildung 8 gezeigten Anordnung mit der Ausnahme, dass er nur 11 Doppelkolonnen bzw. 22 Kolonnen mit je 30 Pixeln besitzt. Der Abstand zwischen den Pixeln beträgt in diesem Fall $125\mu\text{m}$. Die gesamte Elektronik, wie sie Abb. 9 zeigt, findet hier also auf einer Fläche von $125\mu\text{m}$ mal $125\mu\text{m}$ platz. Beim Auslesechip für CMS wird dafür ein Platz von $150\mu\text{m}$ mal $150\mu\text{m}$ zur Verfügung stehen.

3.2 Technologie

Der DM_PSI30 Chip sowie der DM_PSI32 Chip wurden in strahlungsharter CMOS Technologie hergestellt. Dafür hatte man den DMILL Prozess von Temic gewählt. Das ist ein besonders strahlungsharter BiCMOS Prozess mit dem neben CMOS auch bipolare Transistoren auf demselben Chip hergestellt werden können. Ausserdem eignet er sich sehr gut zur Realisierung von Analogschaltungen. Als Substrat dient nicht das Trägermaterial sondern eine sehr dünne Siliziumschicht. Diese ist durch eine isolierenden Oxydschicht vom Trägermaterial getrennt. Wegen dem kleinen Substratvolumen bilden sich viel weniger Strahlungsschäden. Der DMILL Prozess lässt Strahlungsdosen von 100kGy zu.

Das Si-Substrat bildet nicht eine zusammenhängende Fläche, sondern ist in Inseln aufgeteilt, auf denen sich die einzelnen Transistoren befinden. Wegen dieser galvanische Trennung besitzt diese Technologie auch hinsichtlich des Übersprechverhaltens gute Eigenschaften.

Der Prozess lässt zwei Metallschichten zu. Verwendet man die oberste Schicht für die Speisespannungen und deckt damit den gesamten Chip ab, bildet sie eine gute Abschirmung.

3.3 Auslesemechanismus

Die Auslese des Pixel-Arrays geschieht sequentiell. Dazu enthält die Ausleselogik jedes Pixels eine Bit-Speicherzelle. Alle diese Zellen einer Doppelkolonne sind zu einem Schieberegister zusammengeschaltet wie in Abb. 11 gezeigt ist. Im Kolonnen-Interface jeder Doppelkolonne befinden sich noch vier weitere Zellen. Diese sind für das Auslesen des Zeitpunkts des Treffers und für die Identifizierung der Doppelkolonne zuständig. Die Schieberegister der einzelnen Doppelkolonnen sind alle zu einem einzigen langen Schieberegister hintereinandergeschaltet. Durch dieses lassen sich Datenbits, die am RBI-Eingang anliegen, durchschieben. Der dazu nötige Schiebetakt wird über die Anschlüsse PHI1 und PHI2 auf den Chip gegeben. Dabei handelt es sich um einen Zweiphasentakt.

Zuerst betrachtet man alle Zellen als gelöscht. Läuft nun ein gesetztes Bit in das Schieberegister einer Doppelkolonne, schaltet der Pixel, der das gesetzte Bit enthält, seine Daten auf die Leitungen AOUT und DOUT. Alle anderen Pixel lassen diese Leitungen unbeeinflusst.

Die Auslese des gesamten Chips spielt sich auf folgende Weise ab. Registriert ein Pixel einen Treffer, informiert er über die /COLOR-Leitung sein Kolonnen-Interface. Dieses hält den Zeitpunkt mittels eines Zählers fest und stellt die Schalter *S* so ein, dass das Schieberegister durch die Doppelkolonne führt. Im anderen Fall würde die Doppelkolonne überbrückt. Auf diese Weise werden nur die Doppelkolonnen ausgelesen, die einen Treffer registriert haben.

Die Auslese wird gestartet, indem während eines Taktzyklus der RBI- Eingang von aussen aktiviert wird. Damit befindet sich ein einzelnes gesetztes Bit im Schieberegister, das den Chip durchläuft (Token Bit). Als erstes befindet es sich in der Zelle mit der Bezeichnung "black". Damit wird der Chip selektiert, so dass er die Leitungen AOUT und DOUT aktivieren kann. Ausserdem wird er ein positives Signal auf AOUT ausgegeben. Anschliessend durchläuft das Bit die Zellen T1, T2 und T3 der ersten Doppelkolonne, die einen Treffer registriert hat. Damit wird die Zeitinformation des Treffers, die im Interface gespeichert ist, auf AOUT ausgegeben. Es handelt sich um ein 12 Bit Wort. Jeweils vier Bits werden pro Schiebetakt durch einen Code von 16 Spannungsstufen ausgegeben. Anschliessend wird auf die gleiche Weise die Nummer der Doppelkolonne ausgegeben. Das ist nötig, um die Doppelkolonnen zu identifizieren, denn es werden ja nicht alle ausgelesen. Nun durchläuft das Lesebit noch die anderen Doppelkolonnen, die einen Treffer registriert haben. Am Schluss der Auslese befindet es sich in der "white"-Zelle und liefert dabei ein negatives Signal auf AOUT, das das Ende der Chip-Auslese markiert. Gleichzeitig wird er Chip wieder deaktiviert. Damit sind die Leitungen AOUT und DOUT frei für die Auslese des nächsten Chips. Das geschieht dadurch, dass der RBO-Ausgang mit dem RBI-Eingang des nächsten Chips verbunden wird.

Ein häufiger Fehler, der während der Auslese auftreten kann, ist der Verlust des Lesebits im Schieberegister. Das geschieht wenn es irgendwo in eine defekte Zelle hineinläuft.

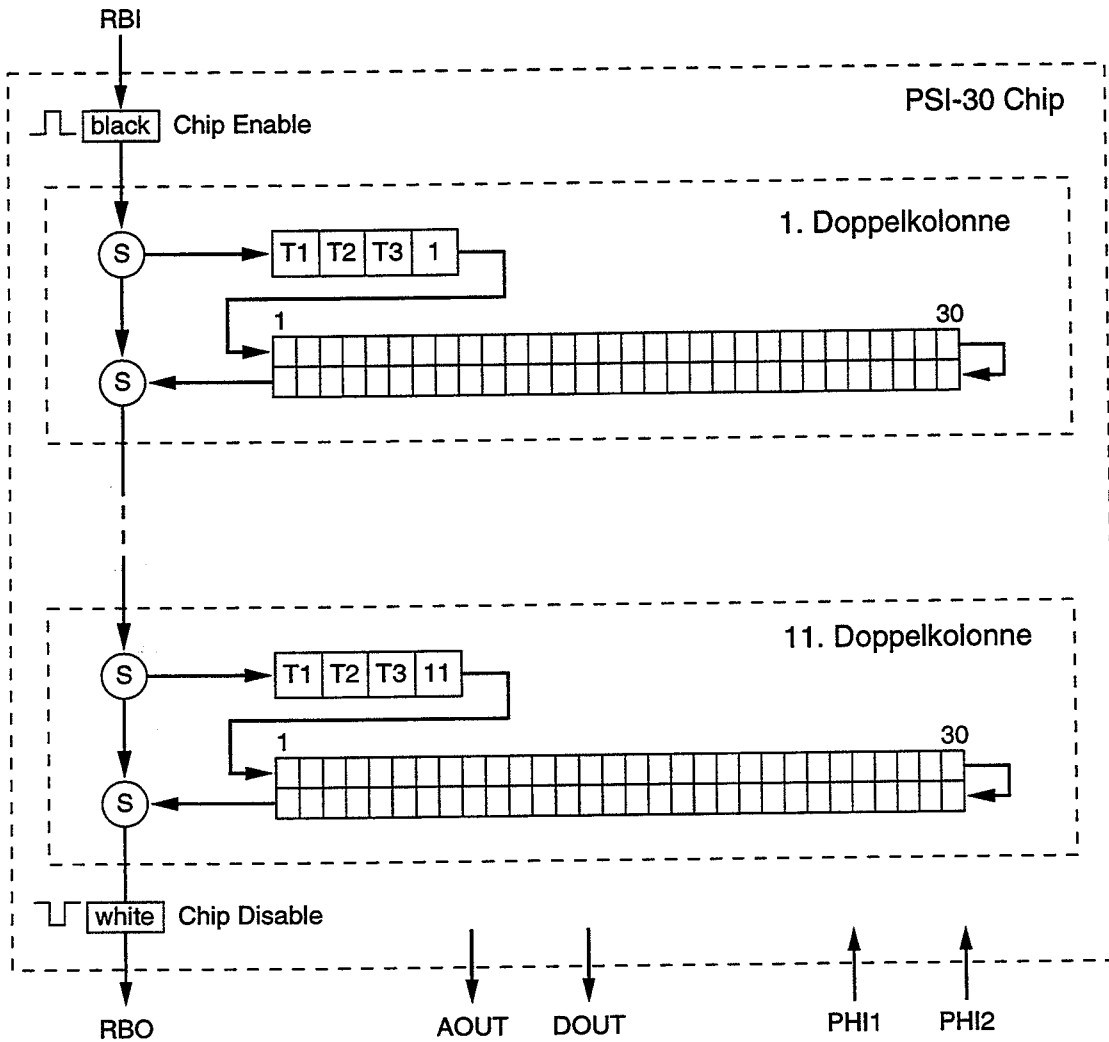


Abbildung 11: Schematische Darstellung des Auslesemechanismus beim DM_PSI30 Chip. Die Pfeile markieren die möglichen Wege, die die Daten durch das Schieberegister nehmen.

Die Folge davon ist, dass alle nachfolgenden Doppelkolonnen auf dem fehlerhaften Chip und alle nachfolgenden Chips nicht mehr ausgelesen werden. Es können also nur diejenigen Chips aus einer Produktion verwendet werden, auf denen alle 706 Zellen einwandfrei funktionieren. Ein Chip der Grösse, wie er für CMS vorgesehen ist, würde etwa 3000 Zellen enthalten. Dieses Problem besteht beim neuen Auslesemechanismus, der auf dem PSI32 Chip realisiert wurde, nicht mehr.

Die Überbrückung von Doppelkolonnen ohne einen Treffer bewirkt eine gewisse Steigerung der Auslesegeschwindigkeit. Die Doppelkolonnen, die Treffer registrieren, müssen aber immer noch vollständig ausgelesen werden. Auch dieses Problem wurde beim neuen Auslesemechanismus gelöst. Dazu wurde der Mechanismus mit dem Schieberegister aufgegeben.

3.4 Programmierung

Die Logik zur Programmierung des Chips hat die Aufgabe, einzelne Pixel zu selektieren um sie kalibrieren zu können. Die Pixelprogrammierung arbeitet völlig unabhängig vom Auslesemechanismus. Mit ihr lassen sich folgende Manipulationen an den einzelnen Pixeln vornehmen:

- Aufschalten eines Calibrate-Signals auf den Eingang des Vorverstärkers.
- Setzen der Schwelle des Komparators durch ein drei Bit Steuerwort (TRB1, TRB2 und TRB3). Damit lässt sich die Ansprechschwelle jedes einzelnen Pixels separat einstellen. Pixel können auch ganz abgeschaltet werden. So werden Pixel mit fehlerhaften Detektoren deaktiviert.

Die Selektion eines Pixels geschieht durch das Laden eines 104 Bit Schieberegisters. Zu seiner Steuerung sind folgende Eingänge vorhanden:

- PPHI1: Taktphase 1 für das Schieberegister
- PPHI2: Taktphase 2 für das Schieberegister
- PBI: Dateneingang
- /PROGSEL: Schreiben der Daten auf die Pixel

Die Bedeutung der einzelnen Zellen des Schieberegisters ist aus Abb. 12 ersichtlich. 60 Bits werden benötigt, um die Reihen zu selektionieren. Pro Reihe werden zwei Bits benötigt. Das eine steuert die jeweiligen linken Pixel der Doppelkolonnen an und das andere die rechten. Mit den restlichen 44 Bits des Schieberegisters werden die Daten an die Doppelkolonnen angelegt. An jeder Doppelkolonne liegen die drei Trimmbits TRM1, TRM2 und TRM3 an, mit denen die Komparatorschwelle eingestellt werden kann. Diese Informationen werden mit dem Anlegen eines /PROGSEL-Impulses in die Pixel geschrieben. Damit wird eine ganze Reihe von Pixeln neu programmiert.

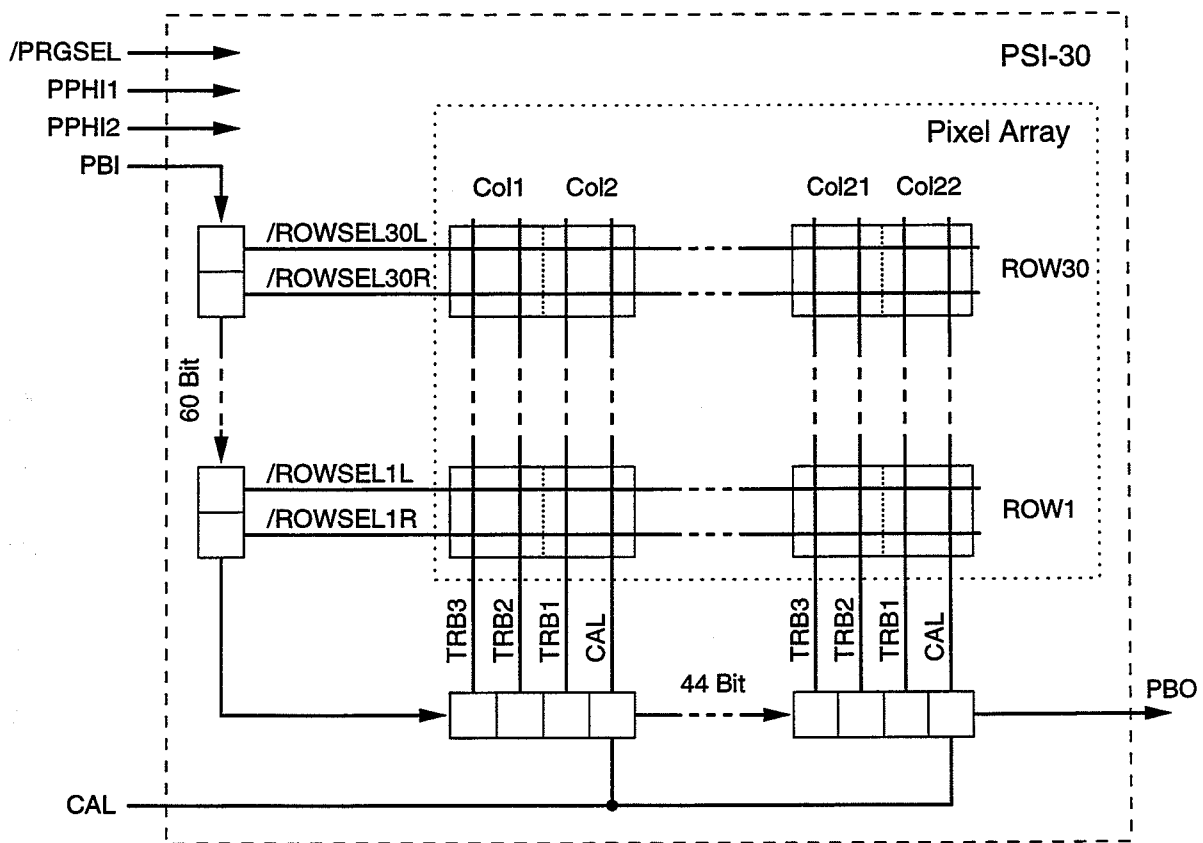


Abbildung 12: Schematische Darstellung des Mechanismus zur Pixel Programmierung

Das vierte Bit dient dazu, das Calibrate-Signal auf die jeweilige Doppelkolonne zu schalten. Das analoge Calibrate-Signal wird von aussen in den Chip eingespiessen. Ist das CAL(n) Bit im Schieberegister gesetzt, kann das Signal auf die n. Doppelkolonne gelangen. Damit das Signal weiter auf den Pixel in der m. Reihe gelangen kann, muss das entsprechende /ROWSEL(m) Signal anliegen.

4 Der DM_PSI32 Chip

4.1 Aufbau

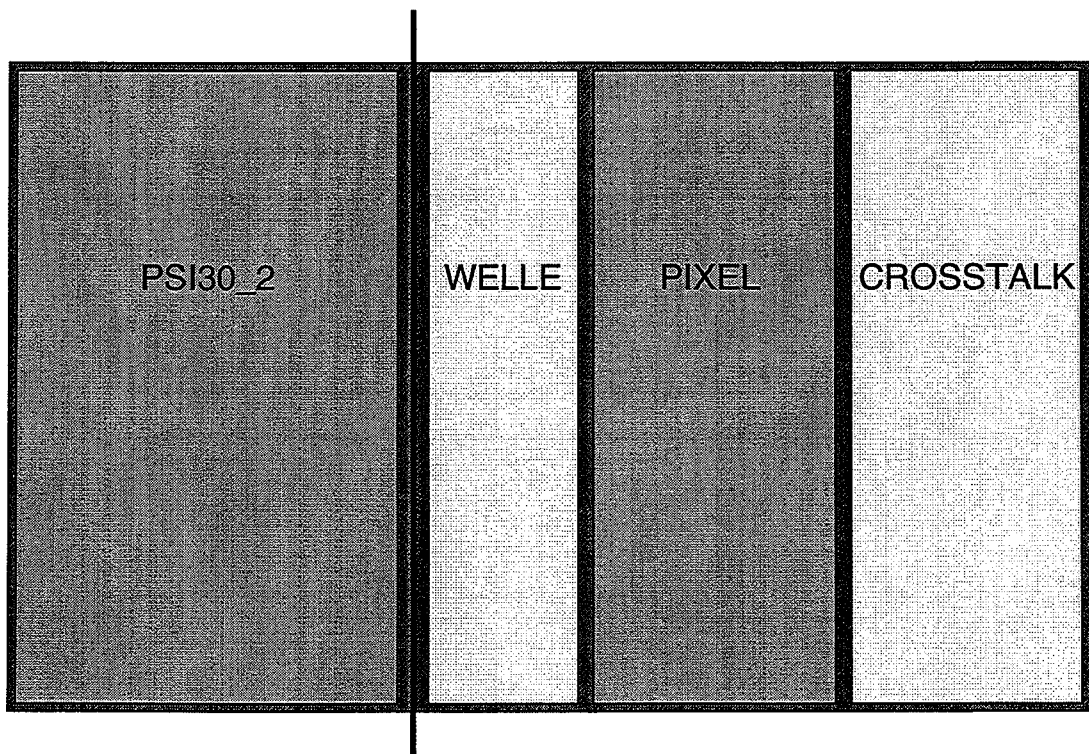


Abbildung 13: *Floorplan des DM_PSI32 Chips*

Der 5 mal 8mm grosse DM_PSI32 Chip ist ebenfalls im DMILL Prozess hergestellt worden. Auf ihm befinden sich vier unabhängige Teststrukturen, deren Anordnung Abb. 13 zeigt. Sie haben folgende Funktionen:

- **PSI30_2:** Hier handelt es sich um eine neue Version des DM_PSI30 Chips mit leicht optimiertem Design.
- **WELLE:** Hier befindet sich der digitale Teil des neuen totzeitfreien Auslesemechanismus. Dieser Teil wurde in der vorliegenden Arbeit benutzt um das Zeitverhalten

des Auslesemechanismus zu studieren.

- **PIXEL** Auf diesem Teil befinden sich verschiedene Teststrukturen wie verschiedene Einzeltransistoren, um Toleranzen bei der Chip-Herstellung zu prüfen, und verschiedenartige Verstärker und Komparatoren.
- **CROSSTALK**: Hier befinden sich zwei Doppelkolonnen aus vollständigen Pixeln mit Analog- und Digitalteil. Der digitale Teil ist der gleiche, wie bei der Struktur "WELLE". An dieser Teststruktur wurden die Crosstalk-Messungen für die vorliegende Arbeit durchgeführt.

Der PSI30.2 Teil des Chips wurde mit einer Diamantsäge abgetrennt, um damit gleichzeitig andere Messungen durchzuführen.

4.2 Totzeitfreier Auslesemechanismus

4.2.1 Funktionsweise

Wie in Abschnitt 3.3 beschrieben wurde, besitzt der Auslesemechanismus des DM_PSI30 Chips die beiden Nachteile der langen Auslesezeit und der Intoleranz gegenüber Fehlern beim Schieberegister. Beide Nachteile sind beim neuen Auslesemechanismus nicht mehr vorhanden. Zusätzlich ermöglicht er eine nahezu totzeitfreie Auslese. Das bedeutet, dass während dem Auslesevorgang, von der Pixelelektronik weitere Treffer registriert werden können. Damit tritt aber das Problem des Übersprechens auf. Da die Pixel während der Auslese bereits wieder messbereit sind, besteht die Wahrscheinlichkeit, dass der Auslesevorgang Störungen erzeugt, die sich auf die Eingänge der Vorverstärker auswirken. Diese können sich wie Treffer auswirken.

Abbildung 14 zeigt schematisch eine Doppelkolonne bestehend aus 2 mal 53 Pixeln und den Busleitungen. Der wesentliche Teil eines Pixels, der die totzeitfreie Auslese ermöglicht ist das doppelte Hit-Flip-Flop das die Treffer speichert. Während das eine den letzten Zustand für die Auslese bereithält kann das andere bereits wieder neue Treffer registrieren. Diese werden dann bei der nächsten Auslese berücksichtigt. Der Bus setzt sich aus den folgenden Signalleitungen zusammen:

/ENCDIN	(Enable Column Drain Input) Mit diesem Eingang startet das Kolonnen-Interface die Pixelsuche. Dies ist eigentlich keine Busleitung, da das Signal nicht parallel an jedem Pixel anliegt.
RESET	Damit wird das erste Hit-Flip-Flop, das sich unmittelbar nach dem Analogteil befindet, gelöscht.
LOAD	Ein 1 Pegel bewirkt, dass in jedem Pixel ein High-Signal auf die /ENCD-Leitung gegeben wird. Das dient zur Vorbereitung der Pixelsuche.
ACK	(Acknowledge) Ein 1 Pegel fordert einen Pixel auf, seine Daten auf die Leitungen DATA, A0 und A8 zu geben.

/COLOR	(Column Or) Durch Ausgabe eines Low-Signals meldet ein Pixel einen Treffer. Die Leitung arbeitet als Wired Or.
/STROBE	Damit meldet ein Pixel die Bereitschaft zur Auslese. Die Leitung arbeitet als Wired Or.
DATA	Hier gibt der Pixel den Spannungswert im Sample und Hold aus, wenn ACK anliegt.
A0	Die unteren drei Bits der Pixelnummer werden, bei aktivem ACK-Signal, über diese Leitung durch 8 Spannungsstufen codiert ausgegeben.
A8	Ausgabe der oberen Bits der Pixelnummer
/ENCDOU	(Enable Column Drain Output) Dieser Ausgang zeigt dem Kolonnen-Interface das Ende der Pixelsuche an.

Registriert ein Pixel in der Doppelkolonne einen Treffer, dann gibt er auf die /COLOR-Leitung einen Low-Pegel (=0). Damit benachrichtigt er das Interface. Dieses startet darauf die Auslese der Kolonne. Die Auslese lässt sich in zwei Schritte unterteilen. Beim ersten Schritt, der Pixelsuche, geht es darum, den ersten Pixel in der Doppelkolonne, der einen Treffer registriert hat, zu finden. Ist dies geschehen, werden im zweiten Schritt die Informationen ausgelesen.

Für die Pixelsuche spielt die /ENCD-Leitung die zentrale Rolle. Sie beginnt beim /ENCDIN-Eingang und führt durch jeden Pixel und endet beim /ENCDOU-Ausgang. Derjenige oder diejenigen Pixel mit einem Treffer unterbrechen diese Leitung durch Öffnen des NFETs, der als Schalter dient. Die Vorbereitung der Suche geschieht durch das Anlegen eines /LOAD-Impulses. Dieser gelangt auf jedem Pixel auf den mit *S* bezeichneten Schaltblock, der die /ENCD-Leitung auf den High-Pegel (=1) bringt. Gleichzeitig wird auf /ENCDIN ein High-Pegel gegeben. Nach dem Wegnehmen des /LOAD-Signals befindet sich die Leitung in einem hochohmigen Zustand. Der High-Pegel bleibt wegen der Leitungskapazität erhalten. Nun wird die Suche gestartet, indem man auf /ENCDIN ein Low-Signal bringt. Die /ENCD-Leitung entlädt sich bis zum ersten Pixel mit einem Treffer (in Abb. 15 wäre es der 50. Pixel). Dieser reagiert darauf, indem er einen Low-Pegel auf die /STROBE-Leitung gibt. Damit wird das Interface informiert, dass ein Pixel zur Auslese bereit ist.

Bis jetzt weiss das Interface noch nicht, welcher Pixel angesprochen wurde. Diese Information holt es sich durch die nun folgende Auslese. Dazu setzt es das ACK-Signal. Jetzt legt der Pixel seine Identifikation auf die A0- und A8-Leitung. Gleichzeitig liegt der Inhalt des Sample & Hold auf DATA. Wenn das Interface das ACK-Signal wieder zurücknimmt, ist die Auslese beendet. Gleichzeitig schaltet der Pixel den NFET in der /ENCD-Leitung wieder ein und leitet so das Signal zu den folgenden Pixeln weiter. Damit wird die Suche nach Treffern auf den nachfolgenden Pixeln fortgesetzt. Werden weitere Treffer gefunden, beginnt eine neue Auslese. Die Suche ist beendet, wenn das Signal den /ENCDOU-Ausgang erreicht.

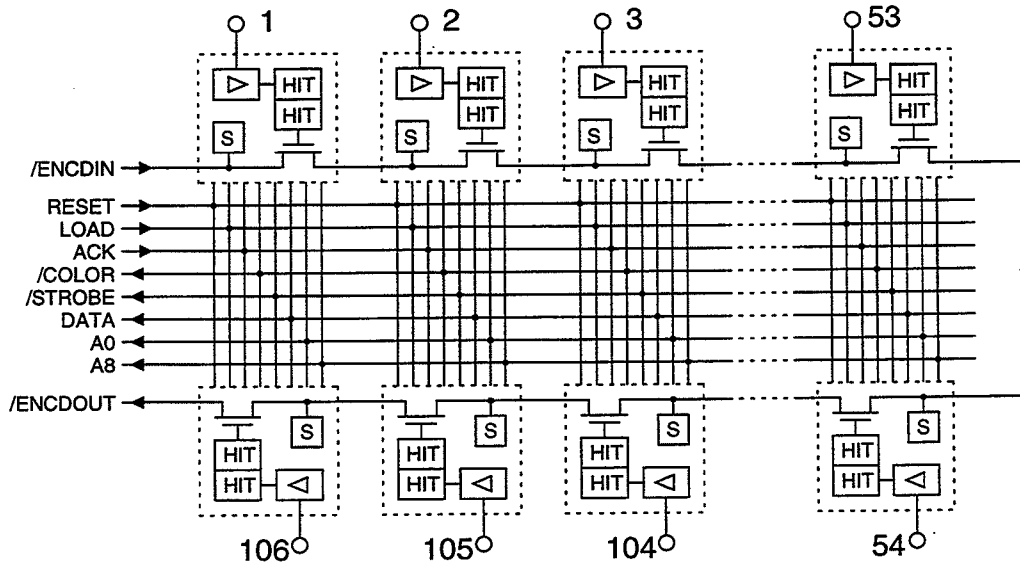


Abbildung 14: Blockschaltbild des neuen Auslesemechanismus

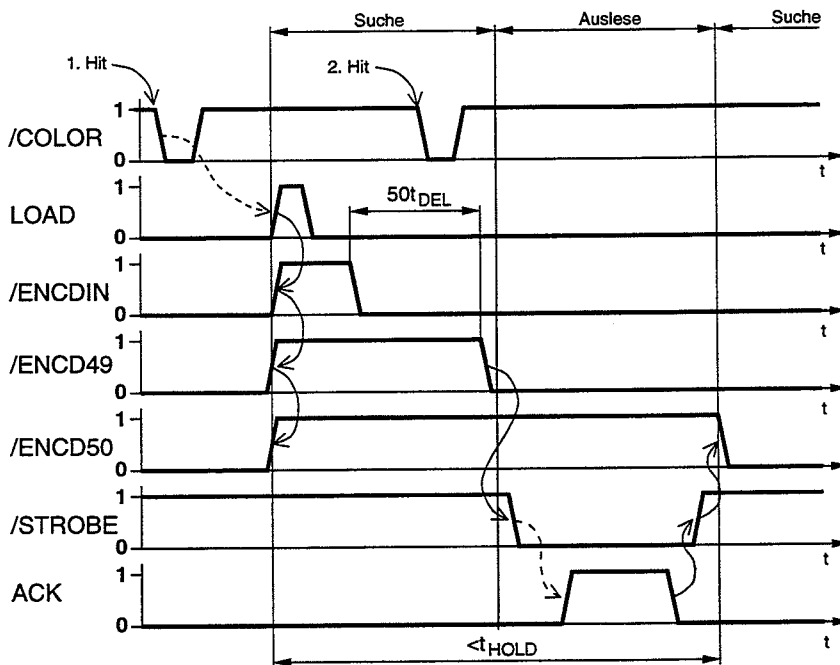


Abbildung 15: Zeitdiagramm für die Auslese

4.2.2 Ausbreitung des /ENCN-Signals

Die Laufzeit des Signals auf der /ENCN-Leitung soll möglichst klein sein. Sie wird durch die Widerstände der NFETs im leitenden Zustand und den Kapazitäten der Leitungsabschnitten dazwischen bestimmt. Abb. 16 zeigt ein vereinfachtes Modell dieser Leitung. Die Widerstände R stellen die Kanalwiderstände der FETs im leitenden Zustand dar. Dieser beträgt einige $k\Omega$. Dazwischen liegen die Kapazitäten der Leitungsabschnitte. Ihr Wert beträgt 30fF. Die Gleichung für die Signalausbreitung lässt sich anhand eines Kettengliedes

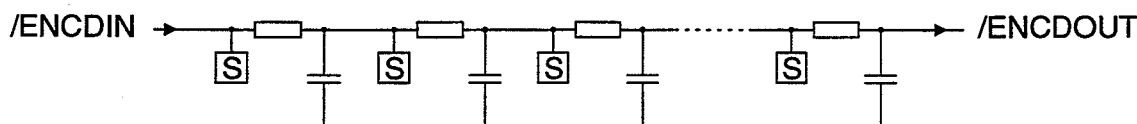
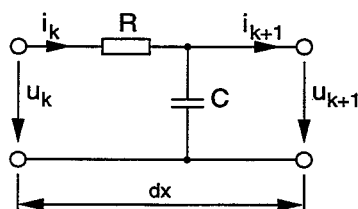


Abbildung 16: Modell der stark gedämpften /ENCN-Leitung

ableiten.



$$u_k - u_{k+1} = Ri_k \quad (9)$$

$$i_k - i_{k+1} = C\dot{u}_{k+1} \quad (10)$$

Daraus erhält man für die Spannungen

$$u_{k+1} - 2u_k + u_{k-1} = -RC\dot{u}_k \quad (11)$$

Näherungsweise kann man R und C als kontinuierlich auf der Leitung verteilt betrachten und erhält in diesem Grenzfall ($dx \rightarrow 0$):

$$\frac{\partial^2 u}{\partial x^2} + R'C' \frac{\partial u}{\partial t} = 0 \quad (12)$$

mit $u = u(x, t)$; $R' = \frac{R}{dx}$; $C' = \frac{C}{dx}$. Das ist die Diffusionsgleichung mit der Diffusionskonstanten $D = \frac{1}{R'C'}$. Diese Konstante bestimmt die Laufzeit des Signals. In Fall der /ENCN-Leitung ist die Randbedingung für die Lösung der Gleichung am /ENCNIN-Anschluss gegeben. Abbildung 17 zeigt eine Simulation der Spannungsverteilung auf der /ENCN-Leitung zu verschiedenen Zeitpunkten. Für die Simulation wurde eine Leitung über 40 Pixel verwendet und an Stelle der Widerstände reale NFETs im leitenden Zustand eingesetzt. Für die Kapazitäten wurden 30fF angenommen. Zum Zeitpunkt Null befindet sich die Leitung im High-Zustand. Danach wird /ENCNIN auf Low-Pegel (-4.5V) gebracht. Man beobachtet wie sich das Signal fortpflanzt und dabei immer mehr abflacht. Die Krümmung im oberen

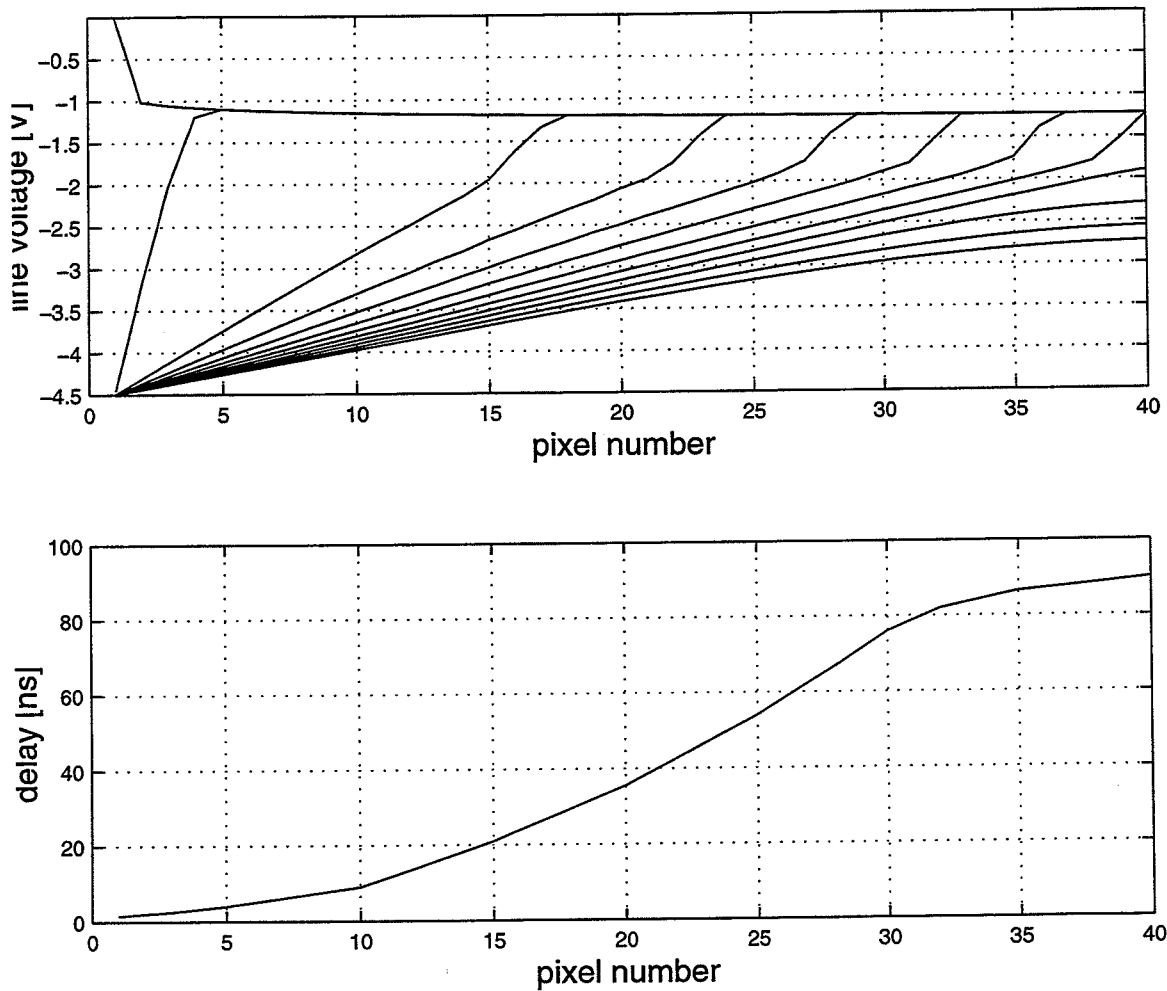


Abbildung 17: oben: simulierter Spannungsverlauf auf der /ENCD-Leitung zu den Zeitpunkten $T=0$, $T=1\text{ns}$, $T=10\text{ns}$, $T=20\text{ns}$, $T=30\text{ns}$, $T=40\text{ns}$, $T=50\text{ns}$, $T=60\text{ns}$, $T=70\text{ns}$, $T=80\text{ns}$, $T=90\text{ns}$ und $T=100\text{ns}$; unten: Signallaufzeit in Abhängigkeit von Abstand vom Leitungsanfang.

Teil der Kurven stammen daher, dass der Widerstand der NFETs von den Spannungen an den Anschlüssen Drain und Source abhängt und damit von der Spannung auf der Leitung. Nimmt man an, dass ein Pixel beim Unterschreiten einer Schwelle von $-2.5V$ auf das Signal reagiert, lässt sich daraus die Laufzeit des Signals bestimmen (Abb. 17 unten). Die Laufzeit nimmt quadratisch mit der Leitungslänge zu. Das liegt daran, dass sich die Kapazitäten nur über das eine Leitungsende entladen können und dieser Weg über immer mehr Widerstände führt. Nur am Ende der Leitung ergibt sich wieder eine Abflachung. Aus dem Graphen liest man nach 30 Pixeln bereits eine Verzögerung von ca. $75ns$ ab. Rechnet man mit einem quadratischen Verlauf der Kurve bis zum 106. Pixel ergäbe sich eine Zeit von über $1\mu s$, um die ganze Leitung abzusuchen.

4.2.3 Beschleunigungsmechanismus

Die Lösung des Laufzeitproblems besteht darin, dass man bei jedem Pixel die in Abb. 18 gezeigte Schaltung einfügt. Diese Schaltung bietet den Leitungskapazitäten die Möglichkeit,

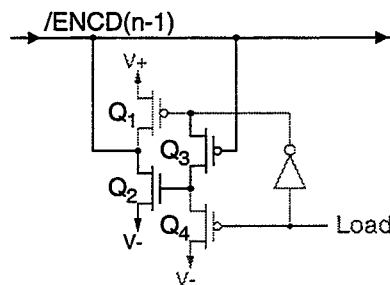


Abbildung 18: Beschleunigungsschaltung

sich bei jedem Pixel entladen zu können. Damit wird ein linearer Anstieg der Verzögerungszeit mit der Leitungslänge erwartet.

Die Schaltung arbeitet folgendermassen: In einem ersten Schritt wird die Leitung für die Pixelsuche vorbereitet. Dazu wird ein aktives LOAD-Signal angelegt, das die Transistoren Q_1 und Q_4 leitend macht. Über Q_1 wird jetzt die Leitung aufgeladen. Q_4 verhindert, dass sich Q_2 nicht gleichzeitig im leitenden Zustand befindet. Wird jetzt das LOAD-Signal wieder weggenommen, befindet sich die Schaltung in einem Zustand mit Kippverhalten. Alle vier Transistoren sind im hochohmig. Erreicht nun das Suchsignal auf /ENC(n-1) die Schaltung, wird Q_3 beim Unterschreiten seiner Schwellenspannung von $0.8V$ leitend. Damit wird auch Q_2 leitend und die Spannung auf der /ENC(n-1)-Leitung heruntergezogen. Diese positive Rückkopplung hat zur Folge, dass die Schaltung in den leitenden Zustand kippt. So bietet sie für die nachfolgenden Leitungsabschnitte einen Weg, sich schnell zu entladen. Nun kippt nacheinander jeder Pixel. Dieser Vorgang ist zu vergleichen mit einer Kette von Dominosteinen. Mit dem LOAD-Signal werden alle Steine aufgestellt. Fällt der erste Stein um bewirkt das, dass in schneller Folge alle Steine umkippen. Das Signal pflanzt sich mit gleichbleibender Geschwindigkeit durch die ganze Kette fort.

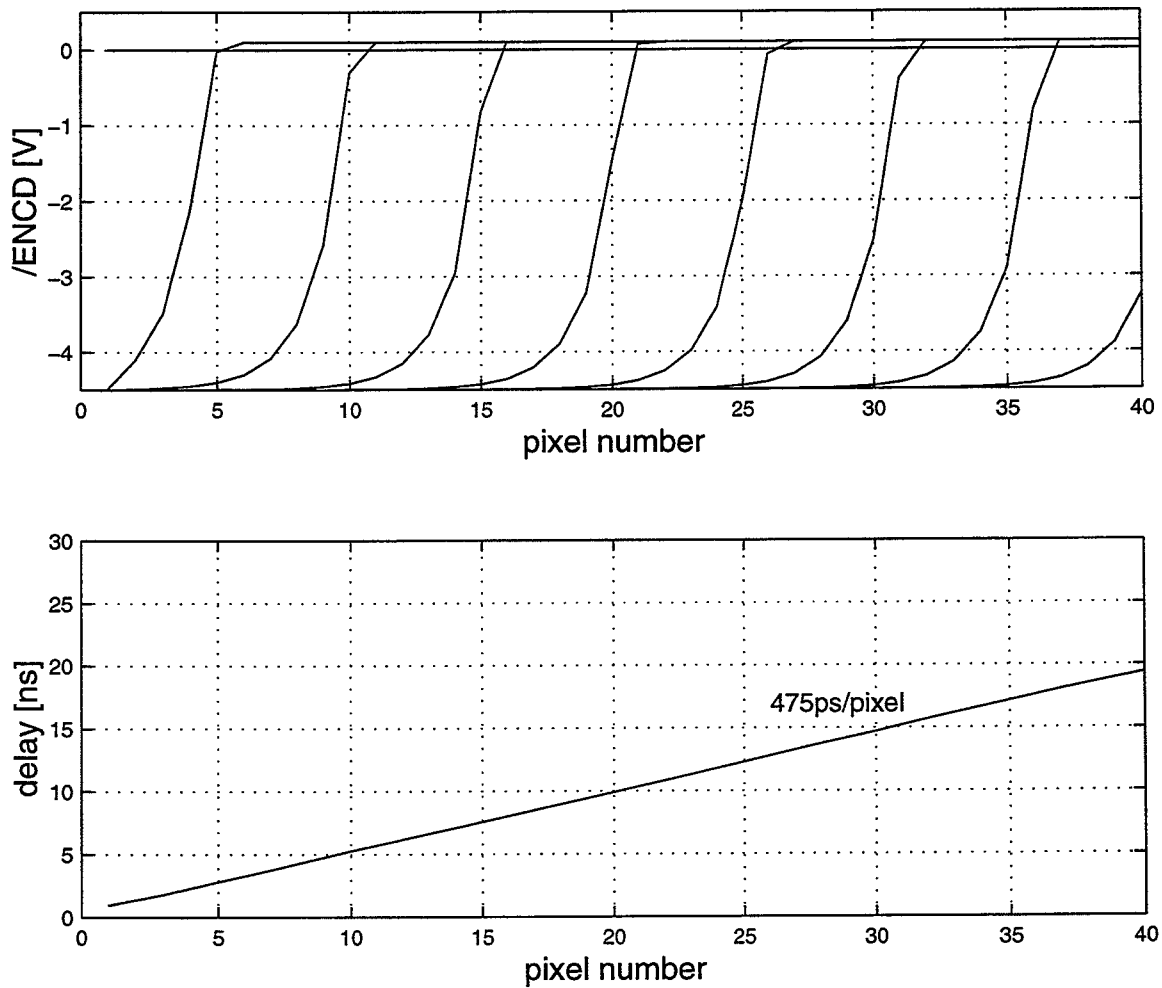


Abbildung 19: *simulierter Spannungsverlauf auf der /ENCDC-Leitung in Zeitabständen von 5ns mit Beschleunigungsmechanismus (oben), Signallaufzeit in Abhängigkeit von der Distanz zum Leitungsanfang (unten)*

Abbildung 19 zeigt das Resultat einer Simulation des Zeitverhaltens mit der Beschleunigungsschaltung. Die Simulation wurde mit SPICE durchgeführt. Man vergleiche dieses Ergebnis mit dem in Abbildung 17 ohne Beschleunigung. Im unteren Graphen sieht man den linearen Anstieg der Laufzeit mit zunehmendem Abstand vom Leitungsanfang. Abbildung 20 zeigt noch den zeitlichen Verlauf der Spannungen bei den Pixeln 10 und 30. Aus der Zeitdifferenz lässt sich eine Laufzeit von $t_{DEL}=475\text{ps}$ pro Pixel ablesen. Das entspricht einer Pixel Suchfrequenz von 2.1GHz. Dieser Wert ist allerdings mit einigen Unsicherheiten behaftet, die sich aus folgenden Unzulänglichkeiten des Modells ergeben:

- Abweichung des SPICE Transistormodells vom realen Transistor
- Unberücksichtigte parasitäre Kapazitäten

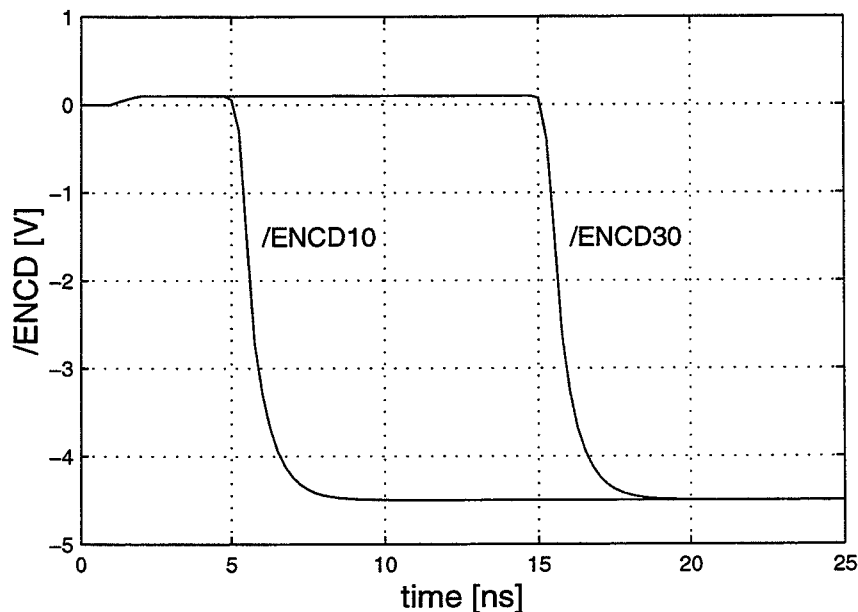


Abbildung 20: zeitlicher Verlauf von $/ENCD10$ und $/ENCD30$ aus der Simulation

Neben der Frage nach der Laufzeit ist noch eine weitere Frage von Interesse: Wie lange bleibt die $/ENCD$ -Leitung nach dem Anlegen des $/LOAD$ -Impulses im geladenen hochohmigen Zustand? Die Spannung kann sich durch Leckströme der Transistoren im Laufe der Zeit etwas entladen. Wird dabei die Kippschwelle der Beschleunigungsschaltungen unterschritten, wird die Leitung sofort entladen. Dann ist die Auslese nicht mehr möglich. Diese Haltezeit t_{HOLD} sollte auf jeden Fall grösser sein, als die gesamte Zeit, die für die Auslese benötigt wird.

Die Messung von t_{DEL} und t_{HOLD} ist ein Gegenstand der vorliegenden Arbeit. Dazu ist auf dem DM_PSI32 Chip die Teststruktur "WELLE" vorhanden, die im folgenden Abschnitt beschrieben wird.

4.3 Die Struktur "WELLE"

Abb. 21 zeigt die Anordnung der Komponenten auf der Struktur "WELLE". Aus Platzgründen sind die beiden Doppelkolonnen in der Mitte gefaltet. Für die Messungen von t_{DEL} und t_{HOLD} wurde nur die Doppelkolonne ohne Interface benutzt. Aus diesem Grund wird nicht näher auf die anderen Strukturen eingegangen. Abb. 22 zeigt das Blockschaltbild eines Pixels auf dieser Struktur. Es ist die Implementierung des totzeitfreien Auslesemechanismus. Der ganze Analogteil und die DATA- und A8-Leitung fehlen.

Ein HIT-Signal zieht die /COLOR-Leitung auf den Low-Pegel und setzt das erste HIT-Flip-Flop, ausser wenn gerade das LOAD-Signal anliegt. Wird jetzt von aussen ein LOAD-Impuls angelegt, übernimmt das zweite HIT-Flip-Flop den Zustand des ersten. Ist das zweite HIT-Flip-Flop gesetzt, unterbricht der FET die /ENCD-Leitung. Fällt nun die Spannung an /ENCDIN auf den Low-Pegel, Dann wird die /STROBE-Leitung auf den Low-Pegel gezogen. Ein /ACK-Impuls kann jetzt das Send-Flip-Flop setzen. Damit wird A0 ausgegeben und die HIT-Flip-Flops zurückgesetzt. Der FET schaltet die /ENCD-Leitung nun wieder durch.

In Abb. 23 ist das Blockschema der gesamten Doppelkolonne wiedergegeben. Zur Simulation von Treffern sind die /HIT-Eingänge der Pixel 1, 29, 30, 55, 56, 78, 91 und 112 auf Bondpads geführt. Die anderen sind mit logisch 1 verbunden. An einigen Stellen sind an der /ENCD-Leitung Spy-Pads angebracht um mit einer Probe direkt auf dem Chip messen zu können. Die Leitungen für die Eingangssignale werden direkt zu den Pixeln geführt. Die Ausgangssignale /ENCDOUT, /COLOR und /STROBE laufen über Signaltreiber. Für A0 ist ein Stromspiegel mit nachgeschaltetem Spannungsfolger vorhanden.

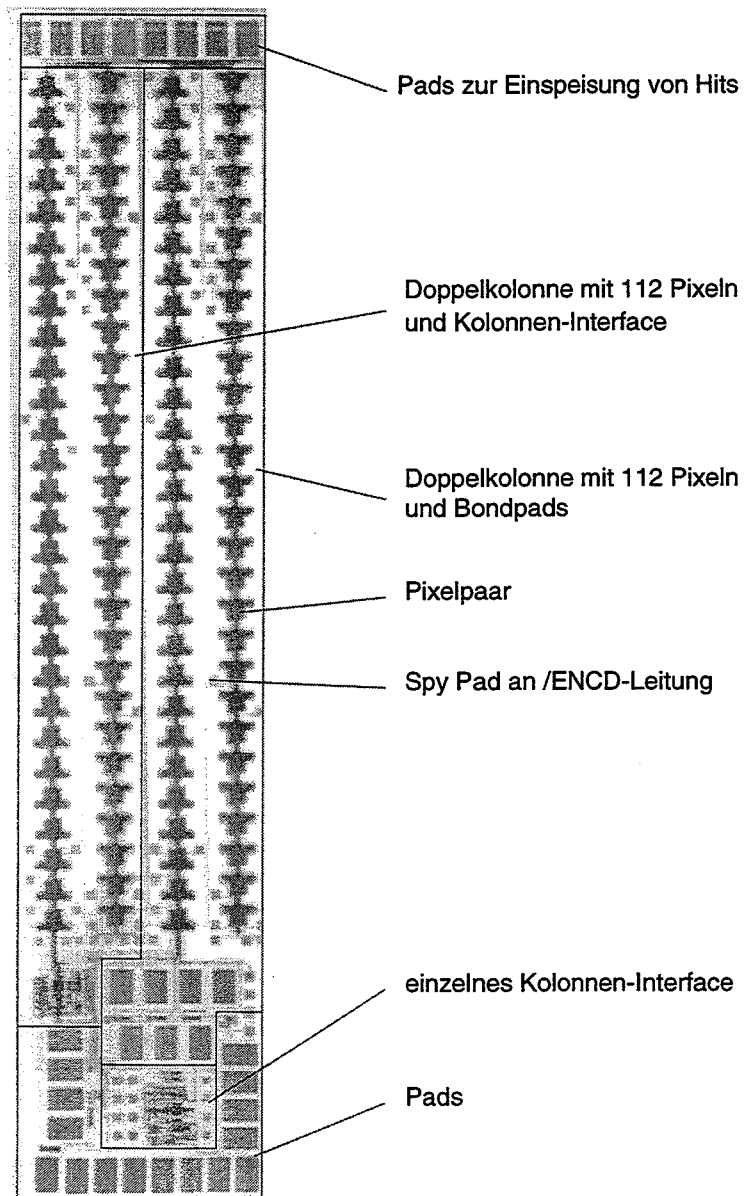


Abbildung 21: Struktur "WELLE" auf dem DM_PSI32 Chip

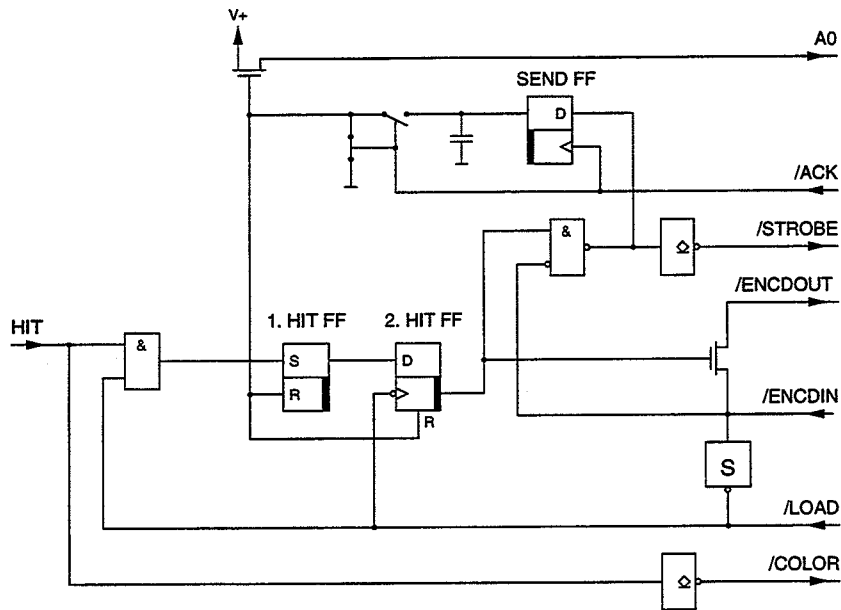


Abbildung 22: Blockschaltbild des Auslesemechanismus eines Pixels

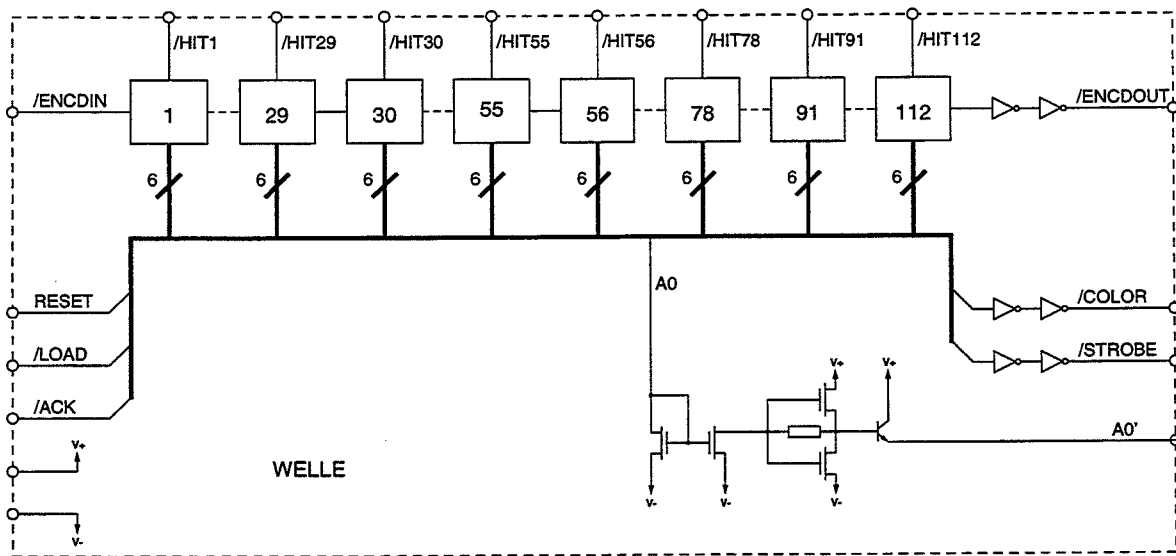


Abbildung 23: Blockschema der Doppelkolonne ohne Interface auf der Struktur "WELLE". Sie enthält insgesamt 112 Pixel. Es sind aber nur diejenigen eingezeichnet, die einen angeschlossenen /HIT-Eingang besitzen.

4.4 Die Struktur "CROSSTALK"

Zur Messung des Übersprechverhaltens wurde der Pixel Auslesemechanismus bei der Struktur "CROSSTALK" mit dem Analogteil ergänzt. Abb. 25 zeigt die Anordnung der Komponenten auf dieser Struktur.

Der Hauptteil besteht aus den beiden Doppelkolonnen, die unabhängig voneinander betrieben werden können. Das Interface beschränkt sich auf Treiber, die in die Signalleitungen zwischen den Bond Pads und den Doppelkolonnen eingefügt sind. Über die Bond Pads werden die diversen Spannungen angelegt, die zum Betrieb nötig sind. Die Busleitungen sowie die Programmierleitungen sind für jede Doppelkolonne separat herausgeführt. Einzig die /RESET- und CAL-Leitungen sind für beide zusammengefasst.

Zur Programmierung der Pixel dient ein vereinfachter Mechanismus, wie er schon beim DM_PSI30 Chip verwendet wurde. Für die Selektierung der Reihen sind zwei 20 Bit-Schieberegister vorgesehen, mit denen die /ROWSEL-Signale für die beiden Doppelkolonnen festgelegt werden können. Sie sind zu einem 40 Bit-Schieberegister verkettet. Innerhalb einer Doppelkolonne können die Pixel nur paarweise angesteuert werden, da nur eine Speicherzelle pro Pixelpaar vorgesehen ist. Da nur zwei Doppelkolonnen vorhanden sind, ist für die Ansteuerung der Kolonnen kein Schieberegister vorgesehen. Die Leitungen CAL, TRB2, TRB3, sind für beide Doppelkolonnen direkt auf die Bond Pads geführt.

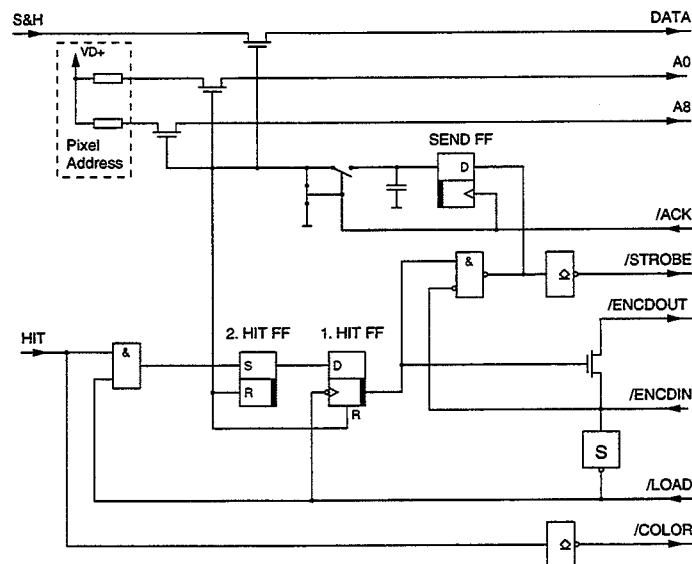


Abbildung 24: Blockschaltung des Auslesemechanismus eines Pixels auf der Struktur "CROSSTALK"

Abb. 24 zeigt das Blockschaltbild der Ausleselogik eines Pixels. Er unterscheidet sich von dem der Struktur "WELLE" in Abb. 22 nur darin, dass er um die Signale DATA und A8 ergänzt wurde. Der Analogteil entspricht dem aus Abb. 9. Die detaillierten Schemas des Pixels befinden sich im Anhang A.

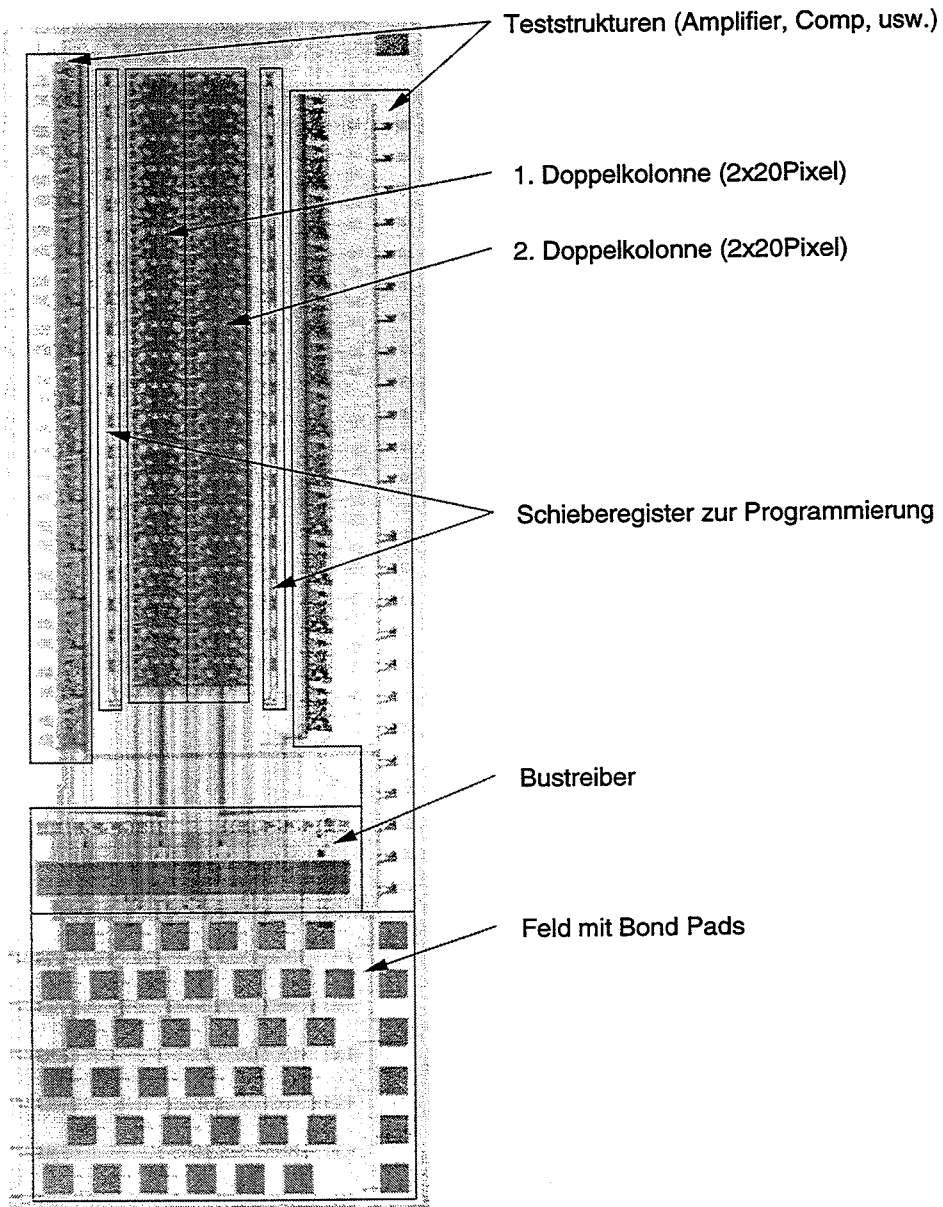


Abbildung 25: Anordnung der Komponenten auf der Struktur "CROSSTALK"

5 Messanordnung

5.1 Anforderungen

Um Messungen am DM_PSI32 Chip durchzuführen, müssen diverse Spannungen und Signale auf den Chip geführt werden. Da mit verschiedenen Chips gearbeitet werden soll, muss ein austauschbarer Träger vorhanden sein, auf den man den Chip fest montieren kann. Abb. 26 zeigt die Hauptkomponenten, aus denen der Messaufbau besteht.

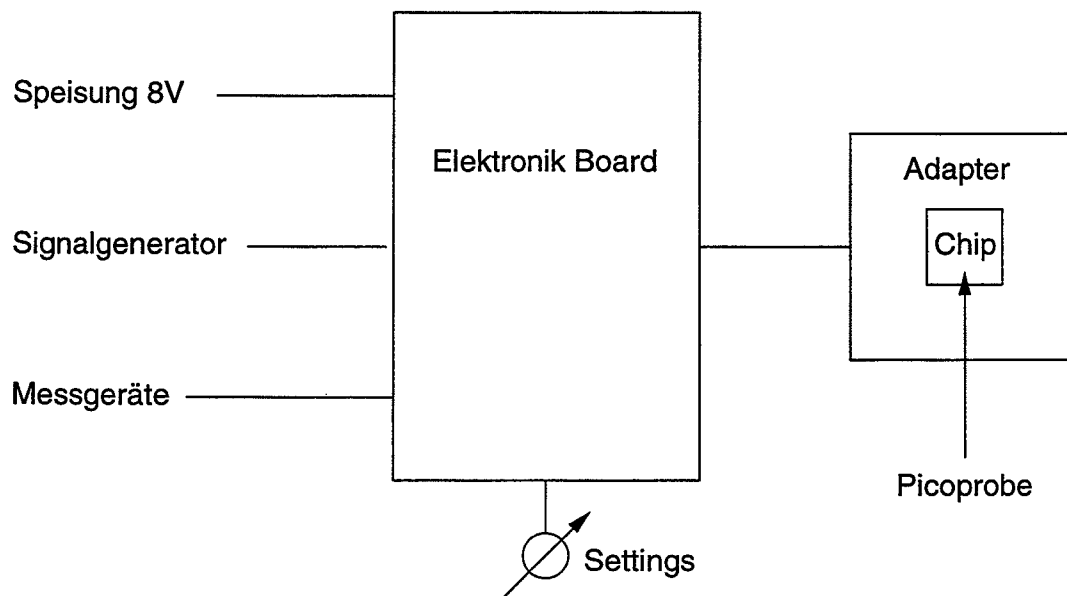


Abbildung 26: Hauptkomponenten des Messaufbaus

5.2 Aufbau

Das Elektronikboard stellt den Hauptteil des Messaufbaus dar. Es besteht aus einer bestückten Leiterplatte, an die die Messgeräte angeschlossen werden und der Chipadapter aufgesteckt werden kann. Es sind folgende Komponenten vorhanden:

- Sechs niederohmige Spannungsquellen $V1$ bis $V6$ die in einem Bereich von -1.25 bis $-6V$ einstellbar sind. Sie dienen zur Spannungsversorgung des Chips. Drei davon werden auf dem Board selbst benötigt.
- Sieben Steuerspannungsquellen $VS1$ bis $VS7$, einstellbar im Bereich von 0 bis $-6V$. Sie bestehen nur aus Potentiometern und besitzen einen relativ hohen Innenwiderstand. Damit sind sie nicht zur Stromversorgung geeignet. Sie steuern Gates von FETs auf dem Chip, die die Eigenschaften der Schaltung beeinflussen.

- Galvanische Trennung der digitalen Signale. Damit keine Störungen über die Masseleitungen vom Bitmuster-Generator auf den Chip gelangen können, werden die Signale über Optokoppler geführt. Die Optokoppler sind vom Typ HP2430 (Hewlett Packard) und besitzen Schaltzeiten von 8ns. Es befinden sich acht Stück auf dem Board. Über jeden von ihnen können zwei Signalleitungen geführt werden.
- Drei Spannungsfolger für die Signale DATA, A0 und A8. Diese werden gebraucht weil die Signale vom Chip zu schwach sind, um direkt die Messleitungen anzusteuern. Die Signale können auf dem Board an LEMO Buchsen abgenommen werden.
- Eine einstellbare analoge Signalquelle zur Erzeugung des Calibrate-Signals für die Crosstalk-Messung.
- Ein Verteiler zur Simulation von Treffern für die Messung an der Struktur "WELLE".
- Ein 84 poliger Stecksockel, um den Chipadapter aufzunehmen. Auf diesen Sockel passen auch normierte Chip Carrier.

Die Anschlüsse des Stecksockels für den Chipadapter sind auf dem Board noch nicht mit den Spannungs- und Signalquellen verbunden. Dies geschieht durch eine nachträgliche Verdrahtung. Damit lässt sich das gleiche Board durch entsprechendes Verdrahten für verschiedene Messungen einsetzen. Auf dem Board, unmittelbar bei den Kontakten des Stecksockels sind Plätze frei um Filterkondensatoren für die Speisespannungen oder Abschlusswiderstände zu bestücken.

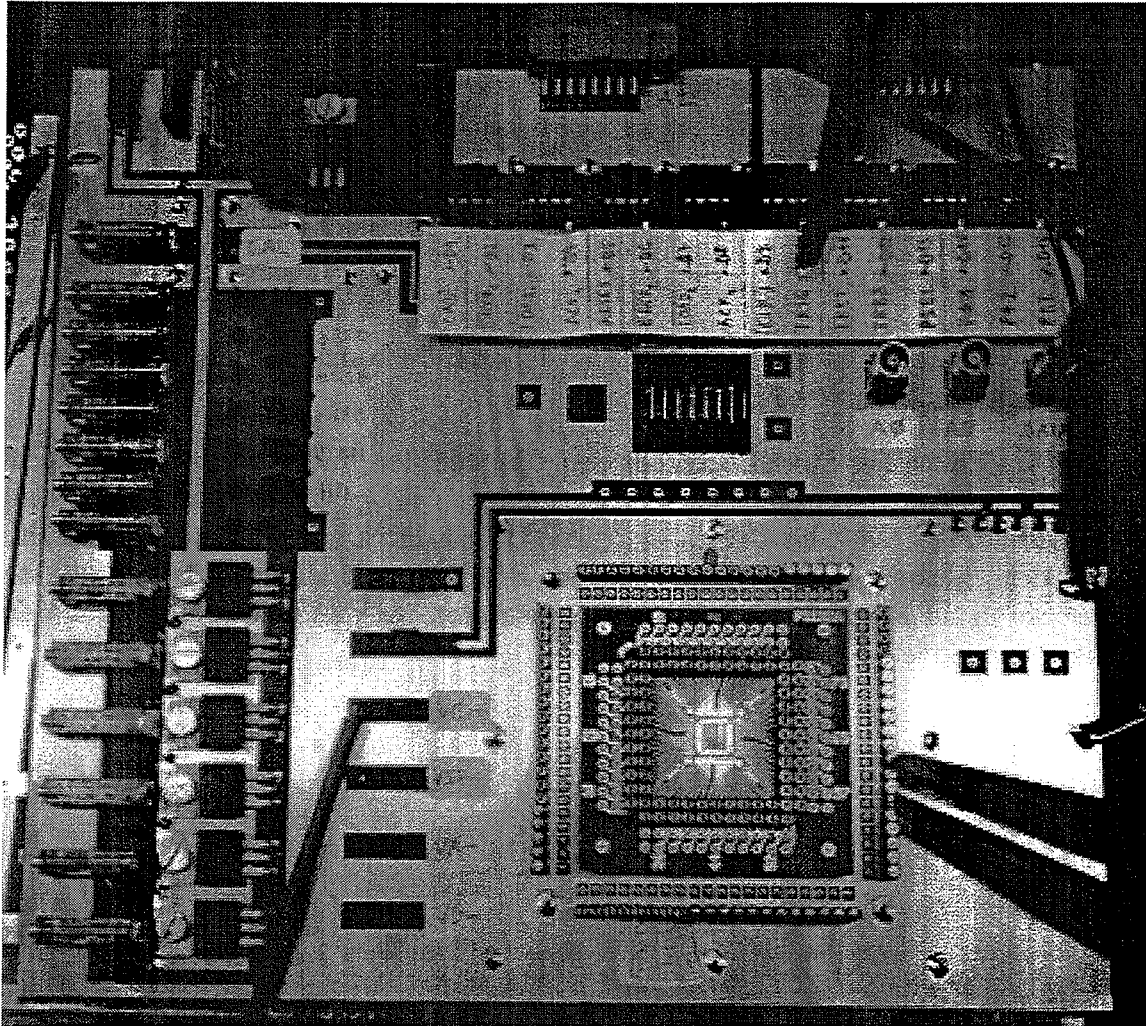


Abbildung 27: Vorderseite des Elektronikboards. am linken Rand befinden sich unten die sechs regelbaren Spannungsquellen und oben die Potentiometer für die Steuerspannungen und das Analogsignal. Oben befinden sich die Optokoppler mit der Stromversorgung links davon. Unten etwas rechts befindet sich der Chipadapter mit dem DM_PSI32 Chip.

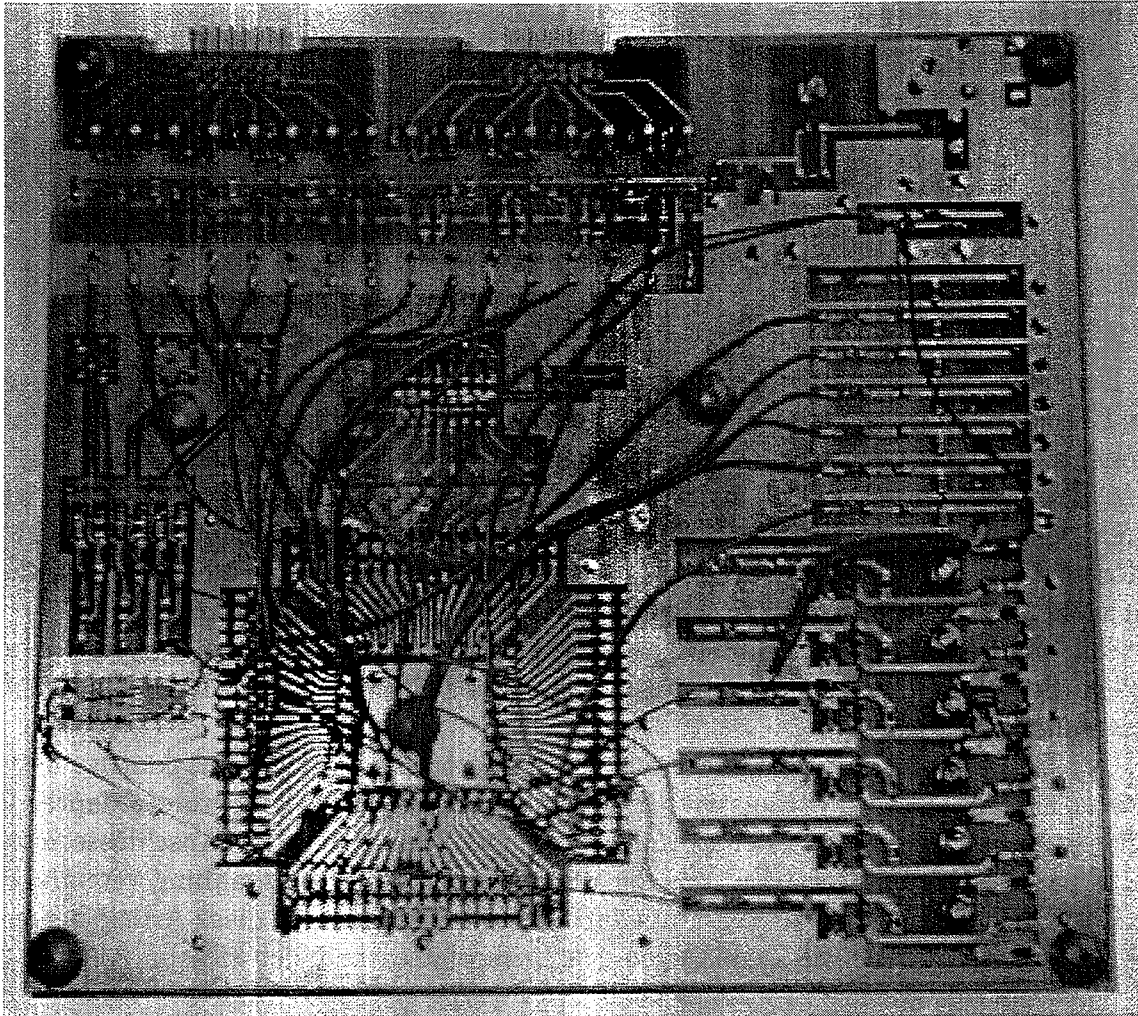


Abbildung 28: Rückseite des Elektronikboards mit der Verdrahtung für die Crosstalk-Messung.

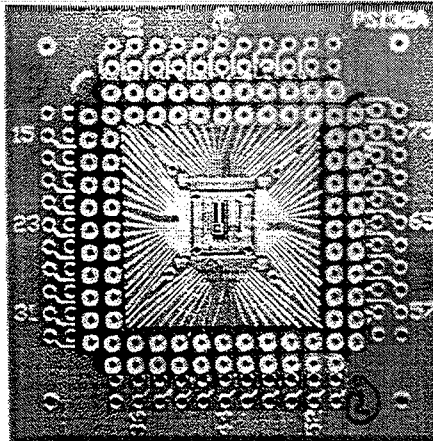


Abbildung 29: Adapter mit PSI32 Chip

Der Chipadapter besteht aus einer Glasfaser-Epoxy Leiterplatte. Er ist der Träger für den Chip und stellt die Verbindung vom Chip zum Elektronikboard her. Auf der Vorderseite befinden sich dazu die Leiterbahnen und in der Mitte eine freie Fläche, um den Chip aufzukleben (Abb. 29). Die elektrischen Verbindungen von Chip zum Adapter werden durch Bond-Drähte aus Al ($25\mu\text{m}$ Durchmesser) hergestellt. Es ist nicht möglich, alle Pads auf dem Chip gleichzeitig zu bonden. Daher wurde für die unterschiedlichen Messungen mit mehreren Adaptern mit verschiedenen Bond-Konfigurationen gearbeitet.

Auf der Rückseite des Adapters befindet sich eine Kupferfläche die geerdet wird. So werden Streufelder vermieden und Kopplungen der Leitungen untereinander und mit der Umgebung unterdrückt.

Um den Adapter mit dem Elektronikboard zu verbinden sind Kontaktstifte bestückt. Diese besitzen auf der Vorderseite Buchsen. Damit lassen sich mehrere Adapter durch aufeinanderstecken miteinander in Kontakt bringen. So können die Anschlüsse mehrerer Chips parallelgeschaltet werden, was die Verdrahtung bei der Bestrahlung vereinfacht.

Das Elektronikboard und der Chipadapter wurden speziell für diese Arbeit hergestellt. Die Schaltschemas und die Layouts von den Leiterplatten befinden sich im Anhang C.

5.3 Messgeräte

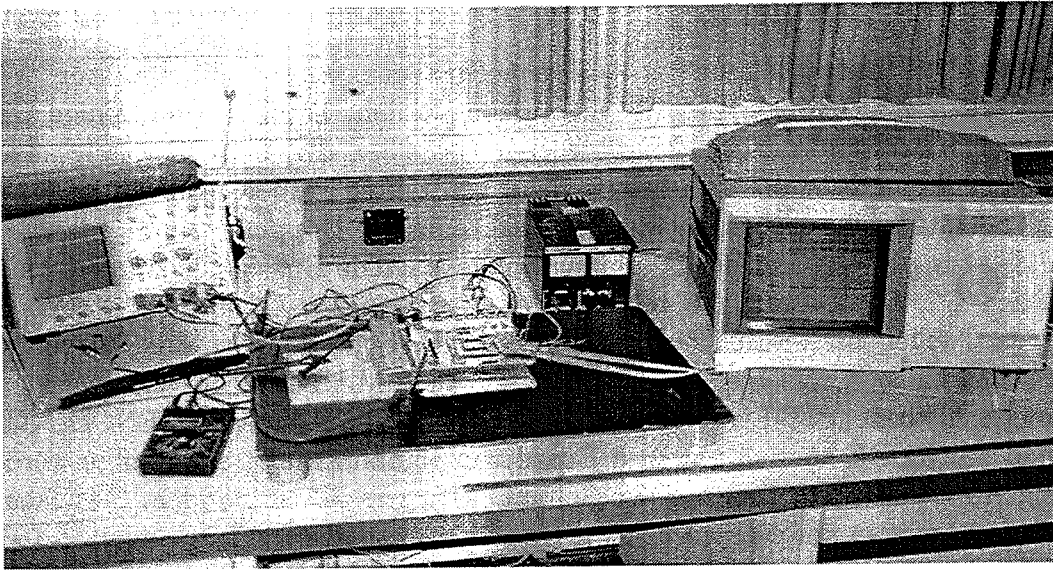


Abbildung 30: *Messplatz*

Abb. 30 zeigt den Messplatz mit den wichtigsten Messgeräten. In der Mitte befindet sich das Elektronikboard auf einer leitenden Unterlage. Diese ist geerdet (Schutzleiter), um den Chip vor statischer Aufladung zu schützen. Aus demselben Grund sind auch alle Geräte geerdet. Das Erdungspotential ist mit der Masse der Speisespannungen für den Chip verbunden.

Folgende Mess- und Testgeräte wurden verwendet:

- 2 Kanal Oszilloskop, Tektronix Typ 2465B, 400MHz mit Sonden 10:1, $10\text{M}\Omega$, 10pF
- DVM, BBC Typ MA2D, 3 1/2 Stellen, zur Messung der Versorgungsspannungen und Ströme.
- DVM, Metex Typ M-4650CR, 4 1/2 Stellen, zur Messung der Schaltschwellen für die Crosstalk-Messung
- Picoprobe, Modell 12C mit $1\text{M}\Omega$ Eingangswiderstand und 100fF Eingangskapazität, um direkt auf dem Chip zu messen.
- Binokular zur Platzierung der Picoprobe auf dem Chip.
- HP Patterngenerator zur Erzeugung der digitalen Signale für den Chip.
- Labornetzgerät zur Stromversorgung des Elektronikboards (ca. 8V)

Das zweite DVM, die Picoprobe und das Binokular sind in Abb. 30 nicht vorhanden.

6 Zeitmessungen an der Struktur "WELLE"

6.1 Inbetriebnahme

Zur Messung des Zeitverhaltens des Auslesemechanismus musste die Struktur "WELLE" auf dem DM_PSI32 Chip in Betrieb genommen werden. Dazu wurden einige Chips auf Adaptern montiert und die Bond-Drähte zum Betreiben der Doppelkolonne angebracht. Das Elektronikboard musste dementsprechend verdrahtet werden. Abb. 31 zeigt die dazugehörige Schaltung zusammen mit dem Blockschema der Doppelkolonne.

Die Speisung erfolgt mit der Spannungsquelle $V1$. Die Bussignale werden von den Signalquellen $D2$, $D3$, $D4$ und $D5$ geliefert. Mit den Signalen $D6$ und $D7$ stehen zwei unabhängige Quellen für die Treffersimulation zur Verfügung. Über die Jumper auf dem Board lassen sie sich verschiedenen Pixeln zuordnen. Mit den acht Widerstände werden nicht angeschlossene HIT-Eingänge auf Masse gelegt. Die Ausgänge /ENCDOOUT, /COLOR und /STROBE können auf dem Board zur Signalmessung abgegriffen werden. Der Ausgang A0 ist mit dem Eingang des Spannungsfolgers A1 verbunden. Das Signal kann dann niederohmig an der entsprechenden LEMO-Buchse abgegriffen werden.

Bei der Funktionskontrolle der Doppelkolonne stellte sich heraus, dass einige Designfehler auf dem Chip vorhanden sind. Zum einen können die Signale /COLOR und /STROBE nicht beobachtet werden, da auf dem Chip die Abschlusswiderstände vor den Ausgangstreibern nicht vorhanden sind. D. h. die beiden Leitungen befinden sich in einem undefinierten Zustand. Der andere Fehler betrifft die /ENCD-Leitung. Alle Transistoren auf der zweiten Kolonne sind kurzgeschlossen. Damit ist nur die erste Kolonne für die Messungen verwendbar. Die Messungen werden aber durch diese beiden Fehler nicht wesentlich beeinträchtigt.

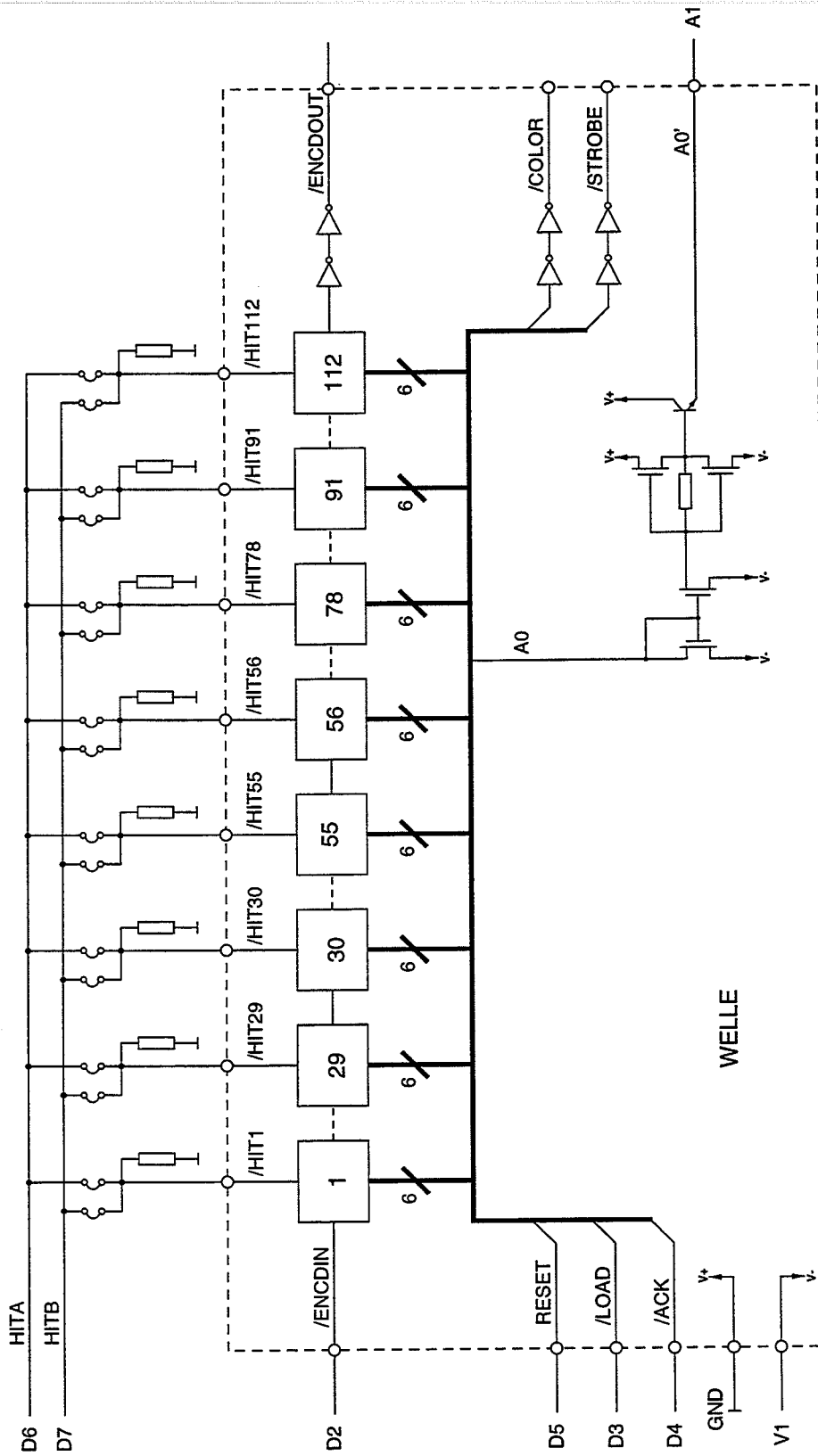


Abbildung 31: Schaltung für die Messungen an der Welle

6.2 Messung der Laufzeit t_{DEL}

Für die Durchführung der Laufzeitmessung wurde mit dem in Abb. 32 gezeigten Signalverlauf gearbeitet. Die Generierung geschieht durch den Bitmustergenerator, der durch ein entsprechendes Programm gesteuert wird.

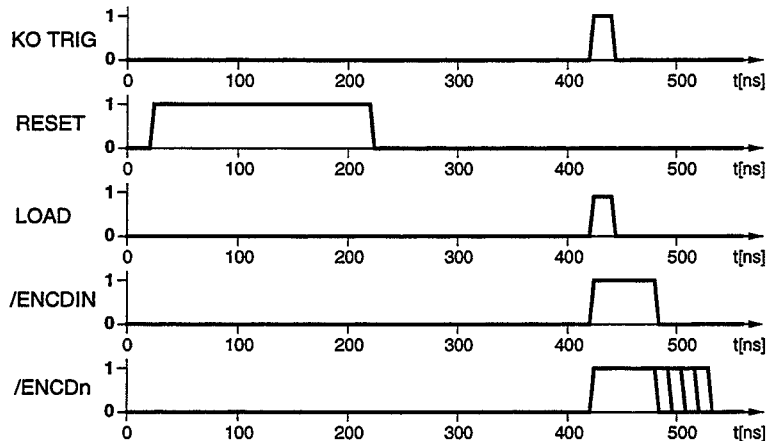


Abbildung 32: Zeitlicher Ablauf der Laufzeitmessung

Mit einem RESET-Signal werden zuerst alle Hit-Flip-Flops der Pixel gelöscht. Danach wird die /ENC D-Leitung mit einem LOAD-Impuls und dem Anlegen des /ENC DIN-Signals aufgeladen. Gleichzeitig wird ein Triggersignal für das Oszilloskop generiert. Die Messung beginnt mit der fallenden Flanke an /ENC DIN. Der ganze Vorgang wird alle 700 ns periodisch wiederholt.

Mit einer Picoprobe wird nun an verschiedenen Stellen auf dem Chip, wo Spy-Pads angebracht sind, gemessen. Die gemessenen Signale vor den Pixeln 2 bzw. 50 sind auf Abbildung 33 bzw. 34 zu sehen.

Um eine Laufzeitmessung durchzuführen wurden bei fünf Messpunkten an der ENCD-Leitung die Verzögerungszeiten gemessen. Durch lineare Interpolation wurde daraus die Laufzeit pro Pixel t_{DEL} ermittelt. Bei einer Speisespannung von -4.5V, dem typischen Wert, ergab sich ein Wert von

$$t_{DEL} = (620 \pm 5) \text{ ps}$$

Da für die Messung nur zwei Chips zur Verfügung standen, lässt sich nichts genaues über die Streuung zwischen verschiedenen Chips aussagen. Der Wert des zweiten Chips lag aber nur ca. 2% darüber.

Vergleicht man das Ergebnis mit der Simulation aus Abschnitt 4.2.3, dann fällt die etwas grössere Zeit auf. Das ist auf die bei der Simulation nicht berücksichtigten parasitären Kapazitäten zurückzuführen. Der gemessene Wert liegt aber innerhalb der Erwartungen.

Die Laufzeitmessungen wurden bei verschiedenen Speisespannungen durchgeführt. In Abb. 35 rechts zeigt das Resultat. Anstelle von t_{DEL} ist die Pixel-Suchrate aufgetragen die

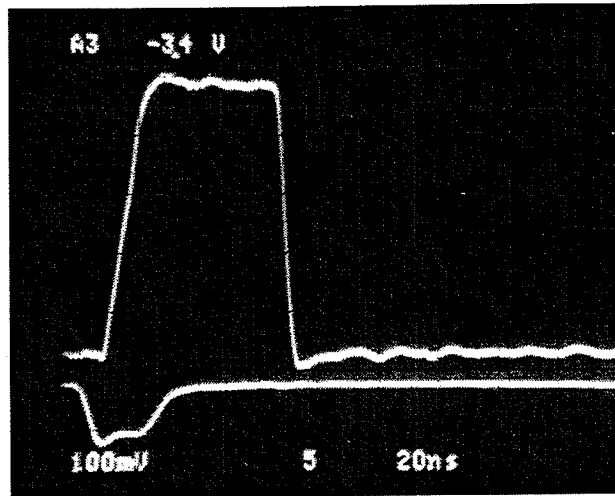


Abbildung 33: ENCD2 mit Picoprobe gemessen

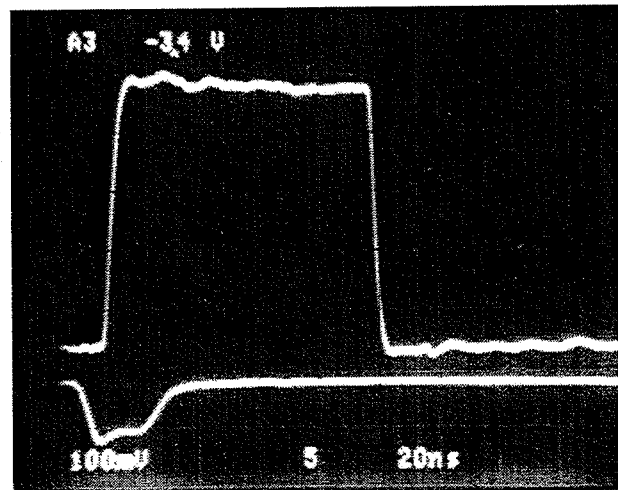


Abbildung 34: ENCD50 mit Picoprobe gemessen

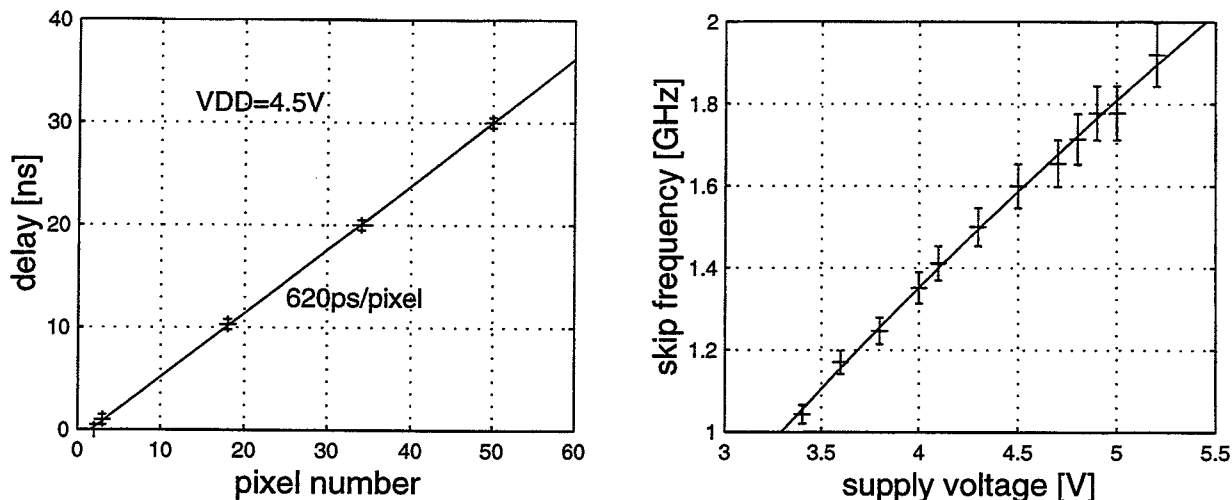


Abbildung 35: Resultate der Laufzeitmessungen. Links ist die Signalverzögerung entlang der /ENC-D-Leitung gezeigt. Der rechte Graph zeigt die Pixel-Suchrate in Abhängigkeit von der Speisespannung.

man nach der Gleichung

$$f_{skip} = \frac{1}{t_{DEL}}$$

berechnet ist.

Das Ansteigen der Abfragerate bei zunehmender Spannung ist auf folgende Weise zu erklären. Da bei zunehmender Speisespannung auch die Gate Spannungen der NFETs in der /ENC-D-Leitung und im Beschleunigungsmechanismus zunehmen, sinkt ihr Drain-Source Widerstand. Das heisst dass alle RC-Zeitkonstanten kleiner werden. Als Folge davon skaliert auch t_{DEL} etwa mit dieser Zeitkonstante. Zusätzlich wirkt sich noch aus, dass die gleichbleibende Schwellenspannung von 0.8V der Beschleunigungsschaltung schneller erreicht wird, da in Vergleich dazu die anderen Spannungen grösser sind.

6.3 Messung der Haltezeit t_{HOLD}

Für die Messung der Haltezeit wurde der Bitmuster-Generator zur Erzeugung der in Abb. 36 gezeigten Signale programmiert. Zuerst löscht wieder ein RESET-Signal die Hit-Flip-Flops der Pixel. Danach wird das HITA-Signal erzeugt. Dieses wird durch setzen der Jumper auf den ersten Pixel gegeben. Alternativ dazu kann auch einer der anderen Pixel ausgewählt werden. Nach einer kurzen Verzögerung wird das Triggersignal für das Oszilloskop erzeugt und anschliessend die /ENC-D-Leitung geladen und eine Pixelsuche gestartet. Das Signal bleibt wegen dem HIT-Signal und weil keine Auslese erfolgt beim ersten Pixel stehen. Ab jetzt wartet man so lange, bis die Spannung auf der /ENC-D-Leitung von selbst kippt. Dies ist die Haltezeit t_{HOLD} . Die Messung wird ca. alle 20ms wiederholt.

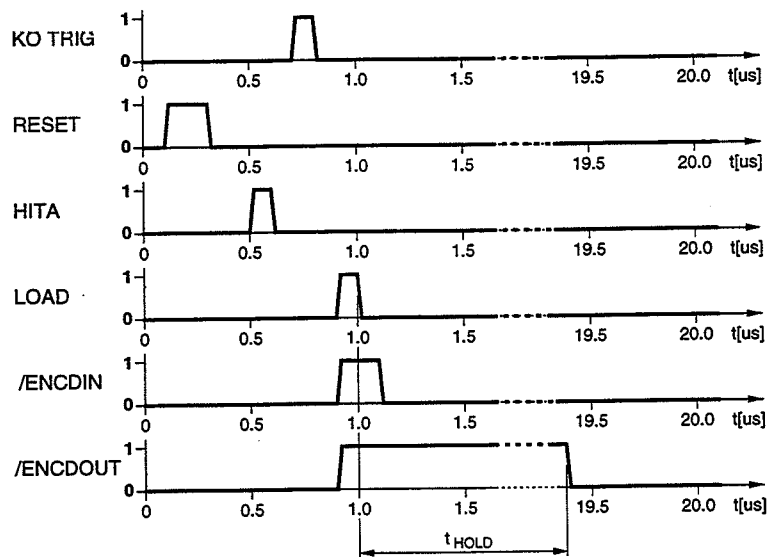


Abbildung 36: Zeitdiagramm für die Messung Der Haltezeit

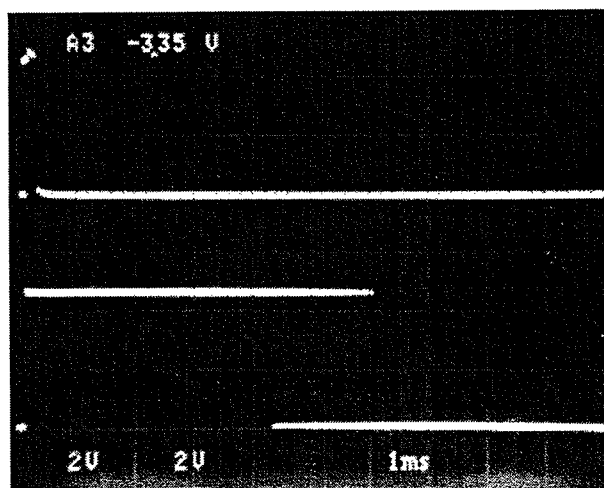


Abbildung 37: Oben: /ENCNDIN; unten: /ENCNDOUT. Der Chip wurde bei der Messung beleuchtet. Man erkennt den Jitter, der durch das 100Hz Flackern entstand.

Abb. 37 zeigt ein gemessenes Signal. Oben ist /ENCDIN zu sehen und unten /ENCDOOUT. t_{HOLD} hängt von der Stärke der Beleuchtung des Chips ab. Bei der Messung war der Chip dem Licht einer Leuchtstofflampe ausgesetzt. Wegen dem 100 Hz Flackern und weil in der Aufnahme mehrere Messung überlagert wurden, beobachtet man einen Jitter beim /ENCDOOUT-Signal.

Um repräsentative Messwerte zu bekommen muss der Chip abgedunkelt werden. Dann steigt die Haltezeit auf ihren Maximalwert. Dieser Wert ist sehr konstant, besitzt also nur einen sehr kleinen Jitter. Bei 4.5V Betriebsspannung liegt dieser Wert bei

$$t_{HOLD} = (12 \pm 0.2)\text{ms.}$$

Für den zweiten Chip ergibt sich ein Wert von 11.5ms.

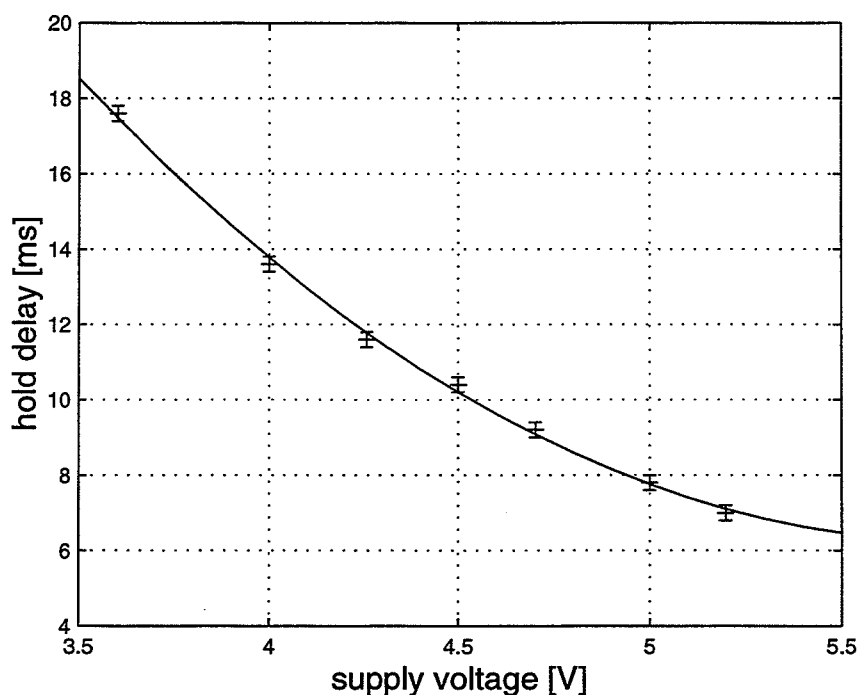


Abbildung 38: t_{HOLD} in Abhängigkeit von der Betriebsspannung

Abb. 38 zeigt t_{HOLD} in Abhängigkeit von der Betriebsspannung. Da der Wert von t_{HOLD} bei konstanten Umwelteinflüssen wie Beleuchtung und Temperatur einen konstanten Wert annimmt, liegt es nahe, die Ursache in Entladevorgängen zu suchen. Dabei sind Leckströme die Ursache. Ist die Spannung auf der /ENCD-Leitung einmal bis zur Schwellenspannung der Beschleunigungsschaltungen gefallen, setzt der Kippvorgang ein.

In Betracht kommen Leckströme der FETs der Beschleunigungsschaltung. Dafür sprechen weitere Untersuchungen mit verschiedenen langen Leitungsabschnitten die immer etwa das gleiche Ergebnis für t_{HOLD} liefern. Eine Auslese dauert maximal ca. 200ns. t_{HOLD} liegt

also weit über der Zeit für eine Pixelauslese und genügt daher den geforderten Ansprüchen vollkommen.

Alle diese Messungen wurden bei unbestrahlten Chips durchgeführt. Es stellt sich also noch die Frage, wie sich die gemessenen Parameter durch die Bestrahlung verändern. Diese Messungen müssen noch durchgeführt werden und werden in einem späteren Report bekanntgegeben.

6.4 Test des Auslesevorgangs

Als abschliessenden Test der Welle habe ich noch einen vollständigen Auslesevorgang untersucht. Die Signale vom Bitmuster-generator zeigt Abb. 39.

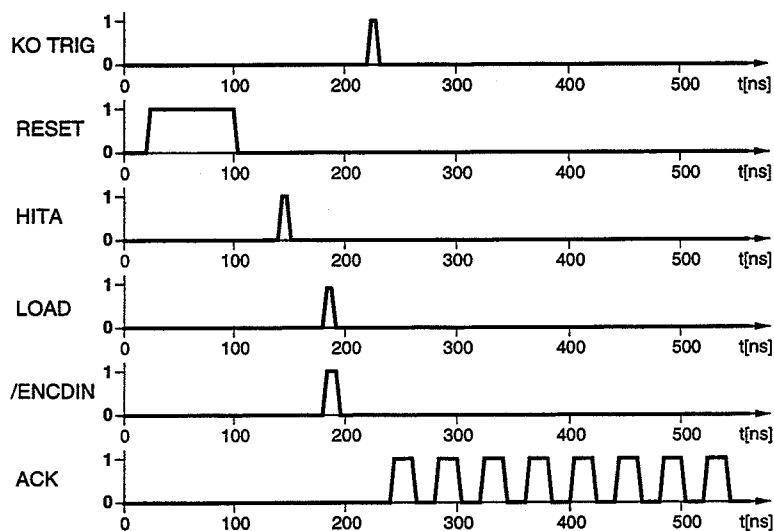


Abbildung 39: Zeitdiagramm für eine Auslese von acht Pixeln

Nach dem Reset wird ein Treffer bei allen acht Pixeln ausgelöst. Dann werden in genügend grossen Zeitabständen die acht /ACK-Impulse generiert. Diese sollen die acht Pixel auslesen. Die gewählte Zeit ist so gross, dass das Suchsignal die Pixel jeweils erreichen kann. Die Abbildungen 40 und 41 zeigen die gemessenen Signale für zwei verschiedene Chips. Oben befinden sich die /ACK-Impulse und unten die A0-Signale. Man beachte die Unterschiede der Impulshöhen bei A0 zwischen den verschiedenen Chips. Dass der drittletzte Impuls viel höher ist als die anderen und die letzten beiden gar nicht vorhanden sind, liegt daran, dass wegen des einen Designfehlers die Transistoren in der ENCD-Leitung kurzgeschlossen sind. Weil das Signal dort trotz der Treffer durchlaufen kann, antworten alle Pixel bei der drittletzten Abfrage gleichzeitig.

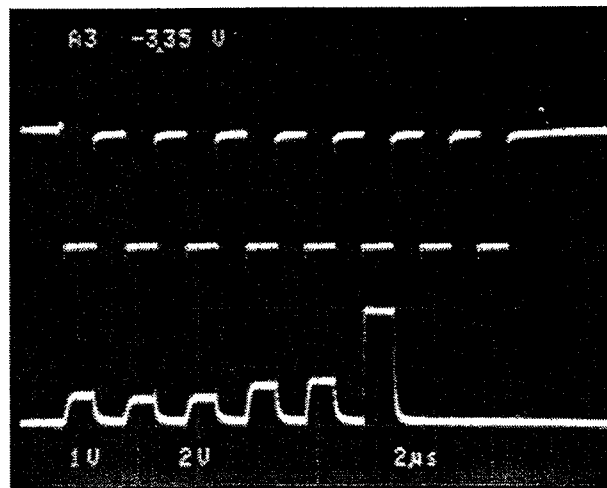


Abbildung 40: /ACK (oben) und A0 (unten) beim Auslesevorgang

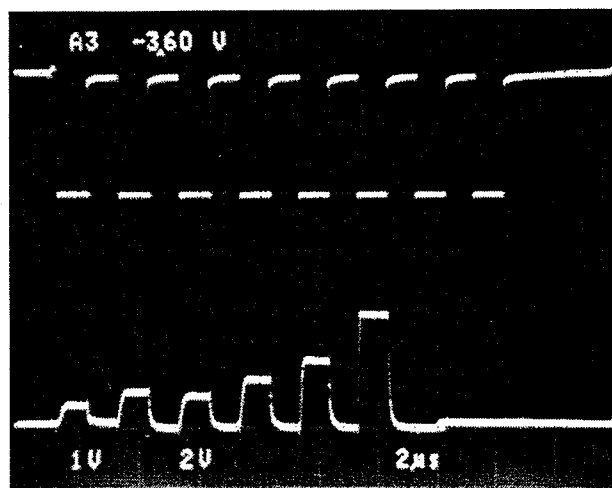


Abbildung 41: Wie bei Abb. 40 aber ein anderer Chip

7 Messung des Übersprechens

7.1 Inbetriebnahme

Die Messung des Übersprechens habe ich an der Struktur "CROSSTALK" durchgeführt. Dabei ging es darum, wie sich der Auslesevorgang auf die Pixel in Bezug auf Störungen auswirkt. Dieses Problem tritt, wie schon in Abschnitt 4.4 erwähnt, bei einer totzeitfreien Auslese auf.

Für die Inbetriebnahme der Struktur "CROSSTALK" waren zuerst die gleichen vorbereitenden Schritte nötig wie bei der Struktur "WELLE". Das Bord musste neu verdrahtet werden. Für den Betrieb der beiden Doppelkolonnen wurden jetzt alle Spannungs- und Signalquellen auf dem Elektronikboard gebraucht. Ausserdem mussten einige Modifikationen, zur Verminderungen von Störungen vorgenommen werden. Diese und weitere Massnahmen werden in den folgenden Abschnitten beschrieben.

7.2 Programmierung der Pixel

Durch gezieltes Einschalten einzelner Pixel lässt sich das Störverhalten von Pixeln an verschiedenen Plätzen auf dem Chip studieren. Für die Kalibrierung der Pixel war es ausserdem erforderlich, Calibrate-Signale auf die Pixel aufzuschalten.

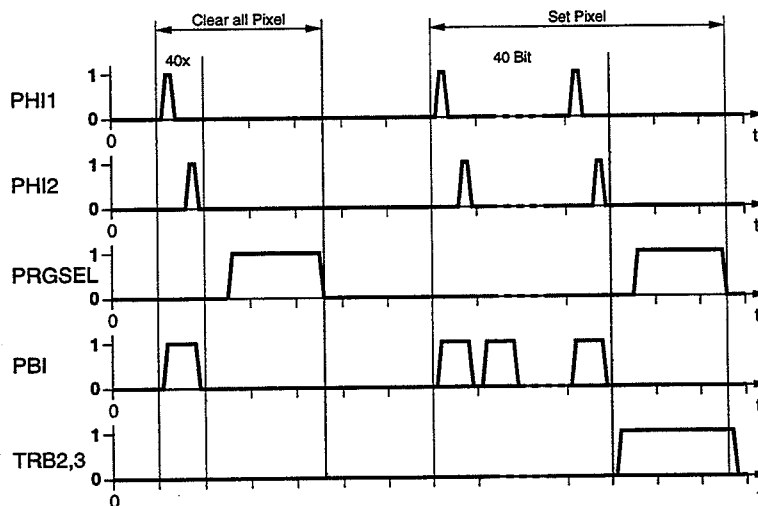


Abbildung 42: Zeitdiagramm für die Programmierung der Pixel

Abb. 42 zeigt den Signalverlauf für eine Programmierung, wie sie für die Kalibrierung der Pixel benutzt wurde. Im ersten Teil werden alle Pixel abgeschaltet. Dazu müssen zuerst alle Pixel selektiert werden indem das ganze 40 Bit-Schieberegister mit Nullen gefüllt wird. Wenn $TRB2=TRB3=0$ sind, löscht ein PRGSEL-Impuls alle Register in den Pixeln. Im zweiten Teil werden die einzelnen benötigten Pixel wieder eingeschaltet. Dazu

muss ein entsprechendes Steuerwort zur Pixeladressierung in das Schieberegister geladen werden. Wenn $TRB2=TRB3=1$ sind, aktiviert ein PROGSEL-Impuls die adressierten Pixel. Bleibt das letzte Steuerwort im Schieberegister, sind zu den aktiven Pixel auch gleich die Calibrate-Signale durchgeschaltet. Das wird zur Kalibrierung so gebraucht. Für die Crosstalk-Messung muss das Schieberegister in einem dritten Teil wieder gelöscht werden.

Die Programmierung der Pixel war mit gewissen Schwierigkeiten verbunden. Das liegt an Dimensionierung der Speicherzellen auf dem Chip. Abb. 43 zeigt den entsprechenden Schaltungsteil des Pixels.

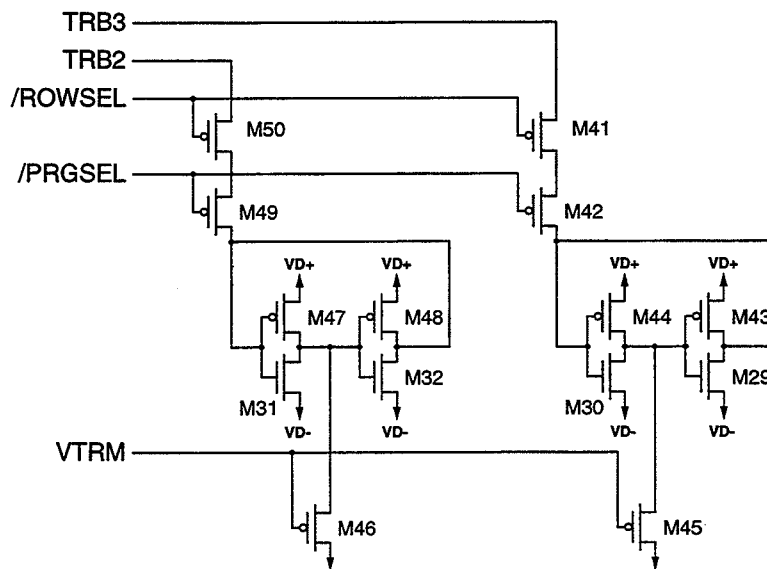


Abbildung 43: *Schema der Speicherzellen*

Die engen Platzverhältnisse auf dem Pixel erzwingen eine Schaltung, die mit möglichst wenigen Transistoren auskommt. Als Preis dafür mussten Kompromisse eingegangen werden. Es sind zwei Speicherzellen vorhanden, eine für TRB2, bestehend aus den Transistoren M47, M48, M31 und M32, und die andere für TRB3, bestehend aus M29, M30, M43 und M44. Sie sind aus zwei verketteten Invertern aufgebaut. Um den Zustand von TRB2 bzw. TRB3 in die Speicherzellen zu schreiben müssen M50 und M49 bzw. M41 und M42 durch das Anlegen von /ROWSEL und /PRGSEL leitend gemacht werden. Nun beginnt der Kampf der Transistoren. Auf dem Testchip waren die PFETs M41, M42, M49 und M50 zu "schwach" und die NFETs M29 und M32 zu "stark". Soll z. B. $TRB2=1$ in die gelöschte Zelle geschrieben werden, müssen M50 und M49 gegen M32 arbeiten. Wenn sie es schaffen, die Spannung um die halbe Betriebsspannung zu erhöhen, kippt die Speicherzelle in den neuen Zustand. Durch senken der Spannung an VTRM lässt sich Vorgang etwas begünstigen. Für die Crosstalk-Messungen ist es wichtig zu wissen, ob die Zellen wirklich gesetzt wurden. Eine Möglichkeit das zu prüfen liegt im Beobachten der Span-

nungen an TRB2 bzw. TRB3. Haben alle selektierten Pixel den Zustand von TRB2 bzw. TRB3 angenommen, fließt über diese Leitungen kein Strom mehr in den Chip. Dann ist die äussere Signalquelle entlastet und die Spannung steigt etwas an. Damit erhält man die Gewissheit, dass die Speicherzellen richtig programmiert wurden. Dieser Fehler wird in den neuen Layouts korrigiert.

Das Programmieren von Nullen geht hingegen problemlos. Auf logisch Null können alle Zellen gleichzeitig programmiert werden. Auf logisch Eins hingegen nur einige wenige auf einmal. Das ist der Grund dafür, dass beim oben beschriebenen Algorithmus zuerst alle Zellen gelöscht wurden.

7.3 Wahl der Betriebsspannungen

Für die Durchführung mussten die Werte diverser Betriebs- und Regelspannungen festgelegt werden. Alle positiven Spannungen am Chip liegen auf Masse und die negativen sind mit den Spannungsquellen des Elektronikboards verbunden.

Die Spannung VD- für den digitalen Teil wurde auf -4.5V festgelegt. Dort liegt etwa das Optimum zwischen Schnelligkeit und Stromaufnahme. In Abb. 44 ist die Stromaufnahme bei VD gezeigt. Er trägt mit dem grössten Beitrag zur Gesamtstromaufnahme bei. Zu beachten ist, dass bei zu kleiner Spannung die Stromrichtung umkehrt. Das liegt möglicherweise an Rückspeisungen von den Signalleitungen.

Der Spannungswert für VA- von -2V wurde vom DM_PSI30 Chip übernommen. Der Strom wird durch die Querströme der Transistorpaare der invertierenden Verstärker verursacht. Sobald die Summe der Schwellenspannung der Transistorpaare (ca. 1.5V) überschritten wird, beginnt Strom zu fließen (Abb. 44). Damit die Verstärker arbeiten, muss die Spannung über diesem Wert liegen.

Mit der Spannung VSF wird der Strom der Spannungsfolger eingestellt. Sie liefert die Drain Spannung eines NFETs, der als regelbare Stromquelle benutzt wird (siehe Schema im Anhang A). Für den Wert des Stromes ist die Differenz zwischen VA- und VSF entscheidend. In Abb. 44 ist der Strom bei VA=-2V angegeben. Wählt man eine Strom von 3 μA pro Spannungsfolger ergibt sich bei zwei Spannungsfolgern pro Pixel und total 80 Pixeln ein Gesamtstrom von 480 μA , der über VSF fließt. Bei VSF=-3.4V und VA=-2V wird dieser Strom erreicht. VA- und VSF- bewirken zusammen eine Verlustleistung von 35 μW pro Pixel.

Die Wahl der Spannung für die Komparatoren VC- muss immer etwas unterhalb von VA- liegen. Sie wird bei den Messungen variiert, um die Schaltschwelle einzustellen.

Der Wert der Spannung an VTRM für die Trimmung des Komparators ist bei der Crosstalk-Messung nicht von grosser Bedeutung weil die Trimmung ausgeschaltet war. Sie muss einfach so gewählt werden, dass die Schaltung überhaupt arbeitet. Sie wurde mit -1.8V möglichst tief gewählt, um das Kippen der Speicherzellen bei der Programmierung etwas zu erleichtern.

VBRO ist für das funktionieren des Pegelwandlers zwischen dem Digital- und dem Analogteil zuständig und muss mit -3.5V um 1V über der Spannung an VD- liegen.

Für VHD wurde bei allen Messungen ein Spannungswert von $-4V$ beibehalten. Die Wahl der Regelspannungen VRGPR und VRGSH für die den Verstärker und Shaper wird in Abschnitt 7.5 genauer beschrieben.

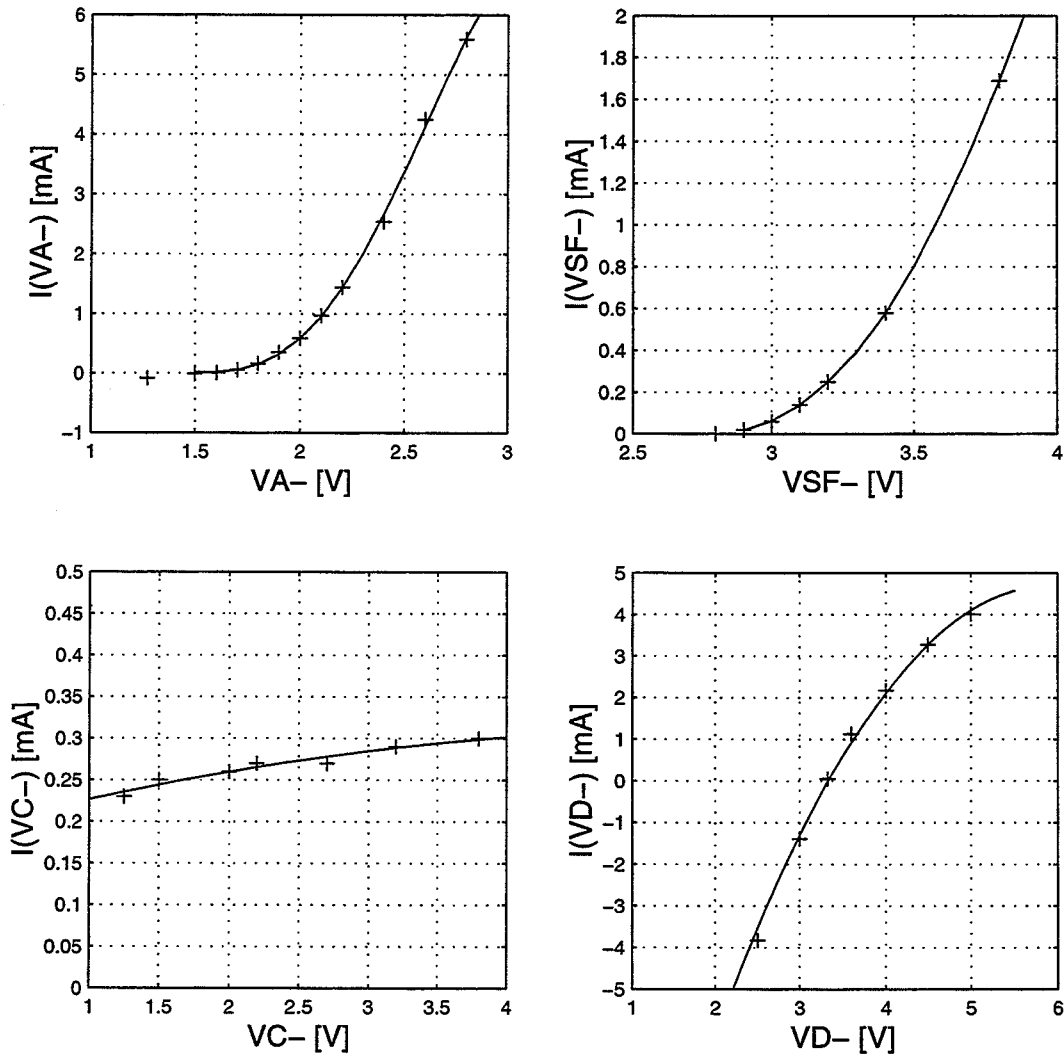


Abbildung 44: Stromaufnahme an den vier Speisungen in Abhängigkeit von der Spannung. Bei der Variation einer Spannung wurden für die anderen folgende Fixwerte eingestellt: $VA=-2V$; $VSF=-3.4V$; $VC=-2.2V$; $VD=-4.5V$

7.4 Entstörung

Das Ziel der Crosstalk-Messung ist die Messung des Übersprechens auf dem Chip. Um die Crosstalk-Messungen durchzuführen, ist es also wichtig, dass die Störungen, die durch das Elektronikboard verursacht oder übertragen werden, so weit gesenkt werden, dass sie

nicht mehr ins Gewicht fallen. Dazu waren verschiedene Massnahmen nötig. Abb. 45 zeigt Störungen auf VA-.

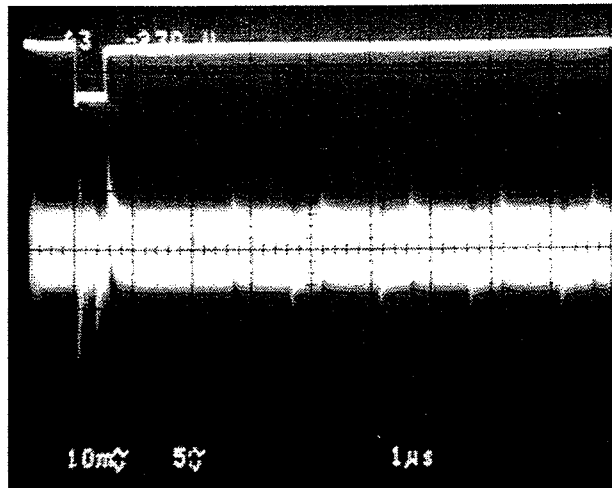


Abbildung 45: Unten sind die gemessenen Störungen auf VA- zu erkennen (10mV/div). Oben sieht man das LOAD-Signal. Deutlich sind die Auswirkungen auf VA- zu erkennen. Das breite Band setzt sich aus Rauschen und einem Störsignal von 27MHz und ca. 400MHz zusammen.

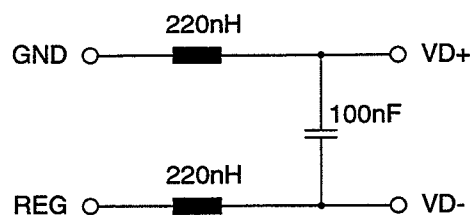


Abbildung 46: LC-Filter zur Entkopplung von VD

Als erste Massnahme musste die Speisung des Digitalteils, als Verursacher von Störungen, vom Rest getrennt werden. Dazu wurde der LC-Tiefpass in Abb. 46 in die Zuleitungen von VD+ und VD- zum Chip eingebaut. Damit war der grösste Teil der Störungen weg. Auch die Speisung der Optokoppler auf dem Board sind eine Ursache von Störungen. Durch die gleiche Massnahme konnten auch diese Störungen beseitigt werden.

Die digitalen Signale der Optokoppler bilden eine weitere Quelle von Störungen. Um diese zu unterdrücken, mussten die Anstiegs- und Abfallzeiten der Signale RESET, /ENCDIN, LOAD und /ACK durch RC-Tiefpässe ($R = 1k\Omega$, $C = 100pF$) von 8ns auf 100ns erhöht werden. Diese Massnahme ist zulässig, da die Signalfanken auf dem Chip durch Dreifachinverter wieder regeneriert werden. Ausserdem kommen die Signale bei einem kompletten

Pixel-Auslesechip auch nicht von aussen sondern werden im Kolonnen-Interface erzeugt. Mit all diesen Massnahmen war eine realistische Crosstalk-Messung möglich.

7.5 Kalibrieren des Verstärkers

7.5.1 Prinzip der Signalmessung

Um die Messung des Übersprechens durchzuführen ist ein Verfahren zur Beurteilung der Signalamplituden nötig. Die einzige Möglichkeit bestand darin, festzustellen, ob ein Treffer aufgetreten ist. Indem man die Schwellen der Komparatoren durch verändern von VC variiert und die Wahrscheinlichkeit für das Auftreten von Treffern beobachtet, liessen sich Aussagen über die Amplituden machen.

Diese Aussagen machen aber nur einen Sinn, wenn sie mit der äquivalenten Signalgrössen eines Detektors verglichen werden können. Dazu mussten Vorverstärker und Shaper genau kalibriert werden.

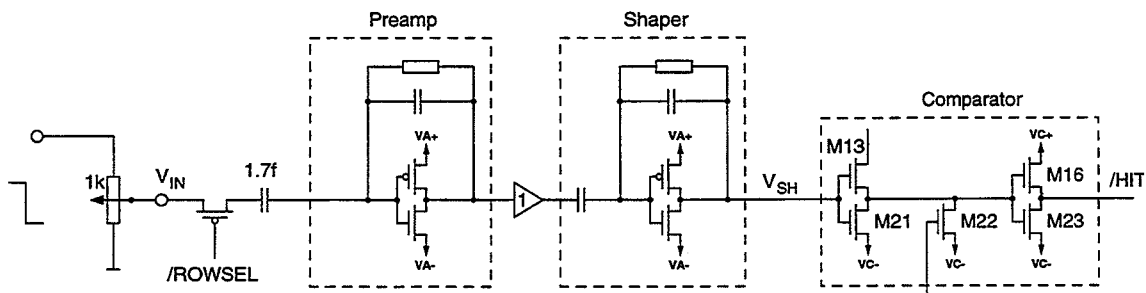


Abbildung 47: *Signalweg des Calibrate-Signals*

Abb. 47 zeigt den Weg des Calibrate-Signals. Generiert wird es durch eine fallende Flanke, die vom Bitmuster-generator erzeugt wird, die über die galvanische Trennung auf das Potentiometer gelangt. Mit diesem kann eine variables Signal V_{CAL} auf den CAL-Eingang des Chips gegeben werden. Über den Transistor und den Kondensator gelangt das Signal auf den Vorverstärker. Der Kondensator bestimmt die Ladungsmenge die bei einer gewissen Signalgrösse auf den Vorverstärker gelangt. Für die Anzahl der Elektronen gilt:

$$n_e = \frac{Q}{e} = \frac{CV_{CAL}}{e} \quad (13)$$

Die Kapazität wurde in [7] an einem Chip gemessen. Ihr Wert beträgt $C = 1.75\text{fF}$ mit einem Fehler von 5%. Dazu kommen noch die Toleranzen bei der Chipfertigung die laut DMILL Spezifikationen 10% betragen. Der Gesamtfehler für C beträgt dann 11%. Damit ergibt sich ein Wert von

$$(1090 \pm 120)e^- \text{ pro } 100\text{mV}. \quad (14)$$

Dieser Wert dient als Basis für die Umrechnung von Volt in Anzahl Elektronen.

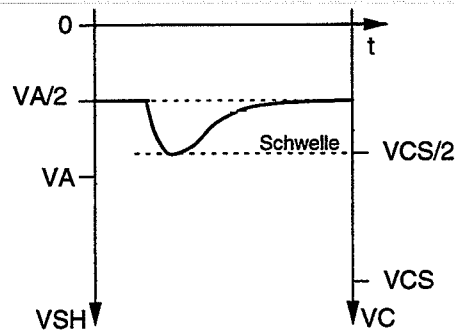


Abbildung 48: Beziehung zwischen VC- und Signalamplitude

Die Impulshöhe am Ausgang von V_{SH} lässt sich durch Verändern der Komparator-schwelle bestimmen. Der Arbeitspunkt des Shapers liegt etwa bei der halben Betriebsspannung VA . Darauf liegt das Signal als negativer Impuls (siehe Abb. 48). Die Schaltschwelle des Komparators liegt bei der halben Betriebsspannung VC . Es ist nun sinnvoll folgende Spannung zu definieren.

$$V_{OUT} := \frac{V_{CS} - V_{CS0}}{2} \quad (15)$$

V_{CS} : V_C -Wert bei dem der Komparator anspricht

V_{CS0} : V_{CS} -Wert ohne Eingangssignal

Die Annahme ist, dass V_{OUT} bis auf eine additive Konstante V_{SH} entspricht. Die genaue Kenntnis von V_{SH} ist nicht wichtig, weil bei allen Messungen immer über das ganze System aus Verstärker und Shaper gemessen wird.

7.5.2 Verstärkerkennlinien

Mit den im letzten Abschnitt beschriebenen Verfahren habe ich die Verstärkerkennlinien bestimmt. Abb. 49 zeigt die Resultate der Messung. Es ist V_{OUT} in Abhängigkeit von V_{CAL} für verschiedene Verstärkungseinstellungen aufgetragen. Die Verstärkung wurden durch verändern von $VRGPR$ und $VRGSH$ eingestellt. Die beiden Spannungen wurden dabei immer zueinander gleich gehalten. Aus den Steigungen der Kurven lässt sich die jeweilige Verstärkung ablesen.

Besondere Beachtung verdient die Abflachung im unteren Bereich der Messkurven. Dieser Teil ist für die Crosstalk-Messung besonders wichtig, da die Störsignale in diesem Bereich liegen. Es wurden drei Ursachen in Betracht gezogen:

- Die Abflachung entsteht durch Rauschen. Das heisst, dass das Eingangssignal dort vom Rauschsignal überdeckt wird.

- Da der Komparator im unteren Bereich der Kurve bei der niedrigsten Spannung arbeitet ändert sich sein Verhalten.
- Es ist ein ballistischer Effekt. Das heisst, dass der Komparator eine gewisse Ladungsmenge braucht um überhaupt anzusprechen. Diese Ladung muss der Shaper innerhalb einer kurzen Zeit liefern.

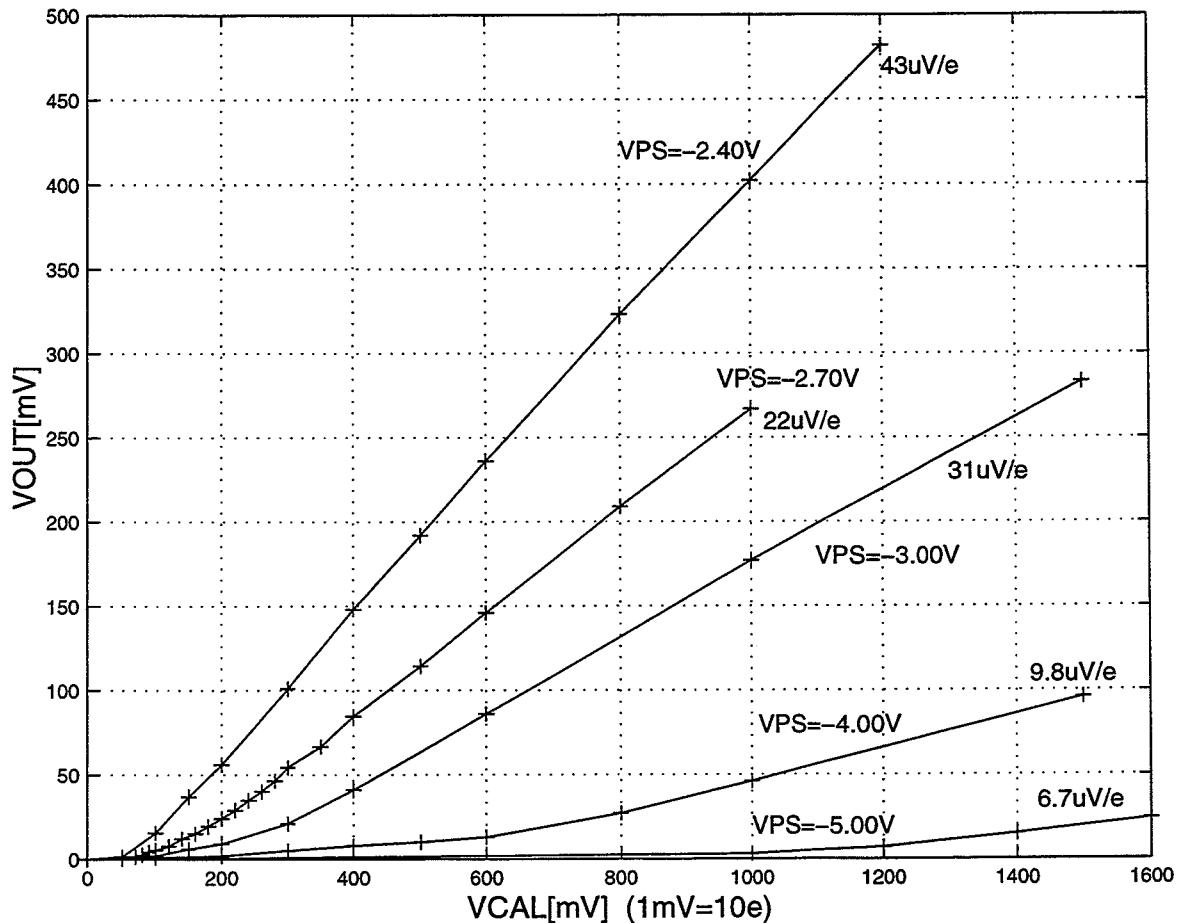


Abbildung 49: Verstärkerkennlinien bei verschiedenen Regelspannungen. Die Spannung des Vorverstärkers und des Shapers wurden auf dem gleichen Wert $V_{PS} := V_{RGPR} = V_{RGSH}$ gehalten.

Die Entscheidung für den ballistischen Effekt haben Simulationen des in Abb. 47 gezeigten Schaltungsteils gebracht. Abb. 50 zeigt die Situation genauer. Der Shaper lässt sich als Spannungsquelle mit einem Innenwiderstand beschreiben, der in einem Bereich um $10\text{k}\Omega$ liegt. Der Komparator besitzt eine Eingangskapazität die während des Kippvorgangs durch den Miller-Effekt besonders gross wirkt und einen Wert um 1pF annimmt. Damit ein HIT-Signal erzeugt wird, muss die Schaltschwelle des zweiten Inverters bestehend aus

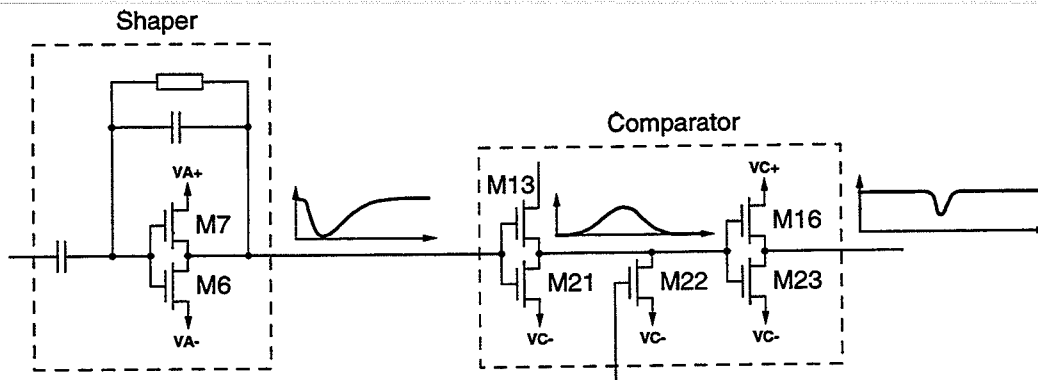


Abbildung 50: Zusammenwirken des Shapers und des Komparators

M16 und M23 erreicht werden. Sie liegt bei der halben Betriebsspannung (1V). Das Zeitintegral über den Impulsstrom am Shaper-Ausgang muss so gross sein, dass damit die Eingangskapazität des Komparators um 1V aufgeladen werden kann.

Betrachtet man z. B. ein Eingangssignal von $V_{SH} = 100\text{mV}$ das während $\Delta t = 50\text{ns}$ am Komparator anliegt, dann ergibt sich eine Spannungsänderung von

$$\Delta V_{COMP} = \frac{Q}{C_{COMP}} = \frac{U_{SH}\Delta t}{R_{SH}C_{COMP}} = 0.5\text{V} \quad (16)$$

Das wäre zu wenig um ein HIT-Signal zu produzieren.

7.5.3 Frequenzverhalten

Das System aus Vorverstärker und Shaper besitzt ein bestimmtes Frequenzverhalten. Die maximale Verstärkung liegt bei einer Frequenz von einigen MHz. Diese Mittenfrequenz f_0 ist von der Verstärkungseinstellung abhängig. Speist man in die Messschaltung in Abb. 47 anstatt der Signalflanke ein Sinussignal mit variabler Frequenz ein, lässt sich damit f_0 ermitteln. Dazu wird die Komparatorschwelle bei ständig variierender Frequenz erhöht, bis der Komparator nur noch bei einer Frequenz anspricht. Damit ist f_0 gefunden. Abb. 51 zeigt die Messresultate für verschiedene Verstärkungseinstellungen.

7.5.4 Wahl der Eichung für die Crosstalk-Messung

Aus den gewonnenen Erkenntnissen lässt sich die beste Wahl für die Verstärkungseinstellung für die Crosstalk-Messung bestimmen. Wegen der beschriebenen Krümmung in den Verstärkerkennlinien muss eine möglichst grosse Verstärkung gewählt werden. Die Verstärkung ist aber nach oben beschränkt. Ausserdem sinkt f_0 schnell mit zunehmender Verstärkung. Die Wahl fiel auf die Einstellung

$$\text{VRGPR} = \text{VRGSH} = -2.7\text{V}.$$

Die Verstärkung beträgt bei dieser Einstellung $22\mu\text{V}/\text{e}$ und f_0 beträgt ca. 5.5MHz. Dieser Wert von f_0 liegt eher an der unteren Grenze für realistische Bedingungen. Wählt man aber eine kleinere Verstärkung ist der Crosstalk nicht mehr zu sehen.

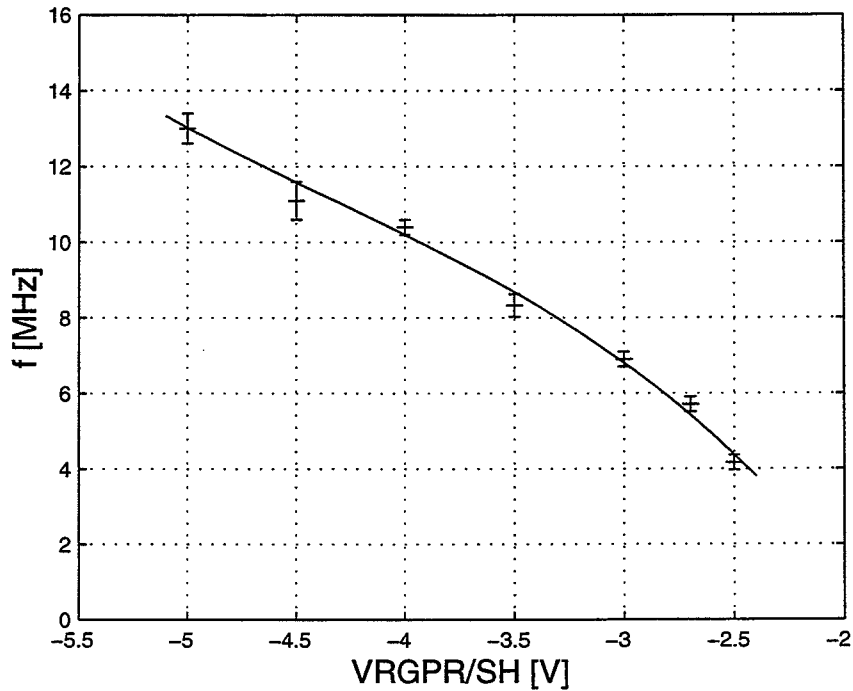


Abbildung 51: f_0 in Abhängigkeit von der Verstärkung. Die Verstärkung nimmt von rechts nach links zu.

Abb. 52 zeigt die Verstärkerkennlinie für kleine Signale. Sie dient als Eichkurve für die Bestimmung der äquivalenten Eingangssignale bei der Crosstalk-Messung.

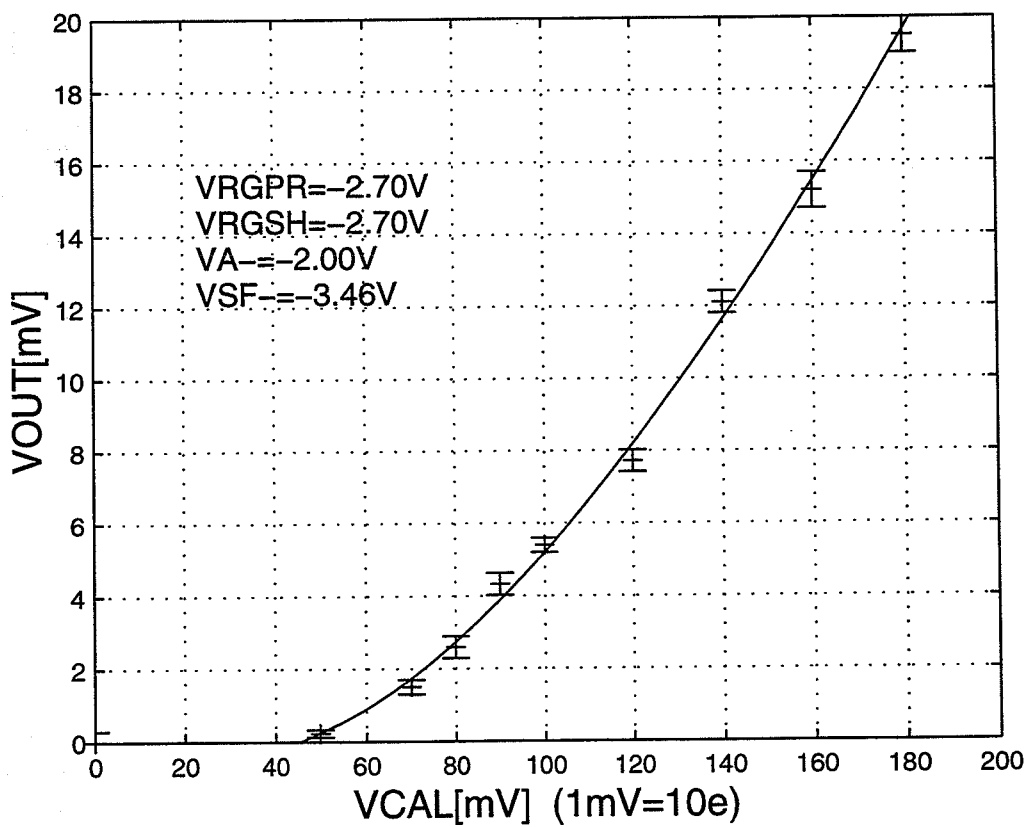


Abbildung 52: Eichkurve für die Crosstalk-Messung

7.6 Crosstalk Messung

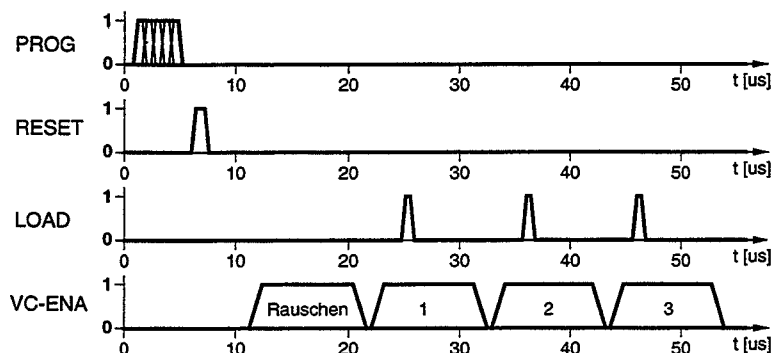


Abbildung 53: Zeitdiagramm für die Crosstalk-Messung

Für die Messung des Übersprechverhaltens habe ich den in Abb. 53 gezeigten Signalverlauf benutzt. Zuerst läuft der Programmiervorgang der Pixel nach Abschnitt 7.2 ab. Damit wird ein ausgewählter Pixel aktiviert. Das Calibrate-Signal wird durch anschließendes Löschen des Schieberegisters von allen Pixeln ferngehalten. Danach löscht ein RESET-Signal die Hit-Flip-Flops in den Pixeln. Nach einer kurzen Pause wird dreimal hintereinander ein Suchsignal losgeschickt.

Um eine zeitliche Auflösung des Störverhaltens zu erreichen, wird durch das digitale Steuersignal VC_ENA die Komparatorspannung VC- gesenkt und angehoben. Damit lässt sich die Komparatorschwelle zeitlich steuern. Dazu musste auf dem Elektronikboard eine kleine Zusatzschaltung eingebaut werden. Ist VC_ENA aktiv, ist der Komparator "scharf". Bei passivem VC_ENA wird VC- um 60mV gesenkt. Damit ist die Schwelle so hoch, dass der Komparator nicht mehr auf Störungen anspricht. Der ganze Zeitablauf wird periodisch wiederholt.

Es wurden vier Zeitfenster gewählt. Mit dem ersten wird nur der Rauschpegel gemessen. Die drei anderen sind während den drei Suchsignalen aktiv. Diese vier Fenster konnten einzeln gesetzt werden.

Abb. 54 zeigt oben VC- mit gesetztem Fenster 2. Unten befindet sich das Signal ENCDOOUT. Bei den Signalfanken läuft das Suchsignal durch die Doppelkolonne. Wenn kein Pixel einen Treffer registriert hat, fällt ENCDOOUT sofort wieder in den High-Zustand zurück. Das ist in Abb. 54 nach der ersten Auslese der Fall, weil der Pixel dort nicht "scharf" ist. Hat jedoch der aktive Pixel durch eine Störung einen Treffer registriert, bleibt das Suchsignal dort stehen. ENCDOOUT bleibt dann auf dem Low Pegel bis zum Start des nächsten Suchsignals. Das trifft zu etwa 50% bei der zweiten Auslese zu. Man beobachtet eine Überlagerung beider Fälle. Das bedeutet, dass der Pixel in 50% der Fälle vom Abfragesignal gestört wird. Die meisten Störungen werden aber erst bei der nächsten Auslese registriert, weil sie im zweiten Hit-Flip-Flop zwischengespeichert sind.

Für die Ermittlung der Störampplitude wurde durch messen von VC – VA der Wert von V_{OUT} bestimmt. Es wurde jeweils eine Messung mit dem Störsignal und eine nur mit

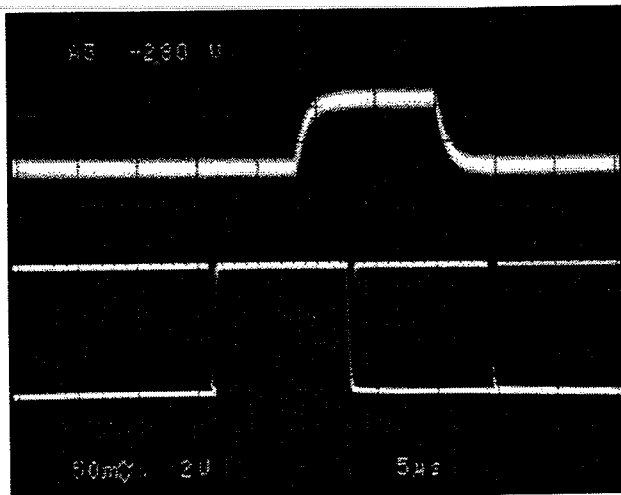


Abbildung 54: VC- (oben, 50mV/div) und /ENCDOU (unten)

dem Rauschen durchgeführt. Der Wert für das Übersprechen V_{CN} berechnet sich aus der Differenz der beiden Messungen

$$V_{CN} = V_{OUT}^{ct} - V_{OUT}^{noise} \quad (17)$$

Es ergaben sich folgende Werte nach absteigenden Störungen geordnet:

- **Störungen während der Programmierung**

Das sind die grössten Störungen. Sie bringen den Shaper zum Vollausschlag. Das liegt natürlich auch daran, dass die Signale auf dem Elektronikboard nicht gefiltert wurden. Die Störungen während der Programmierung sind aber nicht relevant, da sie nicht während den Messungen auftreten.

- **Störungen während der Auslese innerhalb derselben Doppelkolonne**

Hier lassen sich die Störungen in zwei Gruppen aufteilen:

- Eine Störung von Auslese 2 wird bei der Auslese 3 registriert (siehe Abb. 54).
Hier ergibt sich

$$V_{CN} = (2.0 \pm 0.5) \text{mV} \quad (\text{CL} = 68\%)$$

Daraus erhält man aus der Eichkurve in Abb. 52 und aus (11) ein äquivalentes Eingangssignal von

$$630e^- \dots 820e^- \quad (\text{CL} = 95\%) \quad (18)$$

$$700e^- \dots 750e^- \quad (\text{CL} = 68\%)$$

Dies ist das wichtigste Schlussergebnis der Crosstalk-Messung. Es stellt den grössten relevanten Beitrag dar.

- Eine Störung von Auslese 2 wird bei der Auslese 2 registriert
Hier ergibt sich ein Wert von

$$V_{CN} = (0.5 \pm 0.5)\text{mV} \quad (\text{CL} = 68\%)$$

Für das äquivalente Eingangssignal erhält man eine obere Abschätzung von

$$< 620e^- \quad (\text{CL} = 95\%)$$

- **Störungen auf benachbarte Doppelkolonnen**

Hier ist kein Übersprechen mehr zu messen weil es unterhalb des Knickes in der Eichkennlinie liegt. Es muss daher

$$< 450e^-$$

sein.

Bei jeder Messung wurde jeweils nur ein Pixel aktiv. Messungen an verschiedenen Pixeln haben gezeigt, dass es keine messbaren Unterschiede gibt. Ich habe auch versucht, die Störungen innerhalb eines Auslesevorgangs zeitlich aufzulösen. Das hat aber keine messbaren Resultate geliefert. Offensichtlich ist erst die Summe der Störungen vom ganzen Auslesevorgang genügend gross, damit sie messbar werden.

7.7 Schlussfolgerungen

Das grösste gemessene Übersprechen, das durch die totzeitfreie Auslese auftreten kann liegt unterhalb von einem Signal, das 820 Elektronen entspricht. Diese Grenze bestimmt das Einsatzgebiet des Pixeldetektors. Für die Anwendung bei CMS müssen Signale von 2500 Elektronen noch registriert werden können. Diese Forderung kann gut erfüllt werden. Ein möglicher Einsatz wäre noch bei bildgebenden Systemen im Niederenergiebereich, z. B. in der Festkörperphysik, zu sehen.

Später soll die Struktur CROSSTALK mit einem Detektor kontaktiert werden. Dann werden weitere Messungen des Übersprechens folgen.

Literatur

- [1] W.R.Leo, *Techniques for Nuclear and Particle Physics Experiments*, Second Revised Edition, Springer Verlag
- [2] *CMS Technical Proposal*, CERN 1994
- [3] *LHC Conceptual Design*, The LHC Study Group, CERN 1995
- [4] John P. Uyemura, *Circuit Design for CMOS VLSI*, Kluwer Academic Publishers 1992
- [5] R. Horisberger, *Pixel detectors at LHC*, Nuclear Instruments & Methods A 384 (1996) 185-191
- [6] M. Lechner, *Untersuchung des Rauschverhaltens von CMOS-Vorverstärkern für Silizium-Streifendetektoren*, Diplomarbeit, Institut für Hochenergiephysik, ETH Zürich, April 1994
- [7] M. Lechner, PhD. Thesis, ETH Zürich (1998) in preparation



Verdankung

Ich möchte allen danken, die mir während meiner Arbeit behilflich waren. Mein besonderer Dank gilt:

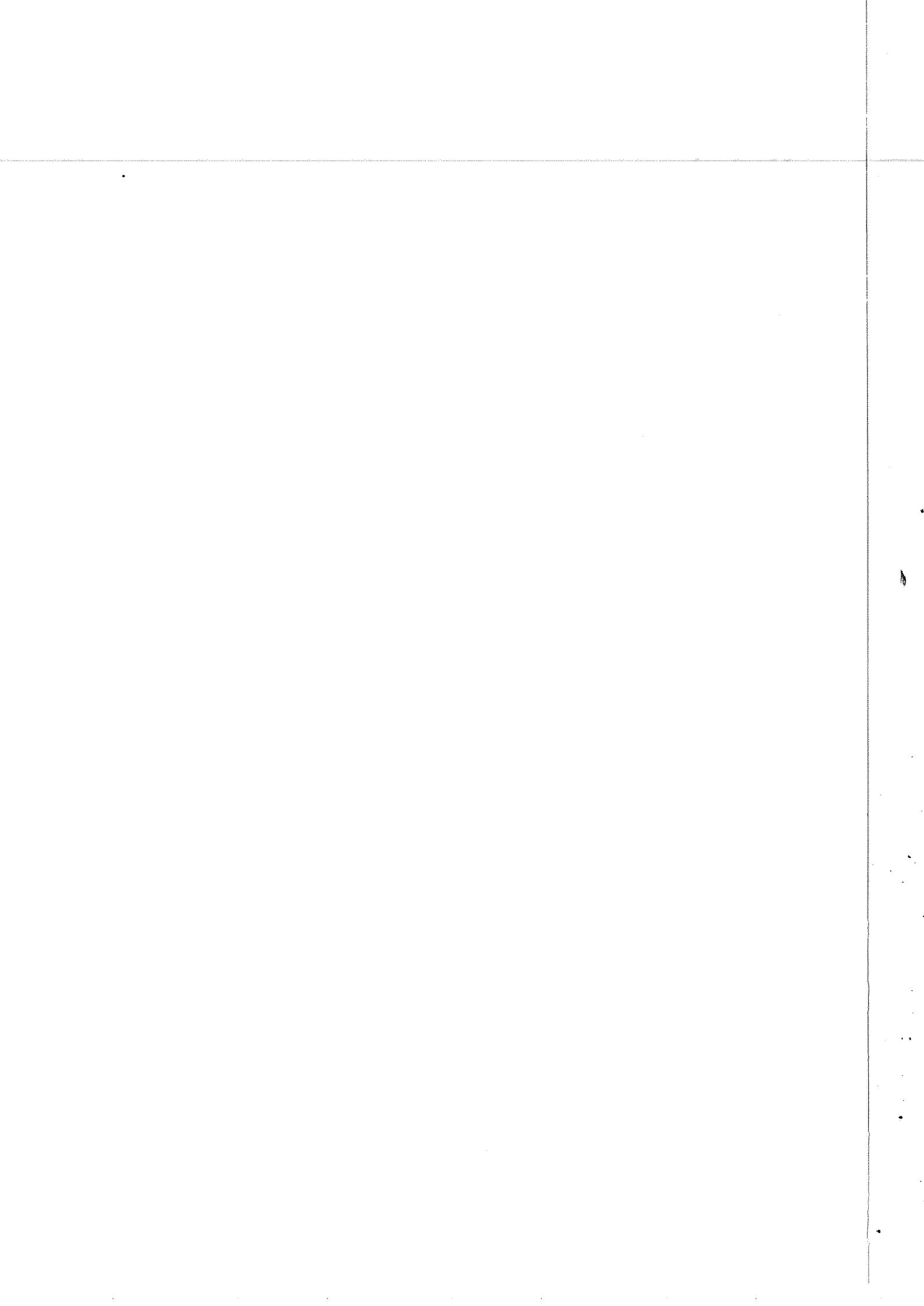
Prof. Dr. R. Eichler für seine hervorragende Betreuung während meiner Diplomarbeit.

Dr. R. Horisberger, der sich immer Zeit genommen hat, auf meine Fragen einzugehen und auch eine Lösung für die härteste Knacknuss bereit hatte.

Dr. M. Lechner, der mich während meiner Arbeit am PSI betreut hat.

Hr. S. Streuli, der für das Bonden der Chips für meine Messungen zur Verfügung stand.

Der ganzen Gruppe am PSI, die mir ein motivierendes Umfeld gegeben haben.



A Schemas PSI-32 CROSSTALK

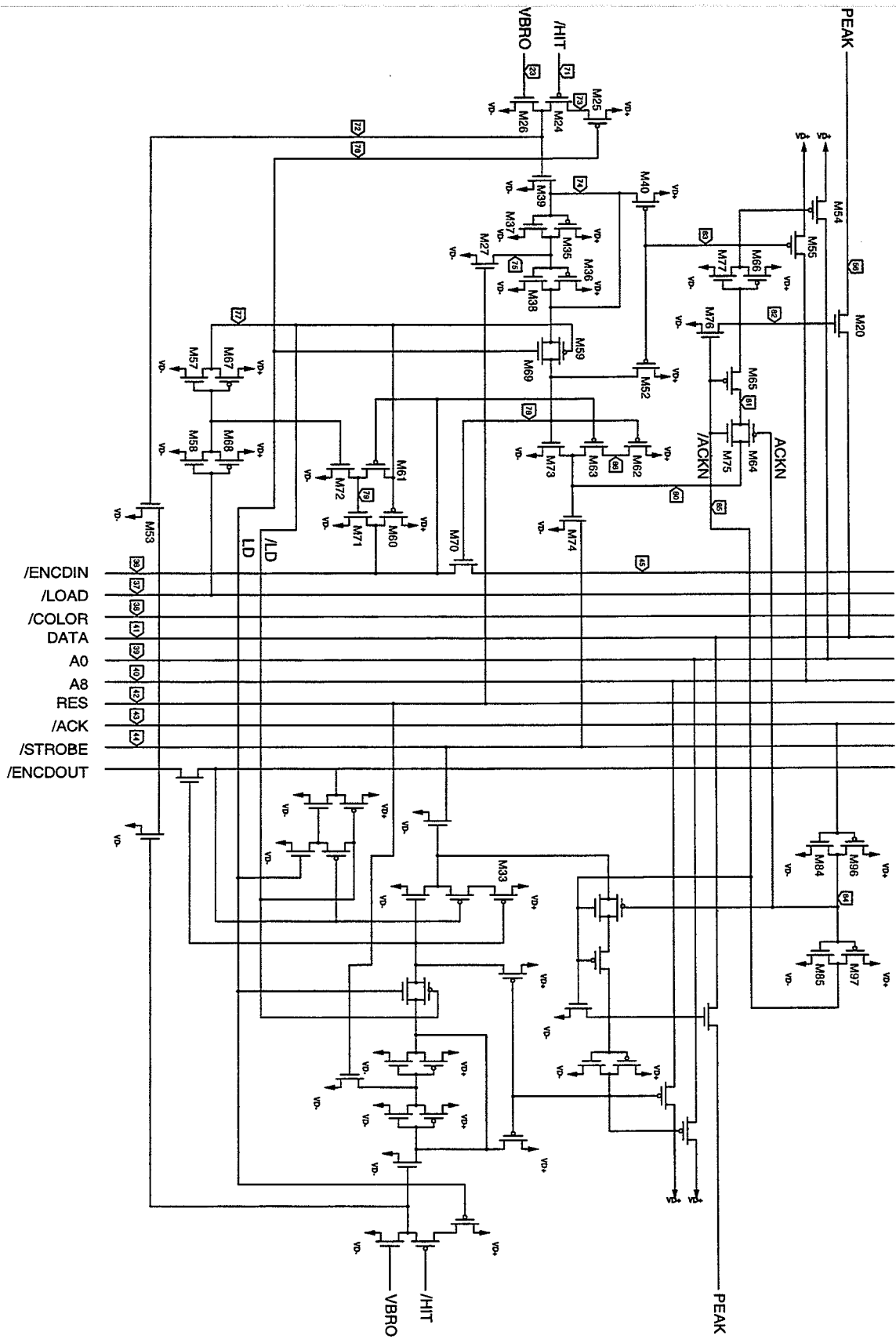


Abbildung 55: Doppelpixel Digitalteil

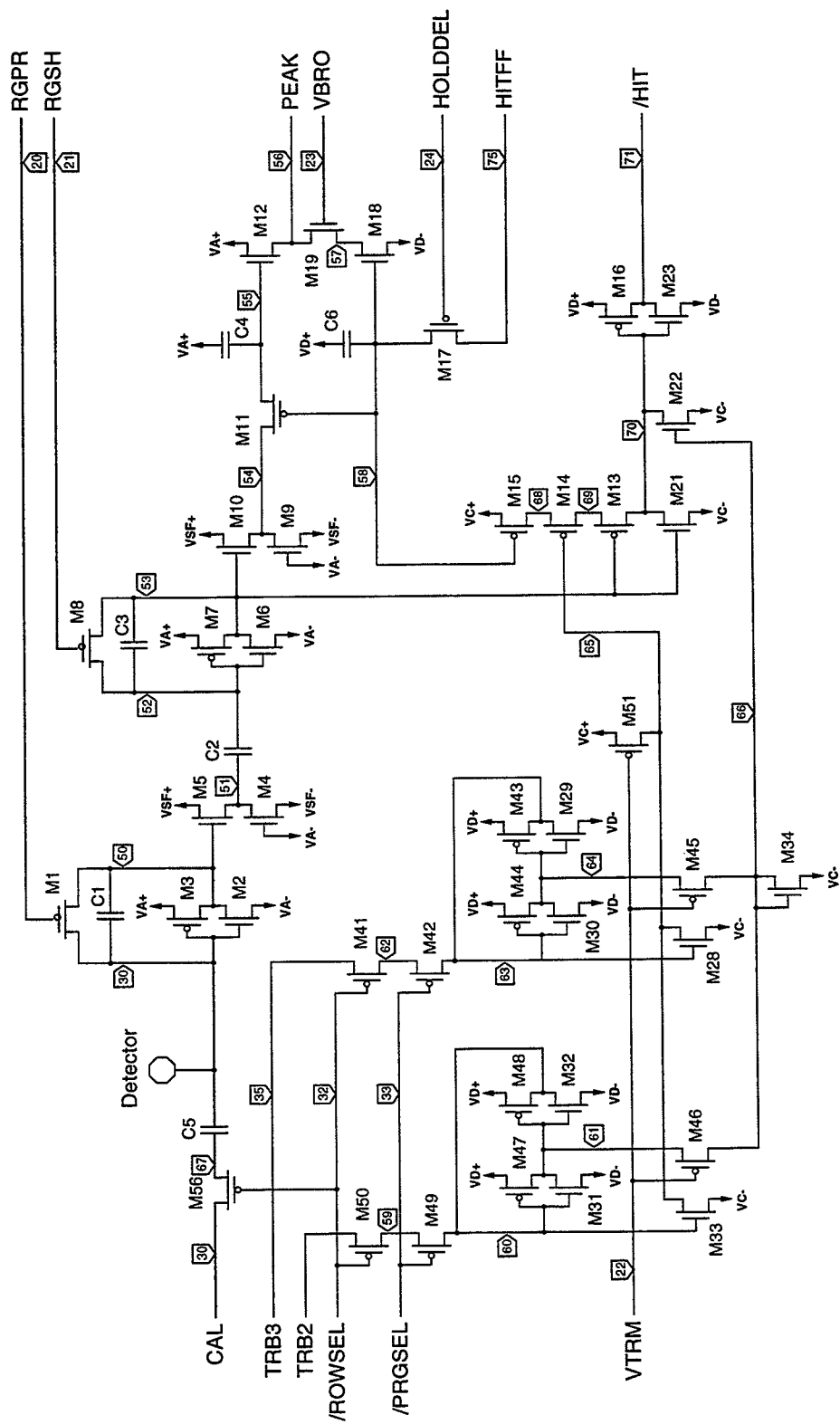


Abbildung 56: Pixel Analogteil

B Daten für die Simulationen mit SPICE

SPICE-Modell für NFET und PFET

```
*****
*
* MODEL PARAMETERS
*
* NMOS-FET ( APPROX DMILL PARAMETERS)
*-----
.MODEL NENH NMOS LEVEL=3
+ VTO=0.80 ETA=0.0255 UO=400.0
+ TOX=1.75E-8 NSS=8.0E+10 RSH=1.1E+3 NSUB=1.5E+17 NFS=3.0E+12 XJ=2.0E-7
+ LD=5.0E-8 UO=4.0E+2 VMAX=1.5E+5 DELTA=1.3 THETA=5.0E-2 KAPPA=1.7E-1
+ FC=0.5 PB=0.463 CJ=4.4E-4 CJSW=2.0E-10 MJ=0.32 MJSW=0.21 CGSO=1.0E-10
+ CGDO=1.0E-10 CGBO=2.6E-10

* PMOS-FET (APPROX DMILL PARAMETERS)
*-----
.MODEL PENH PMOS LEVEL=3
+ VTO=-0.85 ETA=0.0193 UO=210.0
+ TOX=1.75E-8 NSS=8.0E+10 RSH=2.2E+3 NSUB=0.85E+17 NFS=2.8E+12 XJ=2.0E-7
+ LD=1.0E-8 UO=2.1E+2 VMAX=5.2E+4 DELTA=0.0 THETA=1.0E-2 KAPPA=2.0E-1
+ FC=0.5 PB=0.716 CJ=6.82E-4 CJSW=2.5E-10 MJ=0.43 MJSW=0.31 CGSO=1.0E-10
+ CGDO=1.0E-10 CGBO=0.0
*
*****
```

Pixel Simulation

```
* pixel.cir
*

.include dmill.mod

.tran 1n 120n
.print tran V(53) V(42) V(70) V(71) V(72) V(74) V(75) V(58)

* voltage nodes

VD 111 0 -4.5
VA 112 0 -2.0
```

VC	113	0	-2.2
VSF	114	0	-3.0
VPR	120	0	-3.0
VSH	121	0	-3.0
VTRM	122	0	-1.11
VBRO	123	0	-3.5
VHD	124	0	-3.0
VCAL	131	0	pulse(0.0 -1.0)
VROW	132	0	pulse(0.0 -4.8)
VPRG	133	0	pulse(0.0 -4.8)
TRB2	134	0	-5.0
TRB3	135	0	-5.0
CDIN	136	0	pulse(-4.8 0.0)
LOAD	137	0	pulse(-4.8 0.0)
RESET	142	0	pulse(0.0 -5.0 20n 5n 5n 60n)

RD	11	111	1
RA	12	112	1
RC	13	113	1
RSF	14	114	1
RPR	20	120	100
RSH	21	121	100
RTRM	22	122	100
RBRO	23	123	100
RHD	24	124	100
CDET	30	2	10f
RCAL	31	131	10
RROW	32	132	10
RPRG	33	133	10
RTRB2	34	134	10
RTRB3	35	135	10
RCDIN	36	136	100
RLOAD	76	176	100
RCOLOR	38	1	10k
RAO	39	11	10k
RA8	40	11	10k
RDATA	41	11	10k
RRES	42	142	100

```
RACK  43 143  100
RSTR  44 144  100
RCDOUT 45 145  1MEG
```

```
RDP   1  0  0.0
RAP   2  0  0.0
RCP   3  0  0.0
RSFP  4  0  0.0
```

```
* -- transistors
```

```
M1  50 20 30  2  PENH  L=20.0u W=1.4u  AD=4p  AS=4p  PD=8u  PS=8u
M2  50 30 12 12  NENH  L=1.2u W=6.0u  AD=15p AS=15p PD=18u PS=18u
M3  50 30  2  2  PENH  L=1.2u W=12.0u AD=36p AS=24p PD=30u PS=30u
M4  51 12 14 14  NENH  L=5.8u W=1.0u  AD=4p  AS=4p  PD=8u  PS=8u
M5   4 50 51 51  NENH  L=0.8u W=2.2u  AD=27p AS=27p PD=20u PS=20u
M6  53 52 12 12  NENH  L=1.2u W=6.0u  AD=15p AS=15p PD=18u PS=18u
M7  53 52  2  2  PENH  L=1.2u W=12.0u AD=36p AS=24p PD=30u PS=30u
M8  53 21 52  2  PENH  L=20.0u W=1.4u  AD=4p  AS=4p  PD=8u  PS=8u
M9  54 12 14 14  NENH  L=5.8u W=1.0u  AD=4p  AS=4p  PD=8u  PS=8u
M10  4 53 54 54  NENH  L=0.8u W=2.2u  AD=27p AS=27p PD=20u PS=20u
M11 55 58 54  1  PENH  L=0.8u W=2.2u  AD=4p  AS=4p  PD=8u  PS=8u
M12  1 55 56 56  NENH  L=1.2u W=4.4u  AD=8p  AS=8p  PD=12u PS=12u
M13 70 53 69  3  PENH  L=1.2u W=6.2u  AD=12p AS=10p PD=16u PS=16u
M14 69 65 68  3  PENH  L=0.8u W=6.2u  AD=10p AS=10p PD=16u PS=16u
M15 68 58  3  3  PENH  L=0.8u W=6.2u  AD=10p AS=12p PD=16u PS=16u
M16 71 70  3  3  PENH  L=0.8u W=2.2u  AD=4p  AS=20p PD=8u  PS=24u
M17 75 24 58 75  PENH  L=5.4u W=2.2u  AD=5p  AS=5p  PD=9u  PS=9u
M18 57 58 11 11  NENH  L=0.8u W=2.2u  AD=4p  AS=4p  PD=8u  PS=8u
M19 56 23 57 11  NENH  L=0.8u W=2.2u  AD=4p  AD=4p  PD=8u  PS=8u
M20 41 82 56 11  NENH  L=0.8u W=2.2u  AD=5p  AS=5p  PD=9u  PS=9u
M21 70 53 13 13  NENH  L=1.2u W=3.0u  AD=4p  AS=4p  PD=8u  PS=8u
M22 70 66 13 13  NENH  L=1.2u W=2.2u  AD=4p  AS=4p  PD=8u  PS=8u
M23 71 70 13 13  NENH  L=0.8u W=1.2u  AD=4p  AS=4p  PD=8u  PS=8u
M24 72 71 73  1  PENH  L=0.8u W=2.2u  AD=4p  AS=4p  PD=8u  PS=8u
M25 73 76  1  1  PENH  L=0.8u W=2.2u  AD=4p  AS=4p  PD=8u  PS=8u
M26 72 23 11 11  NENH  L=0.8u W=1.0u  AD=4p  AS=4p  PD=8u  PS=8u
M27 75 42 11 11  NENH  L=0.8u W=2.2u  AD=4p  AS=4p  PD=8u  PS=8u
M28 65 63 13 13  NENH  L=1.2u W=4.0u  AD=6p  AS=6p  PD=12u PS=12u
M29 63 64 13 13  NENH  L=1.0u W=1.0u  AD=4p  AS=4p  PD=8u  PS=8u
M30 64 63 13 13  NENH  L=1.0u W=1.0u  AD=4p  AS=4p  PD=8u  PS=8u
M31 61 60 13 13  NENH  L=1.0u W=1.0u  AD=4p  AS=4p  PD=8u  PS=8u
M32 60 61 13 13  NENH  L=1.0u W=1.0u  AD=4p  AS=4p  PD=8u  PS=8u
```

M33	65	60	13	13	NENH	L=1.0u	W=2.2u	AD=4p	AS=4p	PD=8u	PS=8u
M34	66	66	13	13	NENH	L=2.0u	W=2.2u	AD=4p	AS=4p	PD=8u	PS=8u
M35	75	74	1	1	PENH	L=0.8u	W=2.2u	AD=4p	AS=4p	PD=8u	PS=8u
M36	74	75	1	1	PENH	L=0.8u	W=2.2u	AD=4p	AS=4p	PD=8u	PS=8u
M37	75	74	11	11	NENH	L=0.8u	W=1.0u	AD=4p	AS=4p	PD=8u	PS=8u
M38	74	75	11	11	NENH	L=0.8u	W=1.0u	AD=4p	AS=4p	PD=8u	PS=8u
M39	74	72	11	11	NENH	L=0.8u	W=2.2u	AD=4p	AS=4p	PD=8u	PS=8u
M40	74	83	1	1	PENH	L=0.8u	W=4.4u	AD=12p	AS=12p	PD=16u	PS=16u
M41	62	32	35	3	PENH	L=0.8u	W=3.6u	AD=6p	AS=9p	PD=10u	PS=12u
M42	63	33	62	3	PENH	L=0.8u	W=3.6u	AD=6p	AS=6p	PD=11u	PS=10u
M43	63	64	3	3	PENH	L=1.0u	W=2.2u	AD=4p	AS=4p	PD=8u	PS=8u
M44	64	63	3	3	PENH	L=1.0u	W=2.2u	AD=4p	AS=4p	PD=8u	PS=8u
M45	66	22	64	3	PENH	L=1.2u	W=4.0u	AD=6p	AS=6p	PD=12u	PS=12u
M46	66	22	61	3	PENH	L=1.2u	W=2.2u	AD=4p	AS=4p	PD=8u	PS=8u
M47	61	60	3	3	PENH	L=1.0u	W=2.2u	AD=4p	AS=4p	PD=8u	PS=8u
M48	60	61	3	3	PENH	L=1.0u	W=2.2u	AD=4p	AS=4p	PD=8u	PS=8u
M49	60	33	59	3	PENH	L=0.8u	W=3.6u	AD=6p	AS=6p	PD=11u	PS=10u
M50	59	32	34	3	PENH	L=0.8u	W=3.6u	AD=6p	AS=9p	PD=10u	PS=12u
M51	65	22	3	3	PENH	L=2.6u	W=2.2u	AD=4p	AS=4p	PD=8u	PS=8u
M52	78	83	1	1	PENH	L=0.8u	W=2.2u	AD=5p	AS=5p	PD=9u	PS=9u
M53	38	72	11	11	NENH	L=0.8u	W=2.2u	AD=4p	AS=4p	PD=8u	PS=8u
M54	39	83	1	1	PENH	L=3.0u	W=2.2u	AD=5p	AS=5p	PD=9u	PS=9u
M55	40	83	1	1	PENH	L=3.2u	W=2.2u	AD=5p	AS=5p	PD=9u	PS=9u
M56	67	32	31	1	PENH	L=0.8u	W=2.2u	AD=5p	AS=5p	PD=9u	PS=9u
M57	77	76	11	11	NENH	L=0.8u	W=1.0u	AD=5p	AS=3p	PD=9u	PS=5u
M58	76	37	11	11	NENH	L=0.8u	W=1.0u	AD=5p	AS=3p	PD=9u	PS=5u
M59	78	77	74	1	PENH	L=0.8u	W=2.2u	AD=5p	AS=5p	PD=9u	PS=9u
M60	36	77	1	1	PENH	L=0.8u	W=2.2u	AD=5p	AS=5p	PD=9u	PS=9u
M61	79	36	77	1	PENH	L=0.8u	W=2.2u	AD=5p	AS=5p	PD=9u	PS=9u
M62	86	78	1	1	PENH	L=0.8u	W=2.2u	AD=2p	AS=5p	PD=3u	PS=9u
M63	80	36	86	1	PENH	L=0.8u	W=2.2u	AD=5p	AS=2p	PD=9u	PS=2u
M64	81	84	80	1	PENH	L=0.8u	W=1.0u	AD=5p	AS=5p	PD=9u	PS=9u
M65	82	85	81	1	PENH	L=0.8u	W=2.2u	AD=5p	AS=5p	PD=9u	PS=9u
M66	83	82	1	1	PENH	L=0.8u	W=2.2u	AD=5p	AS=5p	PD=9u	PS=9u
M67	77	76	1	1	PENH	L=0.8u	W=2.2u	AD=5p	AS=5p	PD=9u	PS=9u
M68	76	37	1	1	PENH	L=0.8u	W=2.2u	AD=5p	AS=5p	PD=9u	PS=9u
M69	78	76	74	11	NENH	L=0.8u	W=1.0u	AD=5p	AS=5p	PD=9u	PS=9u
M70	45	78	36	11	NENH	L=0.8u	W=4.4u	AD=10p	AS=10p	PD=13u	PS=13u
M71	36	79	11	11	NENH	L=0.8u	W=2.2u	AD=5p	AS=5p	PD=9u	PS=9u
M72	79	76	11	11	NENH	L=0.8u	W=1.0u	AD=5p	AS=5p	PD=9u	PS=9u
M73	80	78	11	11	NENH	L=0.8u	W=1.0u	AD=5p	AS=5p	PD=9u	PS=9u
M74	44	80	11	11	NENH	L=0.8u	W=2.2u	AD=5p	AS=5p	PD=9u	PS=9u
M75	81	85	80	11	NENH	L=0.8u	W=2.2u	AD=5p	AS=5p	PD=9u	PS=9u

```
M76  82  85  11  11  NENH  L=0.8u  W=1.0u  AD=5p  AS=5p  PD=9u  PS=9u
M77  83  82  11  11  NENH  L=0.8u  W=2.2u  AD=5p  AS=5p  PD=9u  PS=9u

M84  84  43  11  11  NENH  L=0.8u  W=1.0u
M85  85  84  11  11  NENH  L=0.8u  W=1.0u

M96  84  43   1   1  PENH  L=0.8u  W=2.2u
M97  85  84   1   1  PENH  L=0.8u  W=2.2u
```

```
* -- capacitors
```

```
C1    50  30  22f
C2    52  51  220f
C3    53  52  22f
C4    55   2  60f
C5    30  67   2f
C6    58   1  27f
```

```
* -- node capacitances
```

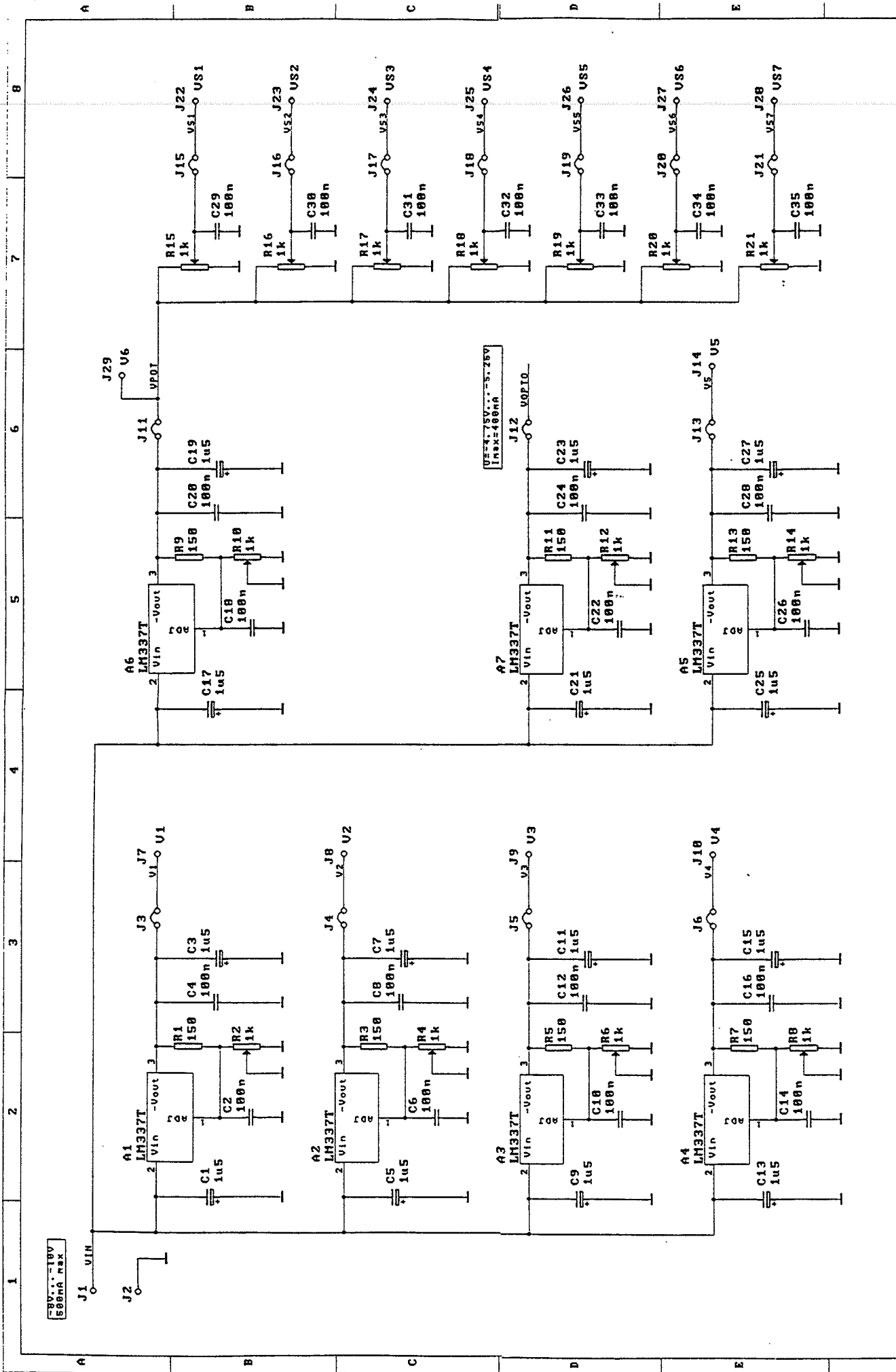
```
CN30  30   0  30f

CN80  80   0  10f
CN81  81   0  14f
CN82  82   0  27f (19f)
CN83  83   0
CN84  84   0
CN85  85   0
```

```
* -- coupling capacitances
```

```
.end
```

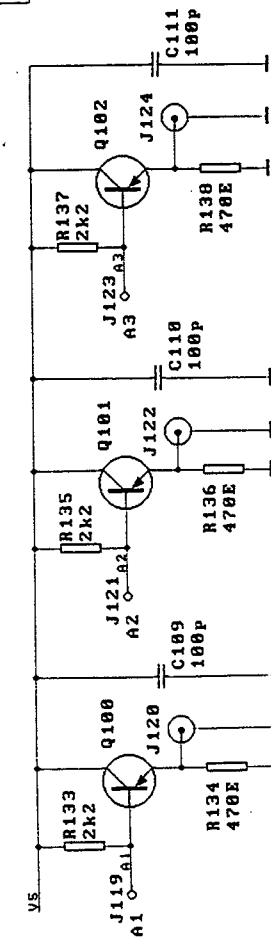
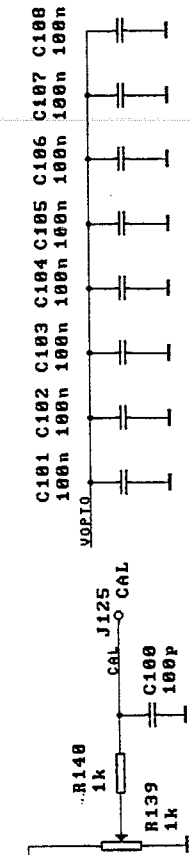
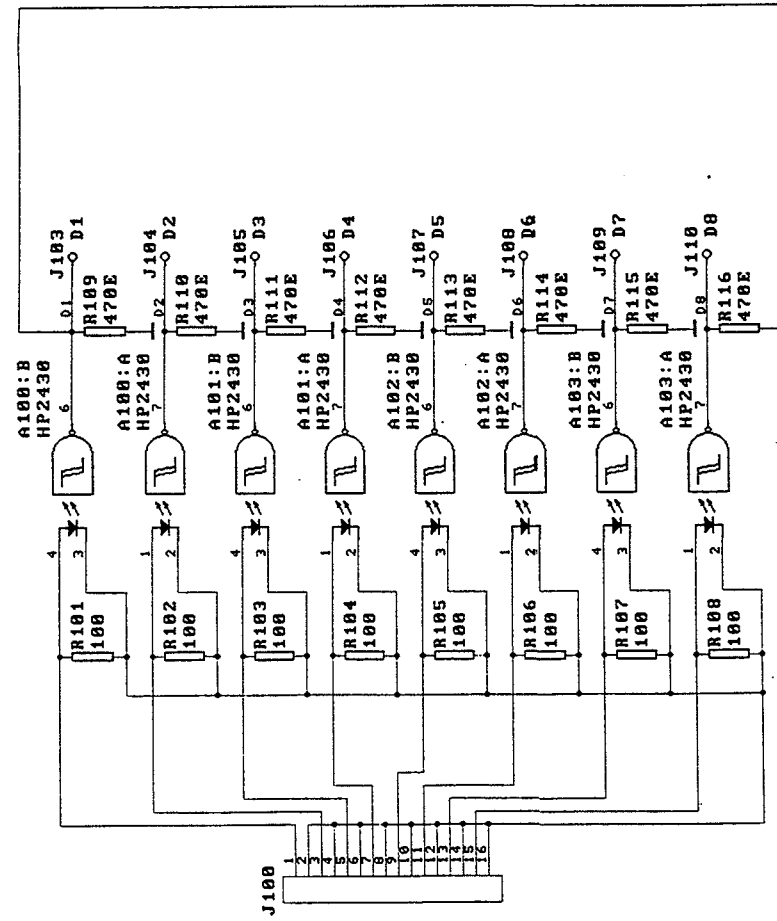
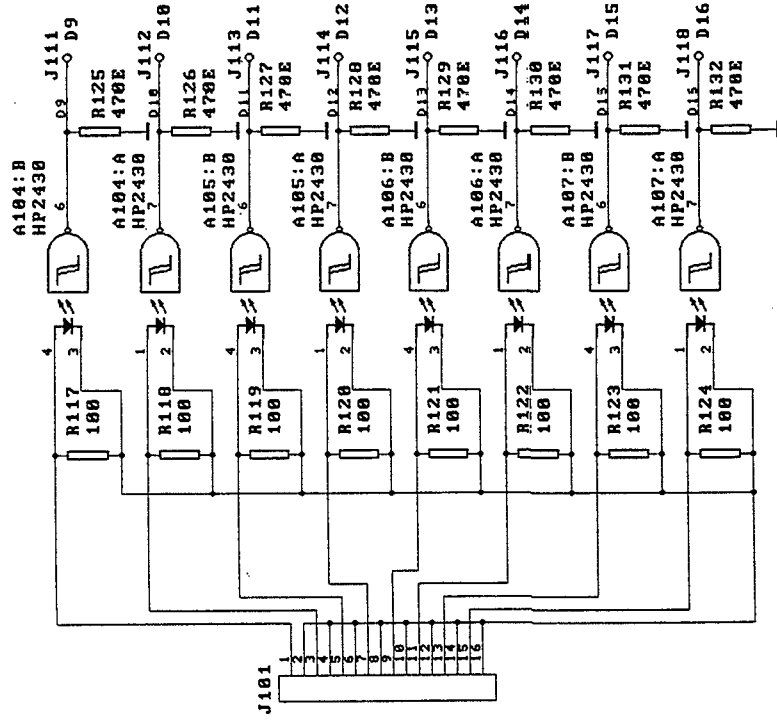
C Elektronikboard



Title: PS132B Speisung	
Size: A3	Revision: 1
Proj: 201601337	Sheet: 1 of 1
Drawn: PS132B/1	Checked: 8.11.07

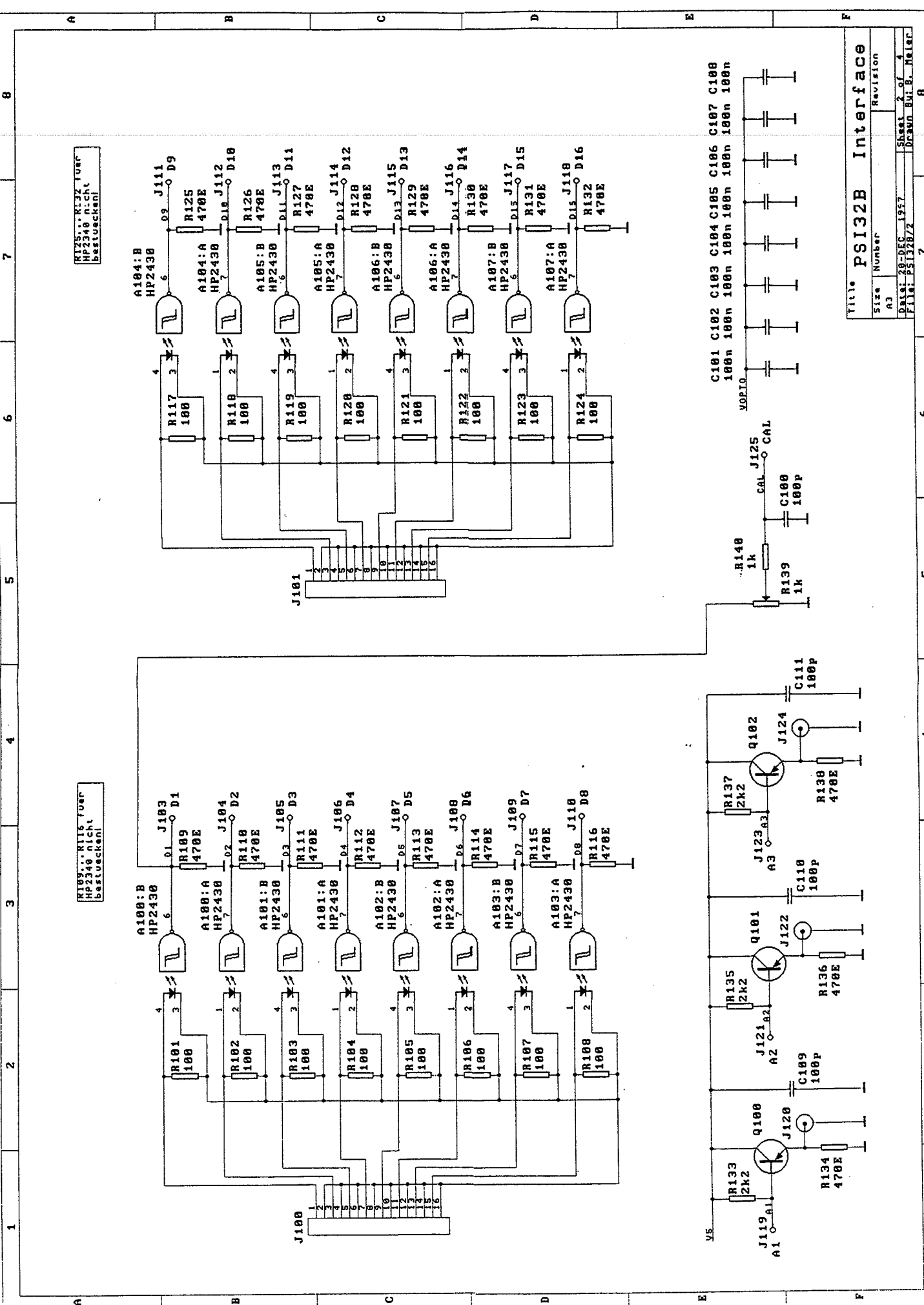
R125...R132 fuer
HP2340 nicht
bestuecken!

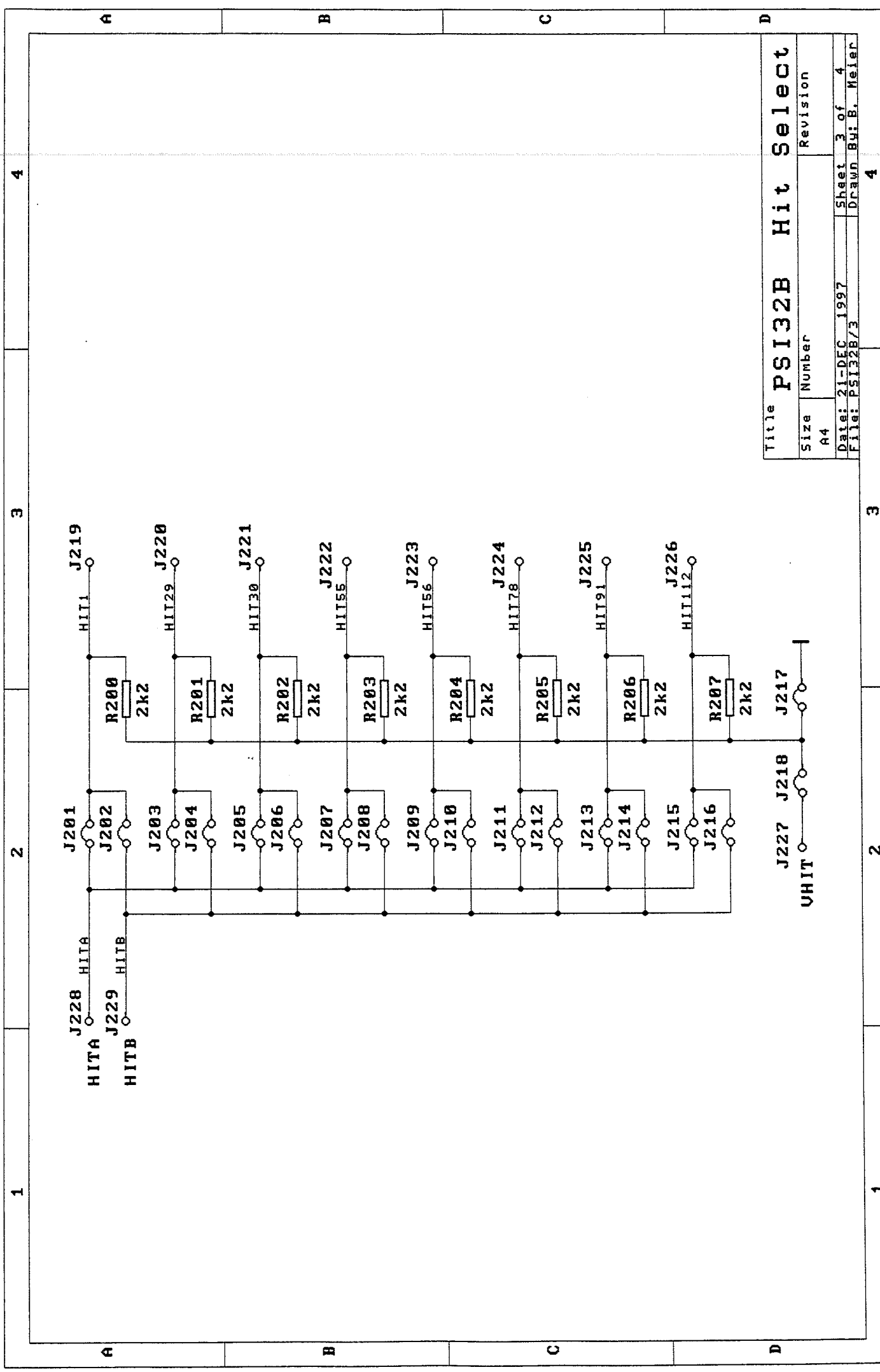
R109...R116 fuer
HP2340 nicht
bestuecken!



C101 C102 C103 C104 C105 C106 C107 C108
100n 100n 100n 100n 100n 100n 100n 100n

Title		PSI32B Interface	
Size	Number	Revision	
A3			
Date:	20-DEC-1957	Sheet	2 of 4
File:	PSI32B/2	Drawn	EM.B. Malar





Title		PSI32B Hit Select	
Size	Number	Revision	
A4		Date: 21-DEC-1997	Sheet 3 of 4
File: PSI32B/3		Drawn	By: B. Meier

4

3

2

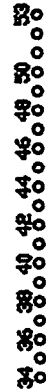
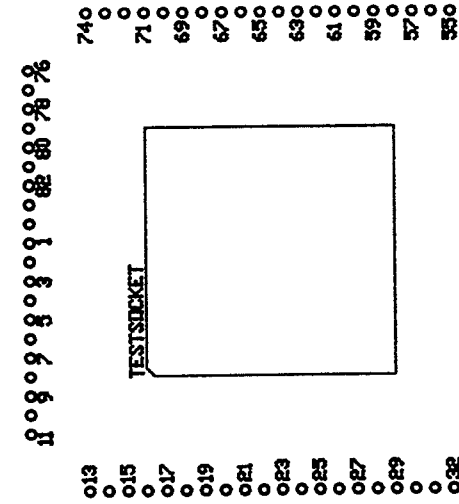
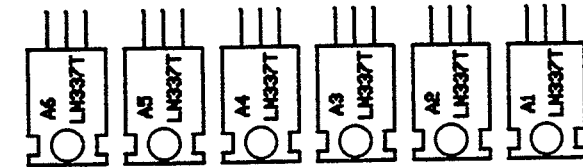
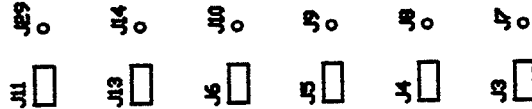
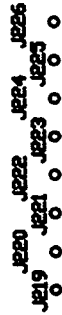
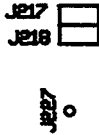
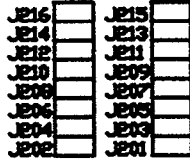
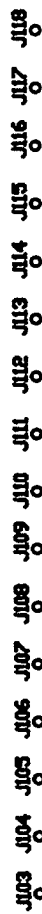
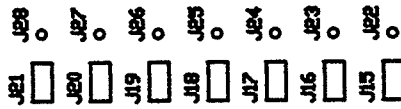
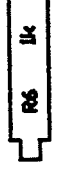
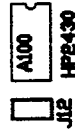
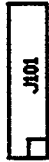
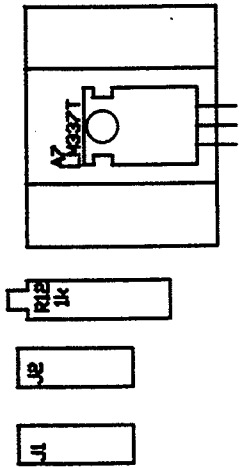
1

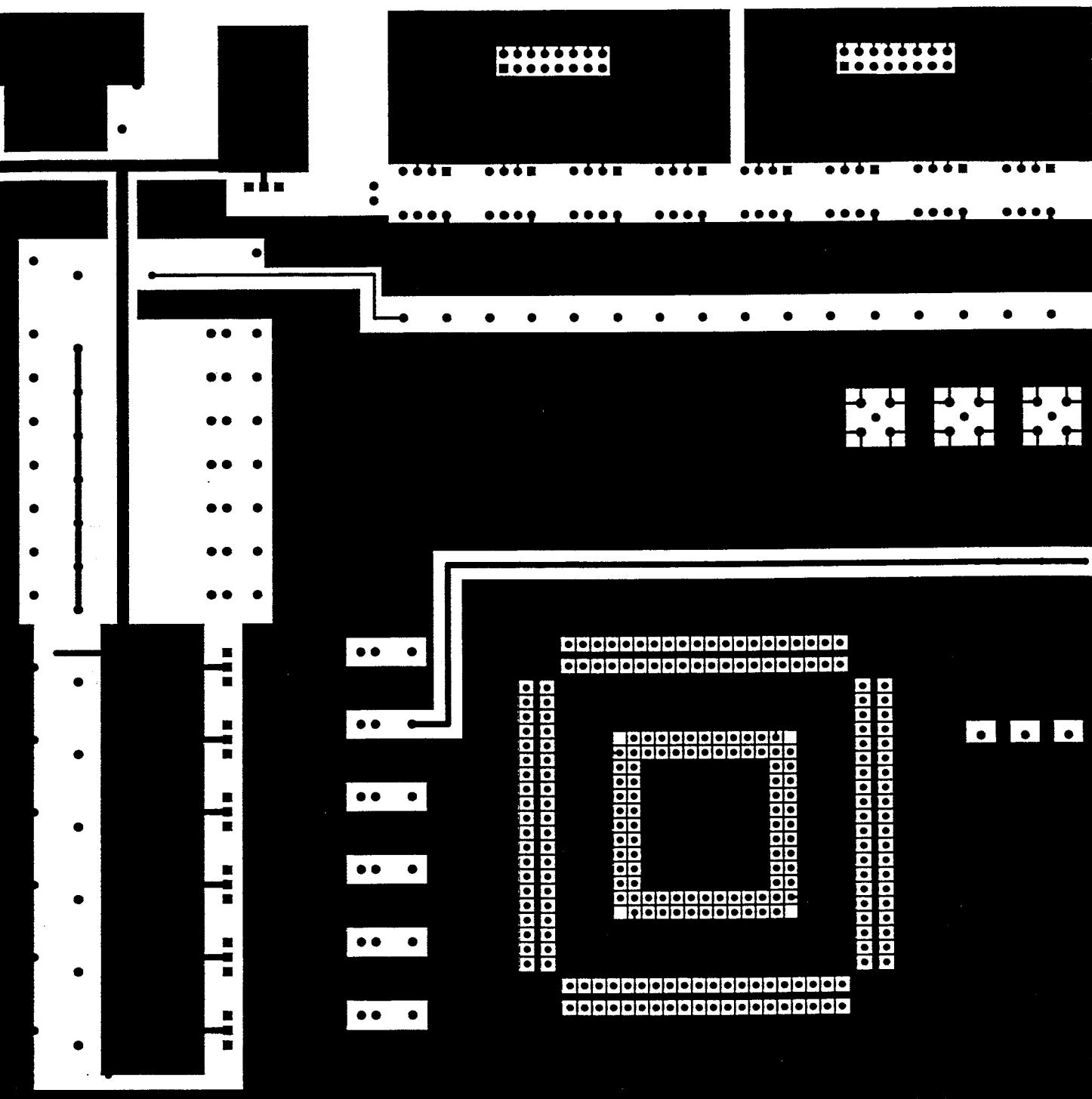
4

3

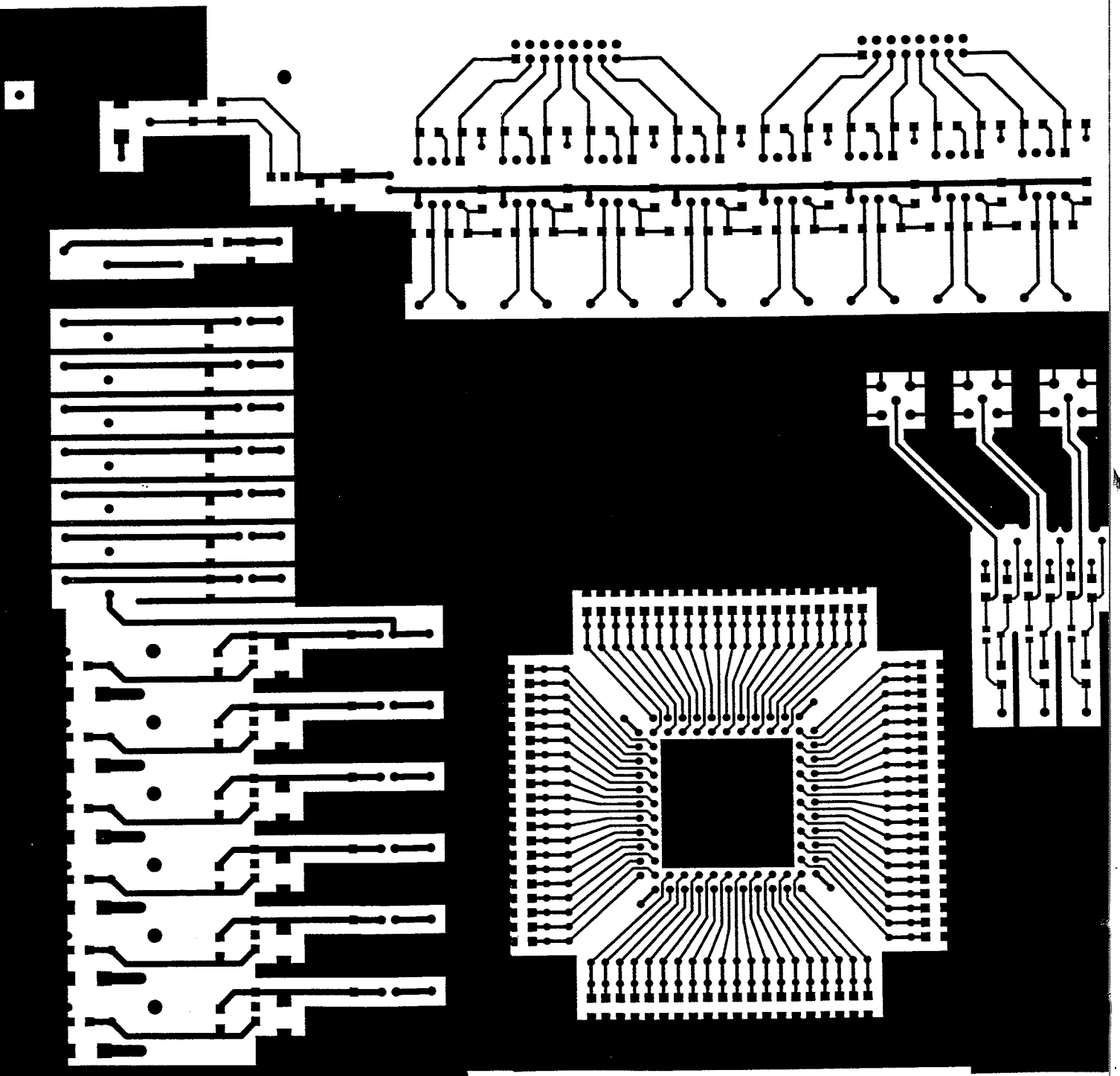
2

1





PSI32B Top Layer



PSI32B Bottom Layer