

P13-2001-177

В.А.Калинников, А.С.Коренченко, С.М.Коренченко,  
Н.А.Кучинский, В.В.Сидоркин, Н.В.Хомутов

**ПОЛНОФУНКЦИОНАЛЬНЫЙ  
32-КАНАЛЬНЫЙ МОДУЛЬ КАМАК  
КАК БАЗОВЫЙ ЭЛЕМЕНТ ДЛЯ ПОСТРОЕНИЯ  
СИСТЕМ СЧИТЫВАНИЯ ИНФОРМАЦИИ  
С АНОДНЫХ ПРОВОЛОЧЕК  
ПРОПОРЦИОНАЛЬНЫХ КАМЕР**

Направлено в журнал «Приборы и техника эксперимента»

Развитие микроселектронной элементной базы открывает новые возможности в создании разнообразных средств съема, передачи и обработки сигналов с физических детекторов. Прежде всего, это связано с переходом изготовителей микросхем к субмикронным проектным нормам, которые позволили разместить в одном корпусе законченные электронные устройства со сложным набором функций при одновременном существенном снижении энергопотребления. Благодаря этому функциональная плотность на единицу площади печатной платы значительно выросла, что, в свою очередь, расширило функциональный диапазон проектируемых устройств в рамках известных стандартов, в том числе и в стандарте КАМАК.

Дополнительные возможности появились с приходом программируемых логических микросхем, обладающие, помимо перечисленных качеств, способностью перепрограммироваться, будучи уже встроенными в систему [1]. Данное свойство позволяет оптимизировать законченное устройство, а также системы на их основе, с учетом особенностей конкретного применения.

Следует учесть и тот факт, что в настоящее время при создании физических установок часто используется модульный принцип построения отдельных узлов на базе унифицированного конструктива того или иного типа детектора. В частности, широкое применение получили газовые плоские 8-канальные трубки, работающие в пропорциональном режиме [2].

Все изложенное выше легло в основу определения требований к параметрам узлов и к самой конфигурации приемного тракта анодной электроники.

Как правило, данный тракт строится согласно структурной схеме, изображенной на рис.1. В его состав входят усилитель, формирователь, линия задержки и элемент памяти.

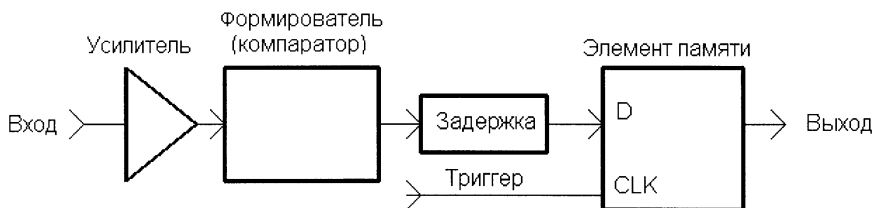


Рис.1. Упрощенная структурная схема тракта приема данных с анодных проволочек пропорциональных камер

Исходя же из современного уровня развития электронных компонентов, структурную схему тракта приема данных можно реализовать в конфигурации, изображенной на рис.2.

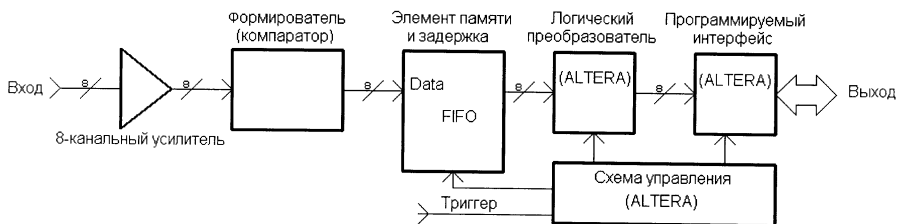


Рис.2. Дополненная и расширенная структурная схема тракта приема данных с анодных проволок пропорциональных камер

Как видно из сравнения рисунков, основные отличия заключаются в использовании восьмиканальной структуры приема данных, замене задержки и элемента памяти одним устройством FIFO (First Input First Output), а также добавлении устройств на основе программируемой логики (в данном случае указаны микросхемы фирмы ALTERA).

Переход к восьмиканальной структуре приемного тракта обусловлен в первую очередь появлением 8-входовой микросхемы усилителя Amp18.3, разработанной в НИИ ядерных проблем Белгосуниверситета [3], [4]. Данная микросхема оптимизирована для работы с проволочными детекторами.

Применение микросхем FIFO в качестве задержки и одновременно элемента памяти позволяет во многих случаях обойтись без использования кабелей (например, коаксиальных или на основе крученных пар), которые дороги и громоздки. Обычные же микросхемы памяти, а также элементы памяти на основе ПЗС-матриц, как правило, требуют дополнительных аппаратных затрат на организацию операций записи и чтения, что, в конечном итоге, приводит к усложнению и удорожанию разрабатываемых на их основе устройств. В отличие от них, микросхемы FIFO содержат в себе все необходимые элементы управления, и, кроме того, благодаря своей структуре, они идеально подходят для работы с последовательными потоками данных.

Включение программируемых логических микросхем в структурную схему позволяет, помимо задач управления, сравнительно легко решать проблему сопряжения тракта с различными типами интерфейсов.

Таким образом, тракт приема данных, реализованный согласно структурной схеме, изображенной на рис.2, обладает в достаточной степени универсальным набором свойств, чтобы рассматривать его в качестве унифицированного элемента, пригодного для создания на его основе многоканальных систем приема данных. При этом следует отметить, что он может выступать и как самостоятельная системообразующая единица, реализованная, например, в виде отдельной платы, и как структурный элемент для построения системообразующих блоков (модулей).

Примером использования рассмотренной выше расширенной и дополненной схемы тракта приема данных в качестве структурного элемента явилось создание на ее базе 32-канального одношириного модуля КАМАК (АДД-32). Основу данного модуля составили четыре 8-канальных тракта приема данных. Благодаря небольшим размерам используемых компонент при разводке схемы удалось выделить достаточно места для земляных шин, что позволило применить двухслойную технологию изготовления печатных плат. Внешний вид платы показан на рис.3.

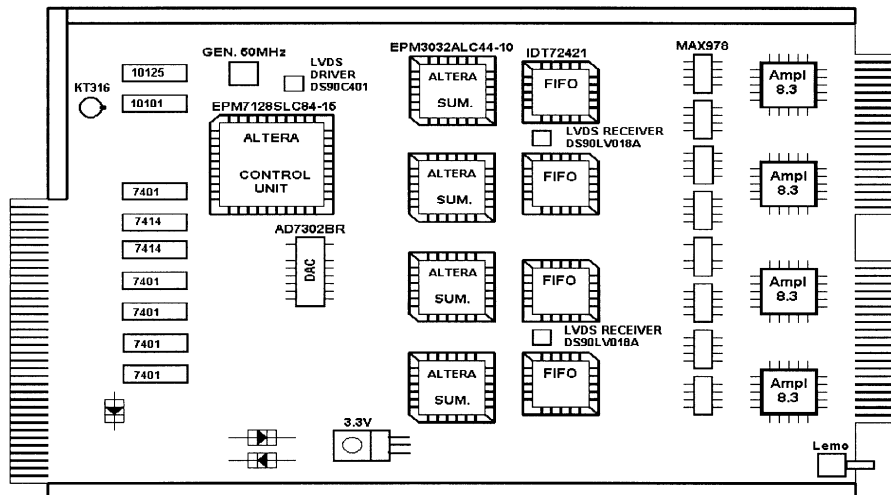


Рис.3. Схематическое изображение расположения элементов на плате модуля АДД-32

Ниже приведем краткое описание работы модуля на основе его структурной схемы, показанной на рис.4.

Как следует из рис.4, сигналы с камер поступают на два 16-контактных разъема блока АДД-32. Далее они усиливаются восьмиканальными усилителями *Ampl8.3* (4шт.). Усиленные сигналы поступают на четырехходовые компараторы *MAX978* (8шт.). Порог для компараторов вырабатывается двоянным цифроаналоговым преобразователем (ЦАП) типа *AD7302*. Величина порога задается программно. Сигналы, преобразованные компараторами к уровню TTL, поступают на входы микросхем *FIFO* типа *IDT72421* (4шт. по 9 входов каждая, один из которых не используется). По передним фронтам 50-ти мегагерцовых тактовых импульсов, поступающих от генератора, происходит запись сигналов данных во внутренний массив памяти *FIFO*, организованный по схеме *9x64*. Начало подачи тактовых

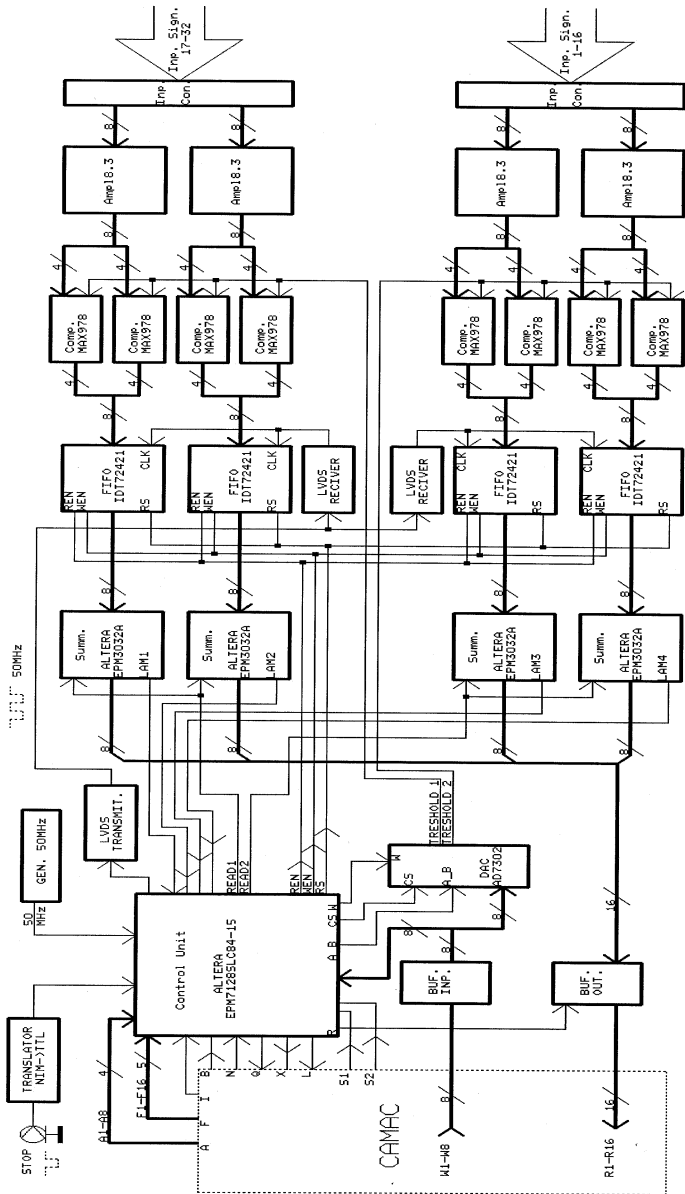


Рис.4. Структурная схема АДД-32

импульсов, а следовательно, и записи данных в массив, задается по команде с магистрали КАМАК. Сигнал "TRIGGER" останавливает процесс записи данных. После этого выполняется логическое суммирование по заданному количеству ячеек памяти. Алгоритм суммирования и само суммирование реализуется программируемыми микросхемами фирмы ALTERA типа EPM3032A, в которые данные из FIFO автоматически пересылаются с приходом сигнала "TRIGGER". После окончания процедуры логического суммирования и при наличии полезной информации сумматоры посылают сигналы запроса LAM1+LAM4 в управляющую схему, выполненную также на программируемой микросхеме фирмы ALTERA типа EPM7128LC84-15, в которой на основе данных сигналов вырабатывается общий для всего модуля сигнал LAM. Выходы сумматоров, имеющие Z-состояние, подключены к 16-разрядной шине, посредством которой данные через буферные схемы считываются в контроллер КАМАК. Чтение производится за два цикла обращения к модулю. Передатчик и приемники LVDS (Low Voltage Differential Signaling) используются для транспортировки тактовых импульсов частотой 50 МГц в пределах платы для уменьшения помех.

#### Описание работы отдельных узлов и элементов модуля АДД-32

В качестве усилительного элемента, как указывалось ранее, используется восьмиканальный токовый усилитель Ampl8.3.

#### Характеристики токового усилителя Ampl8.3

Коэффициент преобразования, мВ/мкА	- 140
(на плечо)	- 70
Шумовой ток I(noise) при Свх. детектора:	
C=0, r.m.s., нА	- <=56
C=60pF, r.m.s., нА	- <=110
Длительность переднего фронта выходного сигнала, нс	- 8
Полярность входного сигнала	- +/-
Входное сопротивление, Ом	- <=50
Защита от положительных и отрицательных выбросов	
напряжения на входе	- Да
Количество каналов	- 8
Динамический диапазон, дБ	- 60
Дифференциальный выход	- Да
Выходная нагрузка, Ом	- >=1000
Напряжения питания, В	- +/-5
Потребляемая мощность, мВт/канал	- 75
Тип корпуса: пластмассовый 48-выходной 4222.48 ГОСТ17476-88	
Рамка СКФН 74.394.011-01 4В (ГУ 42н0.20х36д).	

На рис.5 и рис.6 представлены графики, отображающие зависимость выходного напряжения усилителя от входного тока для инверсного и прямого выходов соответственно.

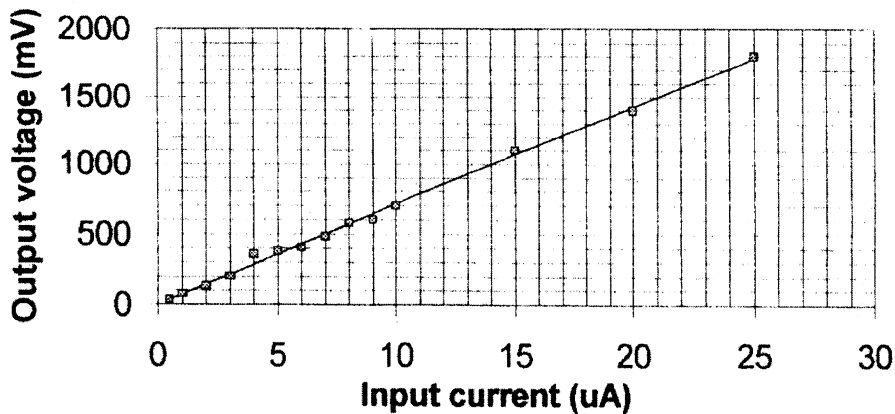


Рис. 5. Динамический диапазон  $\text{Ampl8.3}$   
 ( $R_n = 1\text{k}\Omega$ , инверсный выход) [3]

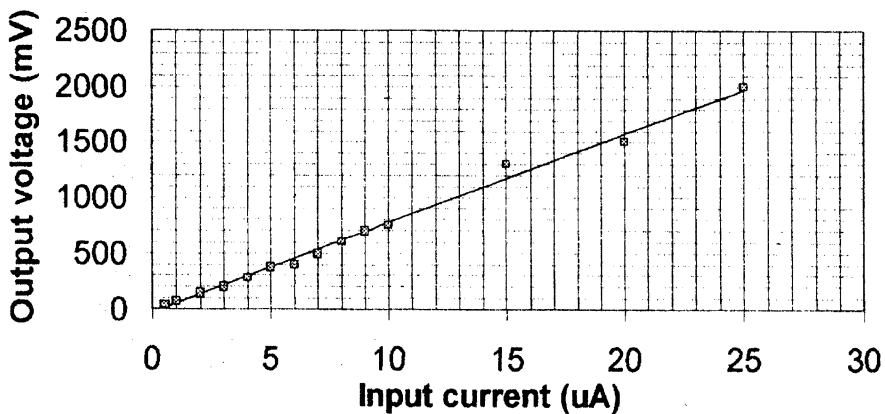


Рис. 6. Динамический диапазон  $\text{Ampl8.3}$   
 ( $R_n = 1\text{k}\Omega$ , прямой выход) [3]

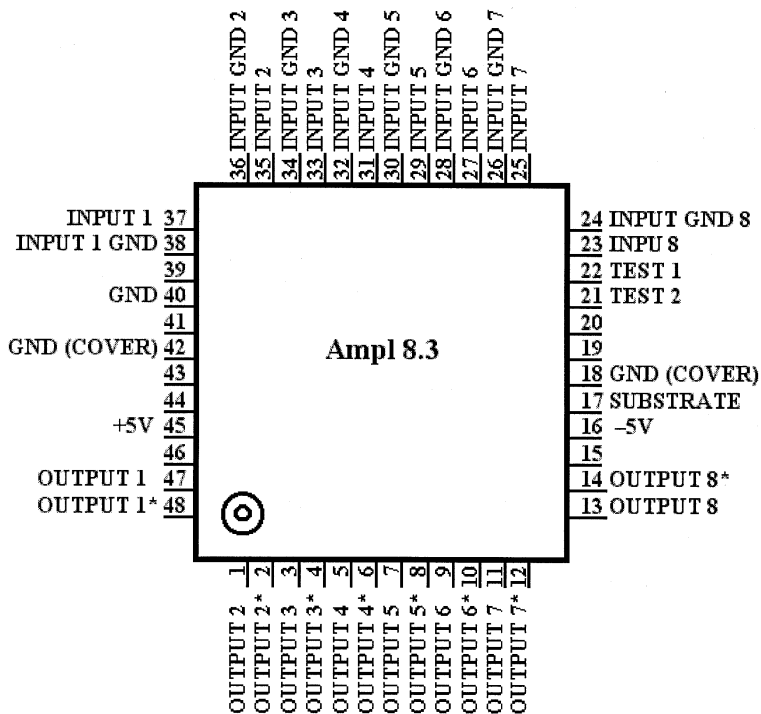


Рис. 7. Нумерация и наименование выводов усилителя Amp18.3

На рис.8 условно представлена схема одного канала блока АДД-32, в состав которого вошли усилитель Amp18.3, компаратор MAX978 и входная часть микросхемы FIFO IDT72421.

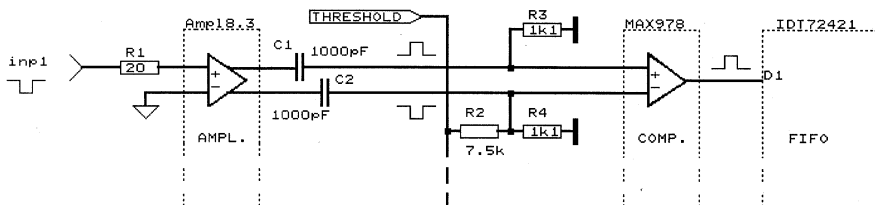


Рис. 8. Схема одного канала входной части блока АДД-32



Если работа схем усилителя и компаратора вполне понятна из рис.8, то работа микросхемы FIFO требует некоторого пояснения. На рис.9 представлена внутренняя структура микросхемы FIFO IDT72421.

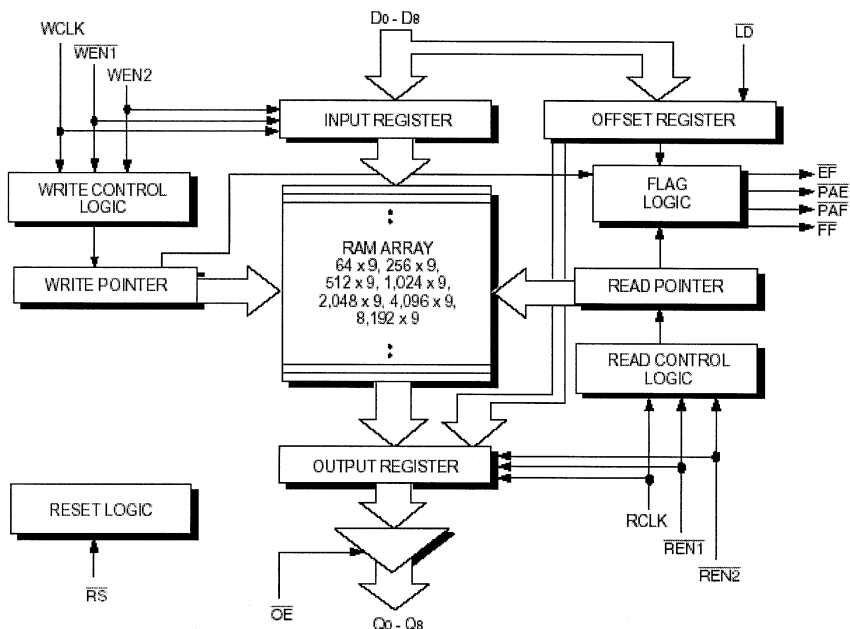


Рис.9. Блок-схема внутренней структуры микросхемы FIFO IDT72421

IDT72421 имеет 9-битные входной и выходной порты, управляемые сигналами WCLK, WEN1\*, WEN2 (в дальнейшем просто WEN) и RCLK, REN1\*, REN2\* (в дальнейшем просто REN) соответственно. Сигнал WEN разрешает запись во входной порт по положительному фронту WCLK, при этом данные переписываются в текущую ячейку массива памяти FIFO, после чего указатель записи (WRITE POINTER) сдвигается на один шаг. Сигнал REN разрешает чтение - содержимое девятиразрядной ячейки FIFO, на которую в данный момент установлен указатель чтения (READ POINTER), переписывается в выходной порт и при разрешающем сигнале OE\* появляется на выходах Q1-Q9. Указатель чтения при этом сдвигается на один шаг. Выводы WCLK и RCLK можно объединить, тогда операции записи и чтения будут производиться одновременно. Сигнал RS\* служит для сброса FIFO - при его подаче, указатели записи и чтения устанавливаются на первую ячейку FIFO.

Система на основе FIFO работает следующим образом - первоначально, после подачи сигнала RS\* (напомним, что при этом указатели чтения и записи устанавливаются на первую ячейку FIFO) программным путем производится сдвиг указателя записи на количество ячеек, численно равных задержке триггера, выраженной в тактах генератора. Например, если задержка триггера равна 300нс, то при рабочей частоте в 50 МГц ( $T=20$ нс) указатель записи надо сдвинуть относительно указателя чтения на 15 ячеек. Сдвиг указателя записи осуществляется подачей заданного числа импульсов на WCLK при разрешающем уровне на WEN (если входы WCLK и RCLK объединены - такое состояние обозначим как CLK - то в этом случае на входе REN надо дополнительно установить запрещающий уровень, чтобы предотвратить сдвиг указателя чтения). Теперь если подать на вход CLK тактовую частоту от генератора при разрешающих сигналах REN и WEN, то данные со входа FIFO будут непрерывно записываться в ячейки, сдвигаться и спустя 15 тактов (300нс) появляться на выходе. Приход сигнала "TRIGGER" прекращает подачу тактовых сигналов. В этот момент на выходе FIFO находится полезная информация. Подавая командным образом тактовые импульсы на вход CLK, можно прочитать содержимое FIFO на выбранную глубину. На рис.10 условно представлено содержимое массива памяти для двух микросхем FIFO (в данном случае используются только 8 входов каждой микросхемы).

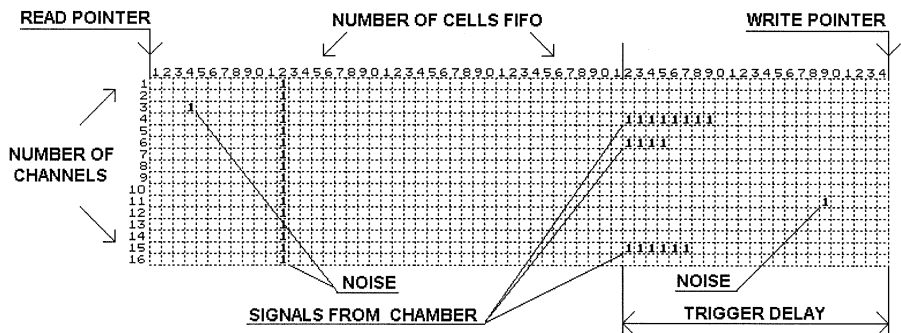


Рис.10. Схематическое представление содержимого памяти FIFO

На рис.10 отображена ситуация когда читается весь массив от начала до конца, в силу чего данные с камеры находятся не напротив указателя чтения, а в глубине массива. Если бы указатель чтения был установлен в соответствии с задержкой прихода триггера, то схематическое представление содержимого памяти FIFO выглядело так, как это показано на рис.11. Из рисунка видно, что полезная информация находится в сравнительно узком адресном пространстве,

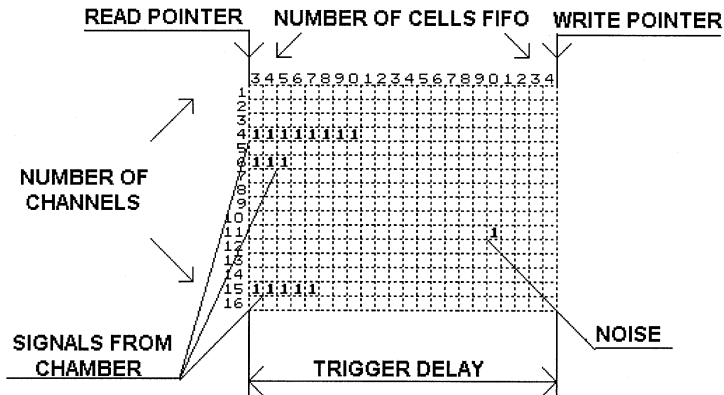


Рис.11. Схематическое представление содержимого памяти FIFO при условии того, что указатель чтения установлен в соответствии с задержкой прихода триггера

граница которого, с одной стороны, определяется задержкой триггера, а с другой - максимальной длительностью сигнала с камеры. В нашем случае длительность сигнала, как правило, не превышает 160-170нс, что соответствует примерно восьми ячейкам. Для определения номера сработавшей проволоочки для большинства событий достаточно было бы прочитать содержимое только первых ячеек, но по ряду причин возникают ситуации, когда данные записываются с некоторым разбросом (см. рис.12).

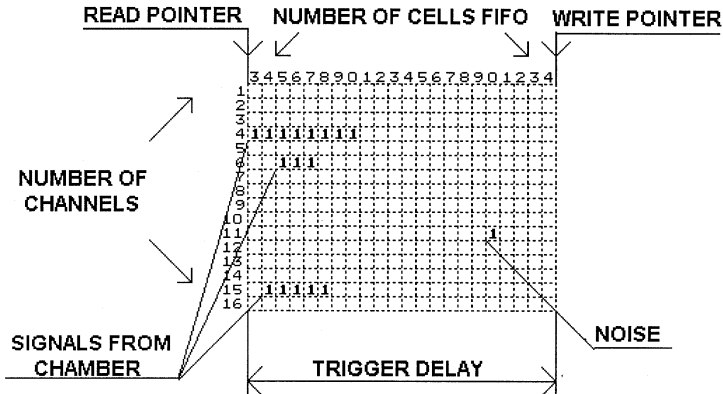


Рис.12. Разброс данных относительно момента прихода триггера

Поэтому в системе применяется логическое суммирование по нескольким соседним ячейкам, расположенным в одной строке – так называемом временном окне. Размер окна задается программно.

Логический сумматор выполнен на микросхеме с программируемой логикой фирмы ALTERA EPM3032A серии 3000A. Это позволяет выбирать алгоритм суммирования с учетом особенностей поведения системы. Выходы логического сумматора имеют Z-состояние, поэтому их можно объединять в шину, в данном случае шестнадцатиразрядную (см. рис.4). В каждом сумматоре, при наличии данных, вырабатывается сигнал запроса (LAM1-LAM4 соответственно, см. рис.5), который подается в управляющую схему. Как уже отмечалось ранее, данные сигналы используются для формирования общего сигнала LAM. Существует два, определяемых программно, варианта формирования сигнала LAM – первый по сигналу триггера, второй – при наличии данных в сумматоре. Первый вариант используется в основном для настройки и тестирования блоков АДД-32, второй вариант применяется при чтении данных для пропуска блоков, не содержащих информации.

На рис.13 представлена упрощенная структурная схема устройства управления блоком АДД-32.

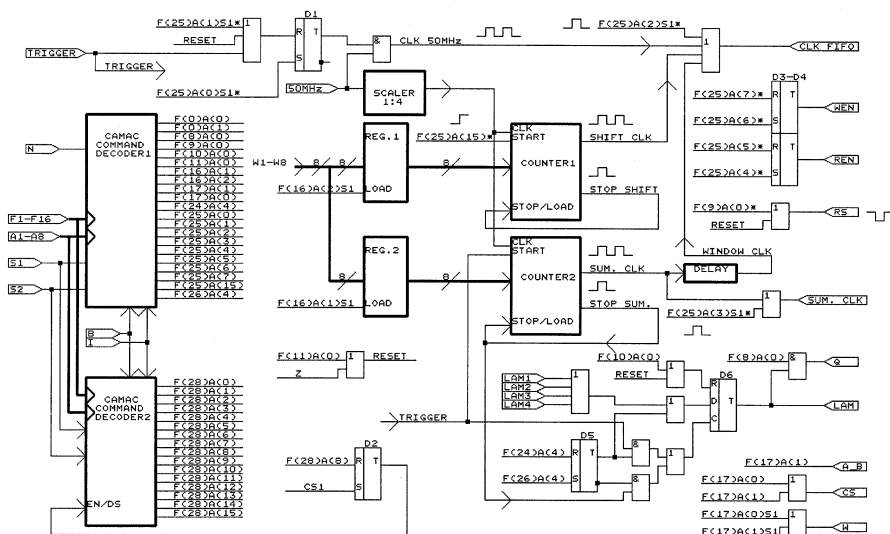


Рис.13. Упрощенная структурная схема устройства управления, реализованная на программируемой логической микросхеме EPM7128SLC84-15 фирмы ALTERA

В состав устройства управления входят интерфейс, обеспечивающий взаимодействие блока с шиной КАМАК, схема управления микросхемами FIFO и схема управление 8-битным двухканальным ЦАП типа AD7302.

В регистре REG.1 хранится код сдвига указателя записи микросхемы FIFO (этот код является цифровым эквивалентом задержки триггера, выраженном в периодах тактового генератора). Данный код переписывается в схему сдвига указателя записи, которая по команде F(25)A(15) выдает на вход CLK микросхемы FIFO заданное число импульсов. При этом WEN должен быть установлен в разрешающее состояние, а REN - в запрещающее.

В REG.2 хранится код временного окна, определяющий число ячеек памяти, по которым будет производиться логическое суммирование. Схема выдает заданное количество импульсов с приходом сигнала "TRIGGER". Если код равен нулю, то логическое суммирование не производится.

### Система команд блока АДД-32

Все команды системы делятся на два типа - одномодульные и многомодульные. (На рис.13 те одномодульные команды, которые имеют аналоги в составе многомодульных команд, помечены символом "\*"). Главное различие между ними заключается в том, что для выполнения одномодульных команд требуется декодирование номера станции, т.е. они являются обычными стандартными командами КАМАК. При использовании многомодульных команд декодирование номера станции не производится. Таким образом, многомодульные команды выполняются одновременно во всех блоках АДД-32. Введение подобных команд потребовалось для ускорения работы всей системы в целом. На рис.14. представлена блок-схема переходов системы между одномодульным и многомодульным режимами работы. По команде CS1 система переходит в многомодульный командный режим. Возврат из него производится по многомодульной команде F(28)A(8).

### Список команд КАМАК блока АДД-32

Z - Общий сброс:

- вход для сигнала "TRIGGER" заблокирован;
- триггер LAM сбрасывается в 0;
- сброс блокировки LAM. Запрет установки LAM по сигналу "TRIGGER";
- триггер привязки к фронту генератора переходит в состояние "Запрет подачи синхроимпульсов" на входы WCLK и RCLK микросхем FIFO;
- ЦАП управления порогом компараторов переходит в состояние с максимальным выходным значением порога;
- сброс микросхем FIFO;

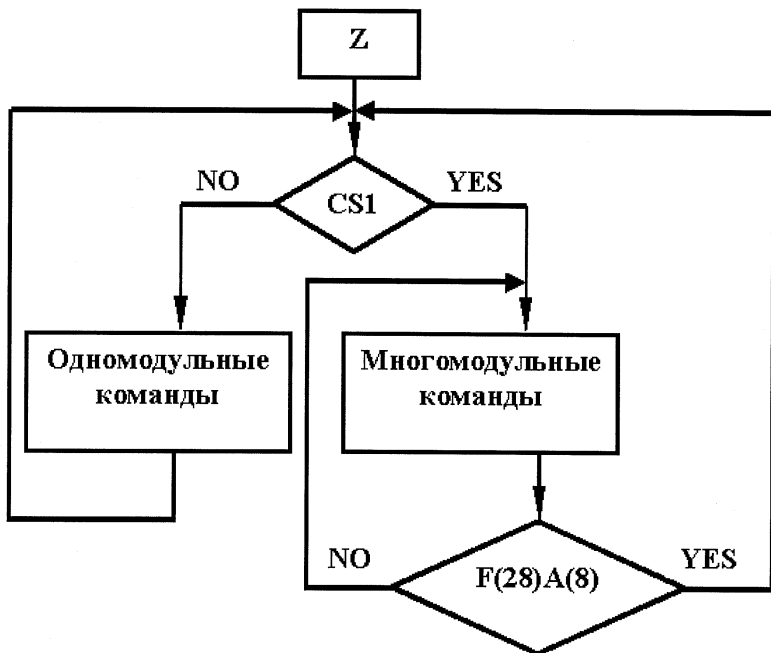


Рис.14. Блок-схема переходов модуля АД-32 между режимами выполнения одномодульных и многомодульных команд

- перевод всех схем с Z-выходом в высокоимпендансное состояние;
- устанавливается состояние запрета декодирования общекрейтной команды;
- регистр кода временного окна устанавливается в неопределенное состояние. При инициализации блока его необходимо установить. Установка значения "0" запрещает аппаратное суммирование. Установка в "1" и более разрешает аппаратное суммирование, но в связи с тем, что суммирование производится по схеме "2 и больше", для правильной работы сумматора необходимо загрузить код больше или равный 2;
- регистр кода задержки триггера устанавливается в неопределенное состояние. При инициализации блока его необходимо установить.

CS1 - переключение в многоблочный режим. Возврат из него по многоблочной команде F(28)A(8)S1.

F(0)A(0) - чтение первого слова данных D1-D16 по линиям R1-R16.  
Q=1.

- F(0)A(1) - чтение второго слова данных D17-D32 по линиям R1-R16.  
Q=1.
- F(2)A(0) - чтение первого слова данных D1-D16 по линиям R1-R16.  
Q=1. Сброс триггеров сумматора для данных D1-D16 по  
F(2)A(0)S2.
- F(2)A(1) - чтение второго слова данных D17-D32 по линиям R1-R16.  
Q=1. Сброс триггеров сумматора для данных D17-D32 по  
F(2)A(1)S2.
- F(8)A(0) - проверка LAM. Q=LAM.
- F(9)A(0) - по этой команде на вход RS микросхем FIFO подается импульс отрицательной полярности. Для сброса FIFO необходимо подать уровень "Н" на входы REN и WEN на момент подачи команды F(9)A(0). Это сделано в целях контроля прохождения команд. Данная команда аналогична команде F(28)A(9)S2.
- F(9)A(1) - сброс триггеров сумматора (D1-D32).
- F(9)A(2) - разблокировка триггеров формирователя для разрешения прохождения сигналов "TRIGGER".
- F(10)A(0) - сброс LAM.
- F(11)A(0) - сброс выбранного блока АДД-32, аналогичный команде Z.
- F(11)A(1) - сброс LAM, сумматоров, триггеров формирователей для сигнала "TRIGGER". Триггер привязки к фронту генератора переходит в состояние "Запрет подачи синхроимпульсов" на входы WCLK и RCLK микросхем FIFO, сбрасывается схема перезагрузки FIFO. Содержимое регистра кода порога, регистра задержки и регистра временного окна останутся без изменения.
- F(16)A(1)S1 - запись кода временного окна в "Регистр кода временного окна". (W1-W8), Q=1. Если код равен 0, то LAM по данным не выставляется (запрещен). При коде не равном 0, LAM по данным разрешен, но так как в сумматоре данные суммируются по алгоритму двух и более сработавших соседних ячеек, для выставления LAM в регистр кода временного окна надо записать число (в позиционном коде) равное или большее 2. Суммирование данных занимает время равное  $T_{sum} = (КОД * 160ns) + 160ns$ .
- F(16)A(2)S1 - запись кода задержки триггера в "Регистр кода задержки триггера", (W1-W8), Q=1.
- F(17)A(0)S1 - запись кода порога компараторов в "Первый регистр кода порога". Сброс производится по RESET или перезаписью содержимого по F(17)A(0)S1. (W1-W8), Q=1.
- F(17)A(1)S1 - запись кода порога компараторов во "Второй регистр кода порога". Сброс по RESET или перезаписью содержимого по F(17)A(1)S1. (W1-W8), Q=1.
- F(18)A(1) - проверка состояний статусных регистров по Q.
- W3=0 W2=0 W1=0 - проверка самоблокирующегося входа "TRIGGER".  
Q=1 - заблокировано;
- W3=0 W2=0 W1=1 - проверка LAM.  
Q=LAM;

W3=0 W2=1 W1=0 - проверка состояния генератора 50 МГц.  
Q=1 - выключен;  
W3=0 W2=1 W1=1 - проверка режима работы блоков - MULTI/ALONE.  
Q=0 - ALONE;  
W3=1 W2=0 W1=0 - проверка блокировки входа (Lemo) для сигнала  
"TRIGGER".  
Q=1 - заблокирован;  
W3=1 W2=0 W1=1 - проверка разрешения LAM от сигнала  
"TRIGGER".  
Q=1 - разрешен;

F(24)A(0) - блокировка LAM.

F(24)A(2) - блокировка приема внешних сигналов "TRIGGER".

F(24)A(4) - блокировка LAM-источника, срабатывающего от внешних сигналов "TRIGGER".

F(25)A(0)S1 = [F(28)A(0)S1] - программный старт для выбранного блока FIFO. На входы WCLK и RCLK микросхем FIFO начинают поступать импульсы от кварцевого генератора. Предварительно, используя команды F(25)A(2), код задержки триггера должен быть переписан в микросхемы FIFO.

F(25)A(1)S1 = [F(28)A(1)S1] - программный стоп ("TRIGGER"), аналогичен аппаратному триггеру. Прекращается подача тактовых импульсов в 50 МГц на входы CLK микросхем FIFO.

F(25)A(2)S1 = [F(28)A(2)S1] - программный CLK для FIFO. На каждую команду вырабатывается один тактовый импульс, подаваемый на CLK-вход микросхемы FIFO.

F(25)A(3)S1 = [F(28)A(3)S1] - перезапись данных из выходного регистра FIFO в сумматор. Содержимое выходного регистра FIFO не меняется.

F(25)A(4)S1 = [F(28)A(4)S1] - установка входа REN микросхемы FIFO в состояние "HIGH".

F(25)A(5)S1 = [F(28)A(5)S1] - установка входа REN микросхемы FIFO в состояние "LOW".

F(25)A(6)S1 = [F(28)A(6)S1] - установка входа WEN микросхемы FIFO в состояние "HIGH".

F(25)A(7)S1 = [F(28)A(7)S1] - установка входа WEN микросхемы FIFO в состояние "LOW".

F(25)A(15) - загрузка кода задержки в микросхему FIFO в одном блоке. Перед выполнением данной команды, микросхема FIFO должна быть сброшена (F(25)A(10)S2), а потенциал на входе WEN установлен в "LOW" (REN установлен в "HIGH"). После выполнения данной команды и перед подачей команды F(25)A(0)S1 (программный старт), WEN и REN должны быть установлены в "LOW". Время загрузки кода равно  $T_{load} = (\text{КОД} * 160\text{нс}) + 160\text{нс}$ .

F(26)A(0) - снятие блокировки LAM.

F(26)A(2) - снятие блокировки приема внешних сигналов "TRIGGER".

F(26)A(4) - снятие блокировки с LAM-источника, срабатывающего от внешних сигналов "TRIGGER".



*Общекрейтные нестандартные команды КАМАК  
(Выполняются без декодирования номера станции N)*

- F(28)A(0)S1 - программный старт для всех блоков FIFO в данном крейте. На входы WCLK и RCLK микросхем FIFO начинают поступать импульсы от кварцевого генератора. Предварительно, используя команду F(28)A(2), код задержки триггера должен быть переписан в FIFO (или F(25)A(2) для каждого блока в отдельности, в частности, если есть необходимость загрузить разные задержки).
- F(28)A(1)S1 - программный стоп ("TRIGGER"), аналогичен аппаратному триггеру. Прекращается подача тактовых импульсов в 50 МГц на входы CLK микросхем FIFO во всех блоках крейта.
- F(28)A(2)S1 - программный CLK для FIFO. Выдается один тактовый сигнал во всех блоках крейта.
- F(28)A(3)S1 - перезапись данных из выходного регистра FIFO в сумматор во всех блоках крейта. Содержимое выходного регистра FIFO не меняется.
- F(28)A(4)S1 - установка входа REN микросхемы FIFO в состояние "HIGH" во всех блоках крейта.
- F(28)A(5)S1 - установка входа REN микросхемы FIFO в состояние "LOW" во всех блоках крейта.
- F(28)A(6)S1 - установка входа WEN микросхемы FIFO в состояние "HIGH" во всех блоках крейта.
- F(28)A(7)S1 - установка входа WEN микросхемы FIFO в состояние "LOW" во всех блоках крейта.
- F(28)A(8)S1 - переключение в режим ALONE (одномодульные команды только).
- F(28)A(9)S2 - по этой команде на вход RS микросхем FIFO подается импульс отрицательной полярности. Для сброса FIFO необходимо подать уровень "Н" на входы REN и WEN до момента подачи команды F(28)A(9). Это сделано в целях контроля прохождения команд. Эта команда аналогична команде F(9)A(0), но только все действия происходят одновременно во всех блоках FIFO.
- F(28)A(10) - подается уровень "Н" на входы REN и WEN микросхем FIFO, а по команде F(28)A(10)S2 на вход RS (RESET) микросхем FIFO подается отрицательный импульс. Таким образом, сброс микросхем FIFO осуществляется одной командой. Кроме того, этой командой сбрасывается LAM.
- F(28)A(11) - сброс самоблокирующегося входа для сигнала "TRIGGER", сброс REN в "LOW" и по F(28)A(11)S2 производится старт 50 МГц.
- F(28)A(12) - блокировка входов сигнала "TRIGGER" во всех блоках одновременно (аналогична команде F(24)A(2)).
- F(28)A(13) - разблокировка входов сигнала "TRIGGER" во всех блоках одновременно (аналогична команде F(26)A(2)).
- F(28)A(14) - разблокирование самоблокирующегося формирователя импульса "TRIGGER". После этой команды, если вход сигнала "TRIGGER" не заблокирован по F(24)A(2), новый сигнал "TRIGGER"

может поступать на вход самоблокирующегося формирователя и вызывать его срабатывание с последующей самоблокировкой. Команда аналогична команде F(9)A(2), но только выполняется во всех блоках одновременно.

F(28)A(15)S2 - загрузка кода задержки в микросхему FIFO во всех блоках одновременно. Перед выполнением данной команды микросхема FIFO должна быть сброшена (команда F(28)A(10)S2), REN установлен в "HIGH". Команда F(28)A(15) сбрасывает WEN в "LOW". После выполнения данной команды и перед подачей команды F(28)A(0)S1 (программный старт), REN должен быть установлен в "LOW". Время загрузки кода равно  $T_{load} = (\text{КОД} \cdot 160\text{нс}) + 160\text{нс}$ .

#### Применение

На базе модуля АДД-32 была разработана система съема информации с анодных проволочек цилиндрических пропорциональных камер, используемых в эксперименте по поиску редких распадов пионов РИВЕТА (PSI, Швейцария) [5]. Вся система разместилась в одном крейте (см. рис.15, модуль АДД-32 обозначен на рисунке как "F32").

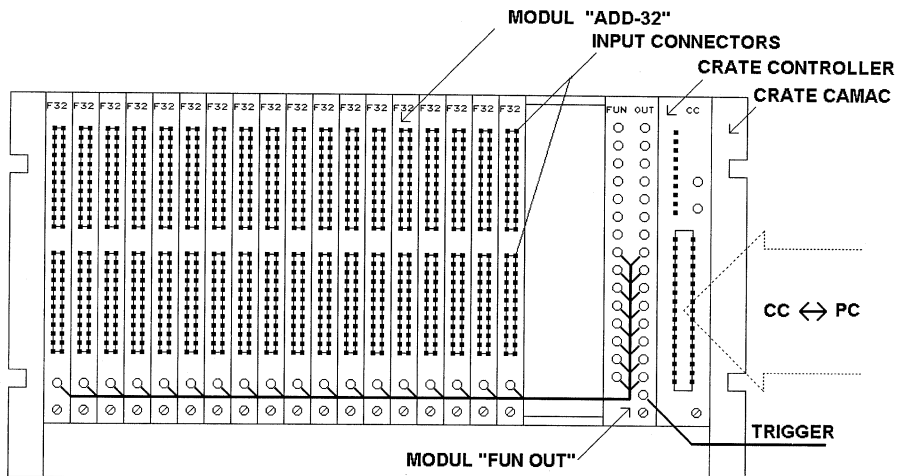


Рис.15. Общий вид системы анодной электроники

Из дополнительных блоков потребовался разветвитель сигналов NIM на 18 каналов (на рис.15 он обозначен как "FUN OUT") и крейт-контроллер.

В заключение авторы выражают признательность Г.Д.Алексееву, М.А.Батурицкому, Н.И.Журавлеву, В.В.Карпужину, А.А.Шишкину, за предоставленную помощь.

Настоящая работа выполнена при поддержке Российского фонда фундаментальных исследований (грант № 98-02-16506).

Литература:

- [1] В.Стешенко Школа разработки аппаратуры цифровой обработки сигналов на ПЛИС. Занятия 1-7 // Chip News.
- [2] A.Khokhlov et al., D0 Note #3299, August 7,1997. Muon System Electronics Upgrade, Technical Design Report.
- [3] M.A.Baturitsky et al., Nucl. Instr. And Meth. A 352 (1995) 604-609.
- [4] M.A.Baturitsky et al., Nucl. Instr. And Meth. A 378 (1996) 570-576.
- [5] Карпужин В.В. и др. Препринт ОИЯИ Е13-95-547, 1995.

---

Рукопись поступила в издательский отдел  
23 августа 2001 года.

Калинников В.А. и др.

P13-2001-177

Полнофункциональный 32-канальный модуль КАМАК  
как базовый элемент для построения систем считывания информации  
с анодных проволочек пропорциональных камер

В работе представлено описание многоканальной системы съема информации с анодных проволочек пропорциональных камер. Отличительной особенностью предложенной системы является размещение усилительной части, блока задержки сигнала и цифровой части для вывода информации в ЭВМ в одном общем модуле АДД-32. Система выполнена в стандарте КАМАК. В одном одноширинном модуле АДД-32 содержится электроника на 32 проволочки, что позволяет разместить в крейте КАМАК со стандартной магистралью до 672 каналов приема данных. Для усиления сигналов используются 8-канальные микросхемы Amp18.3. Задержка сигналов выполнена на 9-канальных микросхемах FIFO типа IDT72421, что позволяет получать полную задержку сигнала до сотен микросекунд и более. Цифровая часть системы выполнена на программируемых логических матрицах типа ALTERA. Все это позволило создать надежную, компактную и недорогую систему. В настоящее время такая система общим объемом 576 каналов используется в эксперименте PIBETA по изучению редких распадов пионов на ускорителе PSI (Швейцария).

Работа выполнена в Лаборатории ядерных проблем им. В.П.Джелепова ОИЯИ.

Препринт Объединенного института ядерных исследований. Дубна, 2001

Перевод авторов

Kalinnikov V.A. et al.  
32-Channel CAMAC Module as a Basic Element  
for Read-Out Systems Taking Information from Anode Wires  
of Proportional Chambers

P13-2001-177

A multichannel system for reading information from anode wires of proportional chambers is described. Its characteristic feature is installation of the amplifying unit, signal delay unit, and digital unit for outputting information to the computer in a common module ADD-32. The system is built to the CAMAC standard. The single-width module ADD-32 contains electronics for 32 wires, which allows up to 672 data channels to be mounted in a CAMAC crate with a standard bus. Signals are amplified by 8-channel microcircuits Amp18.3. To delay signals, type IDT72421 9-channel FIFO microcircuits are used, which allows a total signal delay for hundreds of microseconds and longer. The digital unit of the system is composed of ALTERA logic matrices. All this resulted in a reliable, compact, and inexpensive system. Now a system like this with a total of 576 channels is used in the PIBETA experiment on the study of rare pions at the PSI accelerator (Switzerland).

The investigation has been performed at the Dzhelapov Laboratory of Nuclear Problems, JINR.

Preprint of the Joint Institute for Nuclear Research. Dubna, 2001

Редактор М.И.Зарубина. Макет Н.А.Киселевой

Подписано в печать 17.10.2001  
Формат 60 × 90/16. Офсетная печать. Уч.-изд. л. 1,8  
Тираж 320. Заказ 52903. Цена 1 р. 80 к.

Издательский отдел Объединенного института ядерных исследований  
Дубна Московской области