

Inhaltsverzeichnis

1	Boolesche Algebra, Automaten, Algorithmen	1
1.1	Aussagenlogik	1
1.1.1	Logische Grundverknüpfungen	2
1.1.2	Logische Ausdrücke	9
1.1.3	Äquivalenz	14
1.1.4	Implikation	21
1.2	Boolesche Funktionen	23
1.2.1	Einfache Funktionen (Skalarfunktionen)	23
1.2.2	Systeme von Funktionen (Vektorfunktionen)	29
1.2.3	Kanonische Formen	32
1.2.4	Konstruktion kanonischer Formen aus Tafeln	42
1.3	Endliche Automaten, boolesche Algorithmen	51
1.3.1	Grundlegende Begriffe	52
1.3.2	Automatenmodelle	56
1.3.3	Darstellungsmittel	61
1.4	Kooperierende Automaten, parallele Algorithmen	69
1.4.1	Ereignis- versus taktgesteuerter Zustandsfortschaltung	70
1.4.2	Synchronisation von Prozessen	78
1.5	Lösungen der Aufgaben	84
2	Schaltnetze, Schaltketten	98
2.1	Schaltungsstruktur und Funktionsweise	98
2.1.1	Schalter und Schalterkombinationen	101
2.1.2	Durchschaltglieder	107
2.1.3	Verknüpfungsglieder	114
2.1.4	Mehrstufige Logik	123
2.1.5	Rückgekoppelte Logik	133
2.2	Schaltnetze zur Datenverarbeitung	138
2.2.1	Schaltketten für die Addition	139
2.2.2	Arithmetisch-logische Einheiten	143
2.2.3	Beschleunigung der Übertragsweiterleitung	147
2.3	Schaltnetze zum Datentransport	154
2.3.1	Multiplexer, Demultiplexer	155
2.3.2	Shifter	159
2.3.3	Vernetzer, Busse	162

2.4	Schaltnetze zur Datencodierung, -decodierung und -speicherung . . .	167
2.4.1	Übersicht	168
2.4.2	Codierer, Decodierer	170
2.4.3	Konfigurierbare/programmierbare Speicher	174
2.5	Lösungen der Aufgaben	182
3	Asynchron-Schaltwerke	198
3.1	Schaltungsstruktur und Funktionsweise	198
3.1.1	Eine typische Aufgabe: Asynchroner Datentransfer	204
3.1.2	Interprozeß-Kommunikation	207
3.1.3	Asynchroner Datentransfer: Pegelgraph	214
3.2	Entwurf Teil 1: Vom Petri-/Graphennetz zur Flußtafel	215
3.2.1	Verfahren	216
3.2.2	Eingangssignale wechselseitig abhängig	219
3.2.3	Eingangssignale voneinander unabhängig	222
3.2.4	Asynchroner Datentransfer: Flußtafel	228
3.3	Hazards in Schaltnetzen, hazardfreier Entwurf	229
3.3.1	Strukturelle Hazards	230
3.3.2	Funktionelle Hazards	232
3.3.3	Zwei Tests zur Feststellung von Hazards	234
3.4	Hazards in Schaltwerken, hazardfreier Entwurf	239
3.4.1	Strukturelle Hazards (static hazards)	240
3.4.2	Funktionelle Hazards (essential hazards)	244
3.4.3	Konkurrente Hazards (critical races)	248
3.5	Entwurf Teil 2: Von der Flußtafel zur Schaltung	253
3.5.1	Verfahren	253
3.5.2	Entwurfsbeispiele und -aufgaben	257
3.5.3	Determiniertheit/Indeterminiertheit	265
3.5.4	Asynchroner Datentransfer: Schaltung	266
3.6	Lösungen der Aufgaben	269
4	Synchron-Schaltwerke	285
4.1	Schaltungsstruktur und Funktionsweise	285
4.1.1	Eine typische Aufgabe: Synchroner Speicher	290
4.1.2	Takterzeugung	293
4.1.3	Getaktete Flipflops, Darstellung mit Taktsignalen	295
4.1.4	Getaktete Flipflops, Abstraktion von Taktsignalen	301
4.2	Schaltwerke zur Datenspeicherung	309
4.2.1	Speicherung einzelner Bits: Flipflops	309
4.2.2	Speicherung binärer Datenwörter: Register	311
4.2.3	Speicherung von Datensätzen: Speicher	314
4.2.4	Speicher mit spezifischen Zugriffsarten	322
4.3	Schaltwerke zur Datenverarbeitung: Aufbau und Entwurf	330

4.3.1 Zähler	331
4.3.2 Synchroner Speicher: Entwurf des Zählers	341
4.3.3 Shiftregister und -werke	343
4.3.4 Logik-/Arithmetikwerke einschließlich Fließbandtechnik	346
4.4 Schaltwerke zur Programmsteuerung:	
Aufbau und Entwurf	352
4.4.1 Elementare Steuerwerke	353
4.4.2 Synchroner Speicher: Entwurf des Steuerwerks	355
4.4.3 Hierarchisch gegliederte Steuerwerke	358
4.4.4 Parallele Steuerwerke einschließlich Fließbandtechnik	364
4.5 Lösungen der Aufgaben	368
5 Prozessoren, Spezialrechner, Universalrechner	387
5.1 Funktionsbeschreibung digitaler Systeme	387
5.1.1 Parallelität „im kleinen“	389
5.1.2 Prozedurale Darstellung: Sprachen	393
5.1.3 Zeichnerische Darstellung: Graphen	398
5.1.4 Matrixförmige Darstellung: Tabellen	399
5.1.5 Parallelität „im großen“	401
5.1.6 Strukturelle Darstellung: Blockbilder	404
5.2 Datenflußarchitekturen für spezielle Algorithmen	406
5.2.1 Datenflußnetze	407
5.2.2 Additionsketten und -bäume zur Multiplikation	410
5.2.3 Datenflußnetze für 2-Komplement-Arithmetik	417
5.2.4 Datenflußwerke	422
5.3 Programmfluß- bzw. Fließbandarchitekturen	429
5.3.1 Fließbandtechnik	430
5.3.2 Application-Specific-Instruction-Prozessor, Prozessoren mit n-Code-Instruktionen	433
5.3.3 Very-Long-Instruction-Prozessor, Prozessoren mit n-Befehl-Instruktionen	437
5.3.4 Reduced-Instruction-Set-Prozessor, Prozessoren mit Ein-Befehl-Instruktionen	443
5.4 Aufbau und Funktionsweise von Universalrechnern	454
5.4.1 Akkumulator-Architektur	458
5.4.2 Register/Speicher-Architektur	461
5.4.3 Lade/Speichere-Architektur	465
5.4.4 Very-Long-Instruction-Word-Architektur	469
5.5 Lösungen der Aufgaben	475
Literatur	493