

# **Многоканальная система сбора данных для гетеродинной интерферометрической диагностики плотности плазмы**

В.Ф. Гурко, П.В. Зубарев, А.Н. Квашнин, А.Д. Хильченко

Институт ядерной физики СО РАН

## **Аннотация**

В работе описана 64-х канальная система сбора данных для лазерной гетеродинной интерферометрической диагностики плотности плазмы. Основой системы является восьмиканальный модуль регистрации, построенный на базе оригинальной схемы прецизионного фазового детектора с разрешением  $< 0.5$  миллирадиан при значении частоты несущей 1МГц и полосе частот модуляции от 0 до 500КГц. Динамический диапазон каждого тракта регистрации  $-250 - + 250$  радиан.

## **Multichannel plasma density recording system for the heterodyne interferometer**

V.F. Gurko, P.V. Zubarev, A.N. Kvashnin, A.D. Khilchenko

The 64-channel recording system for the plasma density heterodyne interferometer diagnostic is described. In the system was implemented a digital phase comparator technique for demodulation the input signals with the 1MHz carrier frequency. Digital phase comparator resolution is less then 0.5 milliradian. The full dynamic range of each measuring channel run up to 500 radian.

НАУЧНО-ИССЛЕДОВАТЕЛЬСКОЕ УЧРЕЖДЕНИЕ  
ИНСТИТУТ ЯДЕРНОЙ ФИЗИКИ им. Г.И. Будкера СО РАН

В.Ф. Гурко, П.В. Зубарев, А.Н. Квашнин, А.Д. Хильченко

## **МНОГОКАНАЛЬНАЯ СИСТЕМА СБОРА ДАННЫХ ДЛЯ ГЕТЕРОДИННОЙ ИНТЕРФЕРОМЕТРИЧЕСКОЙ ДИАГНОСТИКИ ПЛОТНОСТИ ПЛАЗМЫ**

ИЯФ 2003-10

Новосибирск  
2003

© Институт ядерной физики им. Г.И. Будкера СО РАН

### Принцип работы фазового детектора

В системе используется схема фазового детектора, основанная на прецизионном измерении длительности каждого периода синусоидальной несущей. В качестве опорных точек при измерениях используются точки пересечения входным сигналом нулевой линии.

Традиционные схемы детекторов такого рода обычно строятся на базе компараторов, формирующих из синусоидального входного сигнала выходной логический сигнал длительностью в период несущей. Однако, точность привязки моментов срабатывания компараторов к точкам перехода входного сигнала через ноль в таких схемах невелика, особенно при наличии паразитной амплитудной модуляции. Причиной потери точности является динамическая погрешность компараторов, обусловленная зависимостью задержки их переключения от амплитуды перевозбуждающего сигнала.

В рассматриваемом варианте схемы фазового детектора погрешность измерения, обусловленная указанным механизмом, исключена. Основной детектора является быстродействующий АЦП со схемой выборки и хранения входного сигнала, работающий с частотой дискретизации  $F_s$ , в несколько десятков раз превышающей частоту несущей. На каждом периоде входного сигнала информативными являются только два отсчета АЦП, содержащие результаты измерений мгновенных значений амплитуды в точках, предшествующей переходу входного сигнала через нулевую линию, и в следующей за ней. Длительность текущего периода входного сигнала по этим результатам измерений АЦП можно определить как:

$$N * T + (1 - (U_{b_i} + U_{a_i}) * T / U_{a_i}) + (U_{b_{i+1}} + U_{a_{i+1}}) * T / U_{a_{i+1}} \quad (1)$$

где:  $N$  – целое число периодов частоты дискретизации на периоде сигнала,  $T$  – период частоты дискретизации,  $U_{a_i}$ ,  $U_{b_i}$ ,  $U_{a_{i+1}}$  и  $U_{b_{i+1}}$  – значения отсчетов АЦП в точках А и В, соответственно.

Точность измерения длительности периода не зависит от амплитуды входного сигнала, а прямо связана лишь с интерполяционной погрешностью, обусловленной произведенной заменой в (1) синусоидальной функции на линейную в области значений, близких к нулю. Используя разложение в ряд, можно показать, что эта погрешность не превышает  $1.28 * 10^{-3}$  для области изменения по углу от  $-9$  до  $+9$  градусов, в которой значения входного сигнала изменяются от  $-1/6$  до  $+1/6$  от амплитудного. Оценка погрешности измерения длительности перио-

да при указанных условиях, соответствующих применению АЦП с частотой дискретизации 40МГц для обработки синусоидальной несущей с частотой 1МГц, дает значение, близкое к  $6 * 10^{-5}$ .

### Построение 8-ми канального модуля регистрации

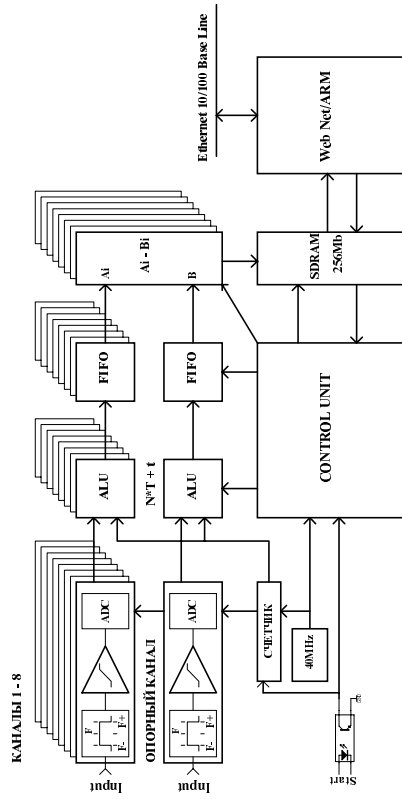


Рис. 1. Схема построения модуля регистрации

Схема построения модуля регистрации показана на рис.1. В его состав входят:

- девять идентичных трактов регистрации входных сигналов, счетчик количества периодов частоты дискретизации,
- блоки арифметической обработки результатов измерений АЦП, выравнивающие FIFO на базе двухпортовых ЗУ,
- схемы вычисления разности набега фаз между опорным и сигнальными каналами,
- SDRAM емкостью 256Мбайт, предназначенное для накопления результатов измерений,
- контроллер SDRAM,
- контроллер цикла регистрации,
- мезонинный процессорный модуль Web ARM с сетевым интерфейсом Ethernet-100, используемый для сопряжения модуля регистрации с базовым компьютером диагностического комплекса,
- интерфейс к системной магистрали.

Каждый тракт регистрации включает в себя полосовой фильтр, усилитель-ограничитель амплитуды входного сигнала, согласующий усилитель с дифференциальным выходом и двенадцатиразрядный АЦП (рис.2).

Полосовой фильтр построен на ИС LT1567. Он настроен на частоту несущей (1МГц), имеет полосу пропускания 0.7 – 1.3МГц (по уровню 0.7) и спад коэффициента передачи за пределами полосы пропускания в 20дБ/дек. Фильтр используется для подавления спектральных составляющих шумовой компоненты входного сигнала, лежащих за пределами полосы рабочих частот фазового детектора.

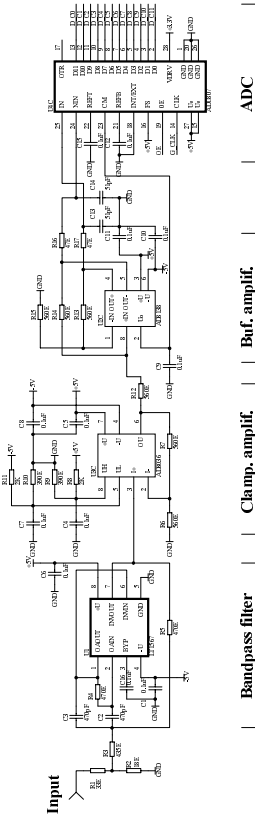


Рис. 2. Схема построения аналогового тракта

Усилитель-ограничитель (AD8136) приводит в соответствие диапазон изменения входного сигнала динамическому диапазону АЦП. Он ограничивает область изменения входного сигнала до 1/3 от его амплитудного значения. Это позволяет, при использовании 12-разрядного АЦП (ADC807E), получить результирующую точность измерений в информативных точках (предшествующей переходу через ноль и последующей за ней), соответствующую 10 двоичным разрядам.

Согласующий усилитель используется для смещения выходного сигнала усилителя-ограничителя по уровню и преобразования его в дифференциальную форму.

АЦП всех трактов регистрации работают синхронно и имеют единый прецизионный генератор импульсов синхронизации с малым значением фазового шума.

Модуль регистрации может работать в двух режимах – в режиме регистрации формы входных сигналов трактов с 1-го по 8-й, либо в режиме регистрации фаз модулированных плазмой сигналов, поступающих на входы трактов с 1-го по 8-й, относительно нуля фазы

сигнала опорного канала (9-го). При этом на вход опорного канала подается немодулированный сигнал несущей.

Первый режим работы обычно используется на этапе юстировки и проверки элементов диагностического тракта – интерферометра, гетеродина, смесителя, датчиков, усилителей, кабельных трасс, а также трактов обработки сигналов самого модуля регистрации. В рамках этого режима АЦП всех трактов модуля работают синхронно, с частотой дискретизации 10МГц. Результаты отсчетов сначала записываются в промежуточные разравнивающие FIFO, а затем перезаписываются контроллером цикла регистрации в буферное ЗУ на основе SDRAM, емкостью 16Мслов/канал. FIFO в данном режиме работы модуля выполняют функции согласующих элементов, позволяющих синхронизовать темп поступления данных от АЦП с темпом их записи в SDRAM.

Работу модуля в режиме регистрации фаз поясняет временная диаграмма, показанная на рис.3. На диаграмме, с целью ее упрощения, отображен характер работы опорного канала и только одного из сигнальных трактов. АЦП всех трактов регистрации в этом режиме работают с частотой дискретизации 40МГц.

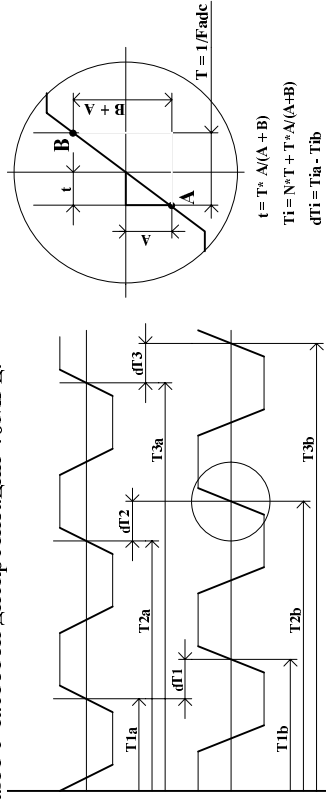


Рис. 3. Принцип работы детектора

Процесс измерения разности фаз между входными сигналами начинается с момента поступления на модуль регистрации внешнего импульса запуска. После его привязки к положительному фронту первого из импульсов генератора частоты дискретизации, начинают работать 32-х разрядный счетчик количества периодов этой частоты и АЦП всех трактов регистрации. Блок арифметической обработки отсчетов АЦП каждого канала фиксирует только те отсчеты, которые

соответствуют точкам измерения, предшествующей переходу входного сигнала через ноль (А) и последующей за ней (Б). В предшествующей точке, одновременно с отсчетом АЦП, в буферном регистре канала фиксируется также и состояние счетчика количества периодов частоты дискретизации. Признаком, определяющим момент перехода частоты сигнала через ноль, является изменение состояния старшего значащего разряда АЦП разряда с нулевого на единичное.

Далее арифметический блок производит интерполяционную обработку отсчетов АЦП с целью вычисления длительности временного интервала  $dT$ , лежащего между точкой взятия отсчета, предшествующей переходу входного сигнала через ноль (А) и точкой пересечения им нуля (0). С этой целью сначала определяется перепад амплитуды сигнала между точками измерения (из отсчета Б вычитается отсчет А), а затем инверсное значение отсчета А с нулевым содержимым старшего разряда делится на эту разность. Результатом этих операций является число, соответствующее длительности интервала  $dT$  в виде дробной части длительности периода частоты дискретизации АЦП. Далее этот результат суммируется с содержимым буферного регистра канала, содержащим целое число периодов частоты дискретизации, подсчитанное на интервале от момента начала процесса регистрации до точки А, и записывается в FIFO.

Нетрудно заметить, что результаты измерений по всем каналам, относящиеся к первому переходу входных сигналов через ноль, будут содержать информацию о исходном фазовом сдвиге этих сигналов относительно момента начала цикла регистрации. Результаты же, относящиеся ко второй и последующим точкам перехода, будут содержать интегральное значение набега фазы для каждого из этих сигналов относительно той же стартовой точки.

Для восстановления характера поведения фазы входных сигналов по записанным в FIFO результатам измерений используется схема вычитания, включенная между FIFO каждого сигнального тракта и SDRAM. С ее помощью осуществляется вычитание из текущего интегрального значения фазы каждого сигнального тракта соответствующего ему по номеру отсчета опорного канала, содержащего результат измерения набега фазы немодулированной несущей. Как следствие указанной процедуры, из результатов измерений исключаются изменения фазы, связанные с механическими и тепловыми воздействиями на интерферометр, а также ее флуктуации, вызванные нестабильностями

частоты гетеродина. Второстепенным, но весьма важным фактором является результирующее уменьшение разрядности каждого отсчета с 48 до 24 разрядов и исключение потребности в сохранении отсчетов, полученных по опорному каналу. А это позволяет, при том же объеме SDRAM (256Мбайт), более чем в 2 раза увеличить длительность цикла регистрации.

Коротко остановимся на функциях, выполняемых буферными FIFO в рассматриваемом режиме работы модуля. Помимо упомянутой ранее задачи согласования темпа поступления данных от арифметического блока с темпом их записи в SDRAM, FIFO также определяет динамический диапазон, в котором могут измеряться фазовые смещения входного сигнала любого из сигнальных трактов относительно нуля фазы несущей. Нетрудно заметить, что при больших интегральных фазовых смещениях точки пересечения нуля с одинаковым индексом в разных каналах могут быть разнесены по времени вплоть до нескольких десятков периодов несущей. Соответственно, и количество записанных в FIFO каждого канала отсчетов при этом будет разным. По существу, максимально возможное значение разности количества отсчетов, записанных в FIFO опорного и любого из сигнальных трактов, и будет определять допустимый диапазон изменения фазы. В нашем случае глубина FIFO составляет 256 слов. Но поскольку каждый отчет представлен в нем тремя 16-ти разрядными словами, содержащими: длительность интервала  $dT$ , состояние младших разрядов счетчика количества периодов частоты дискретизации и старших разрядов этого же счетчика, соответственно, то реальная глубина FIFO будет в три раза меньше, что дает значение динамического диапазона по фазе в  $256 * 2 \pi / 3 = 524$  радиан.

Контроллер SDRAM, входящий в состав модуля регистрации, формирует набор сигналов управления, обеспечивающих выполнение процедур инициализации памяти, определения моды ее работы, регенерации содержимого, а так же записи результатов измерений и их выводу на шину процессора при передаче базовому компьютеру диагностического комплекса.

Контроллер цикла регистрации, в соответствии с содержимым его регистра управления, изменяемым программно, задает длительность цикла регистрации, определяет режим работы модуля и текущее значение частоты дискретизации.

В качестве элемента сопряжения с базовым компьютером диагностического комплекса в модуле регистрации используется процессор серии ARM7TDMI S3C4530A со встроенным сетевым интерфейсом Ethernet-10/100. Он обеспечивает приемлемую скорость передачи данных в 2.5Мбайт/С в рамках протокола TCP/IP, поддерживающего процедуры контроля корректности пересылок длинных информационных массивов. Процессор оснащен оперативным ЗУ на основе SDRAM объемом в 16Мбайт и энергонезависимым ЗУ на базе Flash объемом в 4Мбайта. Предустановленная операционная система uCLinux и прикладная программа (сервер) загружаются в оперативную память процессора сразу же после включения источника питания.

Интерфейс к системной магистрали модуля регистрации содержит приемник синхросигналов внешнего генератора, определяющего частоту дискретизации АЦП, приемник импульсов запуска и набор входных шинных формирователей, обеспечивающих прием общих для всех модулей регистрации внешних сигналов управления.

Конструктивно модуль регистрации выполнен в виде стандартной европлаты формфактора 6U (160 \* 240 мм) (рис.10. приложения). Все его основные цифровые узлы, за исключением процессора, реализованы на базе матриц EP1K30QC208 и EPM3128TC144 фирмы Altera с помощью среды проектирования MAX+ Plus2.

### Структура и вспомогательные аппаратные средства системы

Схема построения системы сбора данных показана на рис.4. В ее состав входит до восьми описанных ранее модулей регистрации, модуль управления, восьмиканальный коммуникационный модуль "Fast Ethernet switch" с магистральным оптоволоконным каналом связи Ethernet-FX (1Гбит/С) и источник питания.

Модуль управления содержит единый для всей системы прецизионный генератор опорного синхросигнала, задающий частоту дискретизации АЦП всех модулей регистрации системы. Здесь же производится привязка внешнего запускающего импульса к синхросигналу опорного генератора и формирование выходных импульсов запуска, поступающих далее на все модули регистрации.

Аналоговый узел модуля управления содержит разномножитель сигнала немодулированной несущей, обеспечивающий его передачу с

малыми фазовыми искажениями на входы опорных трактов всех модулей регистрации.

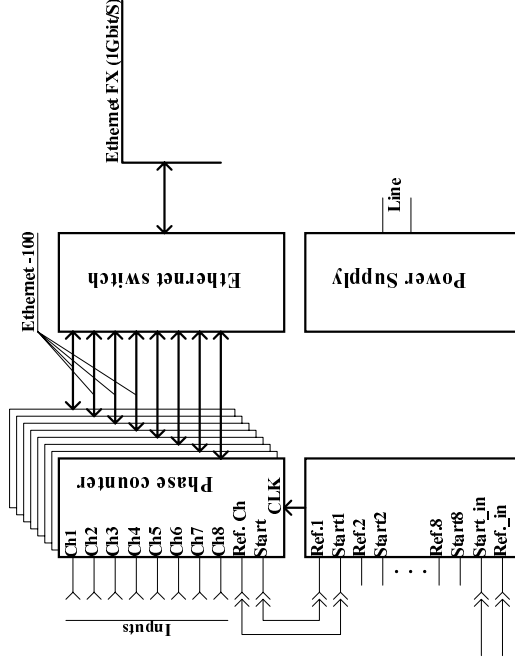


Рис. 4. Структура многоканальной системы сбора данных

Коммуникационный модуль "Fast Ethernet switch" – штатное средство сопряжения нескольких Ethernet-абонентов с каналом связи на базе витых пар с локальным оптоволоконным каналом связи Ethernet-FX, производимостью 1Гбит/С. Помимо взаимного преобразования электрических и оптических сигналов, он так же решает задачу уплотнения информационного потока в локальном канале связи с базовым компьютером диагностического комплекса за счет мультиплексирования информационных сообщений, поступающих от модулей регистрации.

### Программное обеспечение системы

Программное обеспечение системы построено по клиент-серверной технологии.

Задача "сервер" исполняется процессором каждого модуля регистрации. Она активизируется после включения источника питания и

инициализации операционной системы uCLinux. Эта задача принимает и обрабатывает поступающие по каналу связи запросы, загружает регистр управления контроллера цикла регистрации, разрешает запуск и пересылает по каналу связи зафиксированные в рабочем цикле модуля массивы данных.

Программа "клиент" работает в базовом компьютере диагностического комплекса. Она включает в себя управляющую графическую панель оператора системы, отображаемую на экране монитора. С помощью панели производится выбор режима работы системы, задается мода запуска и глубина памяти для всех модулей регистрации, производится отображение данных и их запись на жесткий диск.

### Заключение

Результаты тестовых испытаний базового 8-ми канального модуля регистрации системы (см. приложение), показывают, что в режиме измерения фаз реально получено разрешение прибора лучше 0.5миллирадиан при полном динамическом диапазоне измерения разности фаз не менее 500 радиан.

### Приложение

#### Регистры модуля регистрации:

- управляющий регистр контроллера цикла – 16 разрядов, adr[] == 0;
- регистр адреса – 32-х разрядный, adr[] == 1;
- регистр данных – 32-х разрядный, adr[] == 2.

#### Управляющий регистр контроллера цикла регистрации, назначенные разряды.

d[2..0] – объем памяти, используемый в текущем цикле регистрации;

d2	d1	d0	объем SDRAM
0	0	0	4Мбайт
0	0	1	8Мбайт
0	1	1	16Мбайт
1	0	0	32Мбайт
1	0	1	64Мбайт
1	1	0	128Мбайт
1	1	1	256Мбайт

d[4..3] - частота выборок в режиме фазовых измерений

d4 d3

0	0	-	каждый период несущей
0	1	-	каждый второй период несущей
1	0	-	каждый четвертый период несущей
1	1	-	каждый восьмой период несущей

d5 – единичное состояние соответствует разрешению внешнего запуска;

d6 – запись единицы инициирует программный запуск;

d7 – единичное состояние соответствует запросу на чтение данных со стороны процессора к контроллеру SDRAM;

d8 – выбор режима работы: 0- фазовые измерения, 1 – мода АЦП;

d9 – выбор подрежима "тест" при проведении фазовых измерений;

d10 – не используется;

d11 – 1 - флаг готовности контроллера SDRAM к чтению данных,

d12 - 1 - флаг работы в цикле регистрации;

d[15..13] – не используются.

## Результаты тестовых испытаний

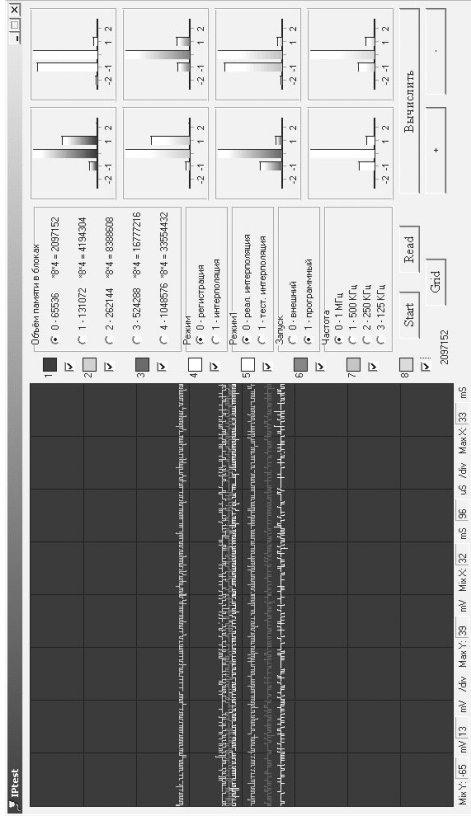


Рис.5. Шумы измерительных трактов в режиме АЦП.

Схема поверки: все входы измерительных трактов отключены. Справа на панели показаны распределения шумов для всех каналов. По оси "X" – число квантов АЦП.

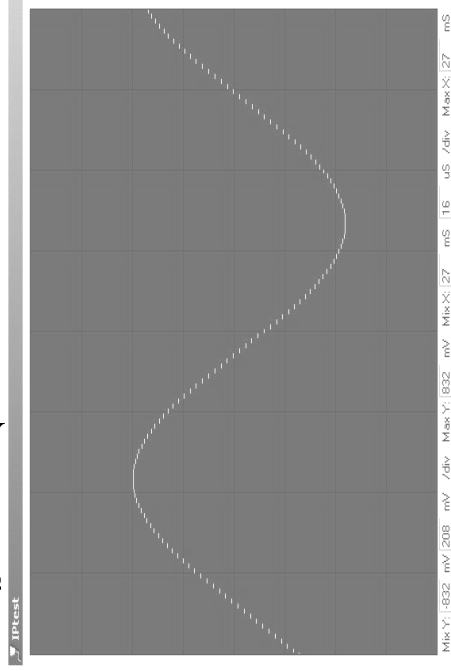


Рис.6. Регистрация синусоидального сигнала в режиме АЦП.

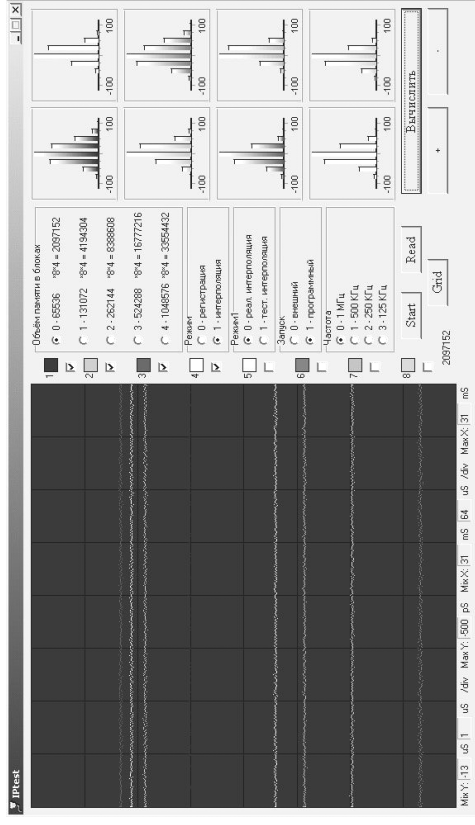


Рис.7. Шумы измерительных трактов в режиме фазометра.

Схема поверки: на входы всех каналов подается сигнал несущей. В правом окне показаны графики распределения шумов во всех каналах фазометра. Полуширина распределений – 0.3милирадиан.

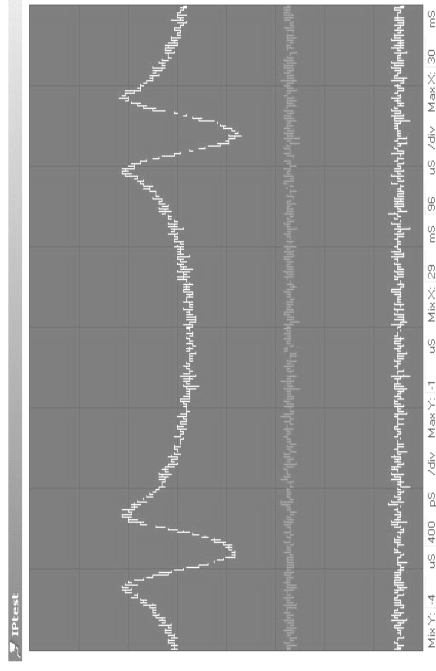


Рис.8. Регистрация фазы в режиме с малой глубиной модуляции.

Схема поверки: на вход одного из каналов подается фазомодулированный сигнал, на вход опорного канала – сигнал несущей. Глубина модуляции – 4.8милирадиан.

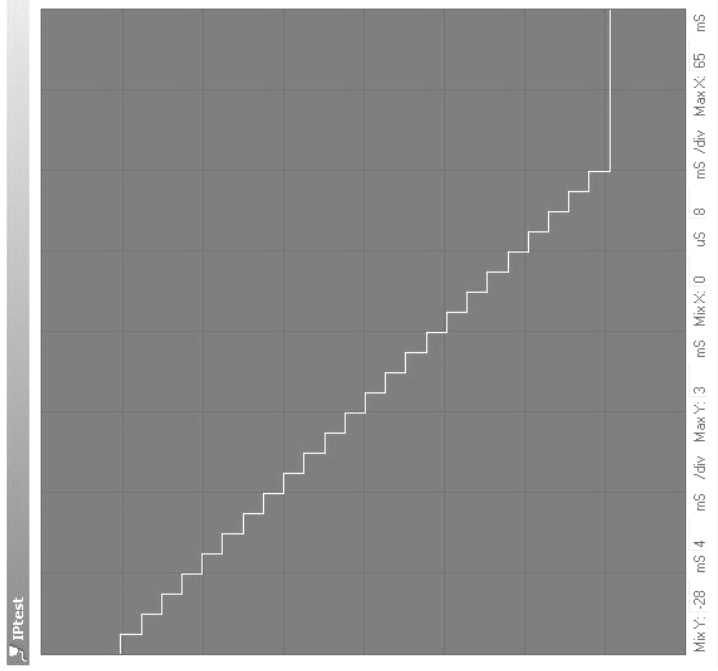


Рис.9. Регистрация фаз в режиме с глубиной модуляции в 24 полосы с автоинкрементом фазы на период несущей.

В этом режиме модуляция легко понимается самим фазометром. Принцип фазовой модуляции легко понять, обратившись к рис.3. Если в последовательности отсчетов опорного канала пропустить одно измерение (не записывать его в память), то результатом этой процедуры будет эквивалентный сдвиг фазы во всех сигнальных трактах на период несущей, что и дает нам значение шага модуляции в 2°т. Если указанную процедуру выполнять периодически – получим ступенчатую функцию. На графике сигналы всех восьми каналов наложены друг на друга.

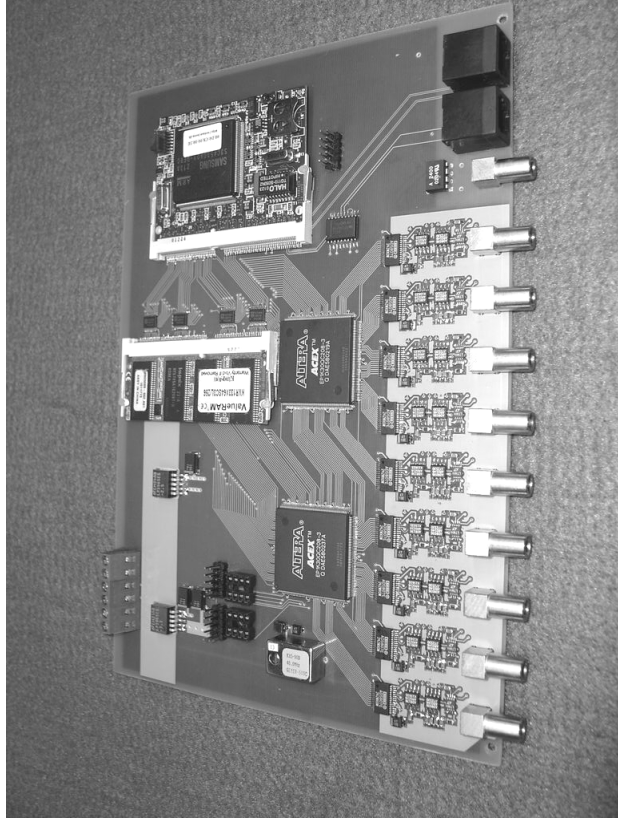


Рис.10 Фотография платы модуля фазометра.