

# Entwicklung, Implementierung und Test eines FPGA-Designs für die Level-1-Frontend-Elektronik des Äußeren Spurkammersystems im LHCb-Detektor

Von der Fakultät Physik  
der Technischen Universität Dortmund  
zur Erlangung des akademischen Grades  
eines Doktors der Naturwissenschaften  
zugelassene

**Dissertation**

von  
Diplom-Physiker Mirco Nedos  
aus Dresden

Dortmund  
November 2008



1. Gutachter: Prof. Dr. Bernhard Spaan
2. Gutachter: Prof. Dr. Claus Gößling

Datum des Einreichens der Arbeit: 14. November 2008

## Kurzfassung

Zur Messung der CP-Verletzung im System der B-Mesonen und der Suche nach Neuer Physik wurde am Large Hadron Collider des CERN das LHCb-Experiment aufgebaut. Eine Teilkomponente des komplexen LHCb-Detektors ist das Äußere Spurkammersystem, dessen Messdaten über serielle optische Verbindungen zum Datenerfassungsnetzwerk übertragen werden. Als Schnittstelle zwischen der Detektor-Elektronik und dem Datenerfassungsnetzwerk wird ein allgemeines Ausleseboard - das TELL1-Board - eingesetzt, mit dem die Vorverarbeitung der Daten unter Verwendung von FPGAs erfolgt. Im Rahmen dieser Arbeit wurden Entwicklungen für die detektorspezifischen Teile der TELL1-Firmware durchgeführt und das TELL1-Board in die Auslekette des Äußeren Spurkammersystems integriert. Neben der Synchronisation und der Konsistenzprüfung der empfangenen Daten umfasst dies auch die Erzeugung des Ausgangsdatenformats. Zusätzlich ist im FPGA ein Null-Unterdrückungs-Algorithmus implementiert, der das zu übertragende Datenvolumen reduziert und den Betrieb bei maximaler Triggerrate gewährleistet.

## Abstract

For measurements of CP-violation in the B-meson system, as well as the search for new physics, the LHCb-experiment has been built at the Large Hadron Collider at CERN. One component of the sophisticated LHCb-detector is the Outer Tracker. Its measured data is transmitted serially via optical links into the readout network. For the interface between the frontend electronics on the detector and the data acquisition network a common readout board is used. This FPGA-based board, dubbed the TELL1, preprocesses the data.

In this thesis the developments of the detector specific parts of the TELL1 firmware and the integration of the TELL1 board into the readout chain of the Outer Tracker are described. It covers the synchronisation and the error detection of the data received, as well as the generation of the Outer Tracker DAQ data format. In addition a zero-suppression algorithm has been implemented in the FPGA in order to reduce the network payload and guarantee operation at maximum trigger rate.



# Inhaltsverzeichnis

<b>Inhaltsverzeichnis</b>	<b>IV</b>
<b>Abbildungsverzeichnis</b>	<b>VII</b>
<b>Tabellenverzeichnis</b>	<b>X</b>
<b>1 Einleitung</b>	<b>1</b>
<b>2 Das LHCb-Experiment am CERN</b>	<b>3</b>
2.1 Die CP-Verletzung . . . . .	3
2.2 Die CKM-Matrix . . . . .	4
2.3 Messungen mit LHCb . . . . .	5
2.4 LHC und LHCb . . . . .	9
2.5 Der Vertexdetektor . . . . .	11
2.6 Die Ringabbildenden Cherenkov-Detektoren . . . . .	12
2.7 Der Magnet . . . . .	12
2.8 Die Kalorimeter . . . . .	13
2.9 Der Myondetektor . . . . .	14
2.10 Das Spurkammersystem . . . . .	14
2.11 Der Beam-Conditions-Monitor . . . . .	16
2.12 Das Trigger-System . . . . .	17
<b>3 Das Äußere Spurkammersystem</b>	<b>21</b>
3.1 Auslesen der Module . . . . .	21
3.1.1 Überblick . . . . .	21
3.1.2 Aufbau und Funktionsweise der Spurkammermodule . . . . .	22
3.1.3 Die Frontend-Box . . . . .	27
3.1.4 Das TELL1-Board . . . . .	34
3.1.5 Das DAQ-Netzwerk . . . . .	37
3.1.6 Fast Control . . . . .	39
3.1.7 Slow Control . . . . .	41
3.2 Versuchsanordnungen . . . . .	43
3.2.1 Aufbau eines Praktikumversuchs . . . . .	43
3.2.2 Teststrahl-Experiment am DESY . . . . .	47

<b>4</b>	<b>Integration des TELL1-Boards</b>	<b>53</b>
4.1	Erstellung des FPGA-Design . . . . .	53
4.1.1	Definition und Arbeitsschritte . . . . .	53
4.1.2	Anforderungen . . . . .	55
4.1.3	PP-FPGA-Design und Design-Studien . . . . .	61
4.1.4	Synchronisation der Eingangsdaten . . . . .	69
4.1.5	Null-Unterdrückung . . . . .	76
4.1.6	DAQ-Datenformat für das Äußere Spurkammersystem . . . . .	80
4.1.7	Konsistenzprüfungen . . . . .	90
4.1.8	Anbindung an das Experiment-Kontroll-System (ECS) . . . . .	93
4.2	Der TELL1-Teststand . . . . .	99
4.2.1	Aufbau . . . . .	99
4.2.2	Messungen an der optischen Übertragungsstrecke . . . . .	101
4.2.3	Weitere Messungen mit dem Teststand . . . . .	106
<b>5</b>	<b>Inbetriebnahme des Äußeren Spurkammersystems</b>	<b>109</b>
5.1	Messungen während der Installation . . . . .	109
5.2	Nachweis kosmischer Myonen . . . . .	119
<b>6</b>	<b>Zusammenfassung</b>	<b>125</b>
<b>A</b>	<b>Konfigurations- und Überwachungsregister</b>	<b>127</b>
<b>B</b>	<b>Abkürzungen</b>	<b>137</b>
	<b>Quellenverzeichnis</b>	<b>142</b>

# Abbildungsverzeichnis

2.1	Zwei Unitaritätsrelationen der CKM-Matrix . . . . .	5
2.2	Boxdiagramm der $B - \bar{B}$ -Oszillationen im Standardmodell . . . . .	6
2.3	Feynman Diagramme der Prozesse $B^0 \rightarrow \pi^+\pi^-$ und $B_s^0 \rightarrow K^+K^-$ . . . . .	7
2.4	Standorte der Experimente am LHC . . . . .	9
2.5	Polarwinkel von $b$ und $\bar{b}$ simuliert mit SHERPA . . . . .	10
2.6	Vertikaler Schnitt durch den LHCb-Detektor . . . . .	11
2.7	Anordnung der Sensoren des Vertexdetektors entlang der Strahlachse . . . . .	12
2.8	Aufbau des RICH-Systems . . . . .	13
2.9	Modell des LHCb-Dipolmagneten . . . . .	13
2.10	Schematische Anordnung des LHCb Spurkammersystems . . . . .	15
2.11	Geometrie der Spurkammerstationen T1-T3 . . . . .	16
2.12	Geometrie des Beam-Conditions-Monitors . . . . .	17
2.13	Ursprüngliche Struktur des Trigger-Systems . . . . .	18
2.14	Das LHCb-Trigger-System nach der Umstrukturierung . . . . .	18
3.1	Die Auslekette des Äußeren Spurkammersystems . . . . .	22
3.2	Querschnitt eines Proportionalzählröhrchens . . . . .	23
3.3	Querschnitt eines Spurkammermoduls . . . . .	24
3.4	Anordnung der Module des Äußeren Spurkammersystems . . . . .	26
3.5	Differenzierung der Straws in Driftzellen . . . . .	26
3.6	Blockdiagramm der Frontend-Box . . . . .	27
3.7	Blockdiagramm des ASDBLR . . . . .	28
3.8	Driftzeitbestimmung im OTIS . . . . .	29
3.9	Blockschaltbild des OTIS . . . . .	31
3.10	OTIS-Header . . . . .	32
3.11	Blockschaltbild des GOL . . . . .	33
3.12	Blockschaltbild des TELL1-Boards . . . . .	35
3.13	Blockschaltbild des FPGA-Designs . . . . .	36
3.14	Konfiguration der TELL1-Crates . . . . .	37
3.15	Architektur des DAQ-Systems . . . . .	38
3.16	Verteilung der TFC-Signale . . . . .	40
3.17	Struktur des ECS-Netzwerkes . . . . .	42
3.18	ECS-Hierarchie für das Äußere Spurkammersystem . . . . .	42

3.19	Signallaufplan des Praktikumversuches . . . . .	44
3.20	Position der Daten in der L0-Puffer-Pipeline . . . . .	45
3.21	Driftzeit-Spektrum und $r(t)$ -Relation eines Driftröhrchens . . . . .	46
3.22	Versuchsanordnung und Signallaufplan im Teststrahl-Experiment . . . . .	48
3.23	Online-Display der DAQ-Software . . . . .	49
3.24	Effizienzprofil und Driftzeit-Ort-Korrelation der Driftröhrchen . . . . .	50
3.25	Ortsauflösung und Effizienz in Abhängigkeit der Anodenspannung . . . . .	50
3.26	Übersprechen und Rauschverhalten . . . . .	51
4.1	Prinzipieller Aufbau eines FPGA . . . . .	54
4.2	Blockschaltbild einer optischen Übertragungsstrecke . . . . .	56
4.3	Datenstrom vom TLK2501 . . . . .	57
4.4	Transport-Format zwischen PP-FPGA und SL-FPGA . . . . .	59
4.5	Struktur der Schaltung im PP-FPGA . . . . .	61
4.6	Multiplexing der empfangenen Daten . . . . .	62
4.7	Blockschaltbild des Receivers . . . . .	63
4.8	Ablauf des Datentransfers durch den Rx-Buffer . . . . .	64
4.9	Blockschaltbild des Daten-Prozessors einer ersten Studie . . . . .	65
4.10	Timing Closure Floorplan des PP-FPGA nach dem Place & Route . . . . .	65
4.11	Blockdiagramm des Daten-Prozessors . . . . .	67
4.12	Signalpipeline-System zur Mustererkennung im Datenstrom . . . . .	70
4.13	Event-Fragment im Pipeline-System . . . . .	71
4.14	Mögliche Event-Fragmente im Datenstrom . . . . .	71
4.15	Länge des Data-Valid-Signals . . . . .	72
4.16	Daten-Masken zur Synchronisation im Non-Zero-Modus . . . . .	74
4.17	Daten-Masken zur Synchronisation im OTIS-ID-Modus . . . . .	74
4.18	Blockschaltbild der Null-Unterdrückung . . . . .	77
4.19	Arbeitsweise der Null-Unterdrückung . . . . .	79
4.20	Aufbau eines Multiple Event Package . . . . .	80
4.21	Aufbau der Header im MEP . . . . .	81
4.22	Aufbau der Null-unterdrückten Bank . . . . .	83
4.23	Aufbau der Rohdaten-Bank . . . . .	83
4.24	Anordnung der Daten in der Rohdaten-Bank . . . . .	84
4.25	Aufbau des Event-Info-Blocks in der Rohdaten-Bank . . . . .	84
4.26	Aufbau der Fehler-Bank . . . . .	86
4.27	Zusammenhang zwischen L0-Triggerrate und Detektor-Occupancy . . . . .	89
4.28	Organisation des Speicherbereiches der FPGAs . . . . .	94
4.29	Ebenenstruktur des PVSS-Systems . . . . .	95
4.30	OT-spezifisches Kontroll-Fenster (Übersicht) . . . . .	96
4.31	OT-spezifisches Kontroll-Fenster (Driftzeitspektrum) . . . . .	98
4.32	Schema des TELL1-Teststands . . . . .	100
4.33	Schaltbild der optischen Übertragungsstrecke . . . . .	102
4.34	Analyse des seriellen Signals auf der Senderseite . . . . .	103
4.35	Analyse des seriellen Signals auf der Empfängerseite . . . . .	104



4.36	Steig- und Abfallzeiten des seriellen Signals in Abhängigkeit des Biasstroms der VCSEL-Diode . . . . .	105
4.37	Signaljitter in Abhängigkeit des Biasstroms der VCSEL-Diode . . . . .	105
4.38	Abhängigkeit der Occupancy von der Diskriminatorschwelle . . . . .	106
4.39	Hitmap der Frontend-Box bei der Rauschmessung . . . . .	107
4.40	Driftzeit-Spektrum der Frontend-Box bei einer Rauschmessung . . . . .	107
4.41	Dateigrößen in Abhängigkeit der Occupancy . . . . .	108
5.1	Dämpfungsmessung der optischen Breakout-Kabel im C-Rahmen . . . . .	110
5.2	Schematischer Aufbau der Bitfehlerraten-Tests am C-Rahmen . . . . .	111
5.3	Bitfehlerrate der gesamten Messtrecke und ermittelte Gesamtdämpfung der Fasern . . . . .	112
5.4	Optische Steckerverbindungen . . . . .	113
5.5	Rauschverhalten der L0-Frontend-Elektronik . . . . .	114
5.6	Testpulsverteilung . . . . .	115
5.7	Linearität des OTIS . . . . .	116
5.8	Zeitliche Änderung der gemessenen Driftzeit . . . . .	116
5.9	Variation der Fit-Parameter . . . . .	117
5.10	Temperaturabhängigkeit der gemessenen Driftzeit . . . . .	118
5.11	Sprunghafte Änderung der Driftzeit . . . . .	118
5.12	Anordnung der Szintillator-Panäle für den Trigger auf kosmische Myonen	119
5.13	Überprüfung der ermittelten L0-Trigger-Verzögerung durch Untersuchung des Rauschverhaltens . . . . .	120
5.14	Verteilung der getroffenen Kanäle über mehrere Spurkammermodule . .	121
5.15	Anzahl getroffener Kanäle pro Ereignis . . . . .	122
5.16	Rekonstruiertes Myon-Ereignis im LHCb-Detektor . . . . .	122
5.17	Rekonstruiertes Proton-Beamgas-Ereignis im LHCb-Detektor . . . . .	123



# Tabellenverzeichnis

2.1	Erwartete Verzweignungsverhältnisse und jährliche Rekonstruktionen einiger Zerfallskanäle . . . . .	8
3.1	Modultypen des Äußeren Spurkammersystems . . . . .	25
3.2	Adressierung der Frontend-Elektronik in der OTIS ID . . . . .	32
4.1	Datenraten am Ein- und Ausgang des PP-FPGA . . . . .	58
4.2	Verfügbare Ressourcen des PP-FPGA . . . . .	60
4.3	Daten-Bänke im PP-Bank-Linker . . . . .	68
4.4	Genutzte Ressourcen des PP-FPGA . . . . .	69
4.5	Reduzierte Eingangssignale in der Auxiliary Pipeline . . . . .	70
4.6	Aufbau der null-unterdrückten Driftzeit . . . . .	77
4.7	Aufbau der Hitmap . . . . .	78
4.8	OT spezifischer Header in der Null-unterdrückten Bank . . . . .	82
4.9	GOL-Header . . . . .	82
4.10	Inhalt des Event-Info-Blocks in der Rohdaten-Bank . . . . .	85
4.11	Inhalt der E-Worte innerhalb der Fehler-Bank . . . . .	87
4.12	Beitrag der Header zur Ereignisgröße . . . . .	88
4.13	Ereignisgröße bei verschiedenen Betriebszuständen . . . . .	89
4.14	Inhalt des Event-Info-Wortes . . . . .	91
4.15	Position der Fehlerbits in der Fehler-Bank . . . . .	93
5.1	Ergebnis der Bitfehlerraten-Tests von T1-L2-Q1 . . . . .	112
A.1	Konfigurationsregister der Synchronisationsstufe . . . . .	127
A.2	Konfigurationsregister des opt. Receivers . . . . .	128
A.3	allgemeine Konfigurationsregister des PP-FPGA . . . . .	128
A.4	Überwachungsregister der OTIS-Header . . . . .	129
A.5	Überwachungsregister der Synchronisationstufe . . . . .	130
A.6	Überwachungsregister des opt. Receivers . . . . .	131
A.7	Überwachungsregister für Trigger und prozessierte Ereignisse . . . . .	131
A.8	Überwachungsregister der FIFOs im Daten-Prozessor . . . . .	132
A.9	Überwachungsregister des Bank-Linkers . . . . .	133
A.10	Statusregister der FIFOs im Daten-Prozessor . . . . .	134

*TABELLENVERZEICHNIS*

---

A.11 Register der Histogramme . . . . . 135

# Kapitel 1

## Einleitung

Die Entdeckung der Antimaterie war eine der bedeutendsten Ereignisse der Physik im vergangenen Jahrhundert. Darauf aufbauende Forschungen ergaben, dass unmittelbar nach dem Urknall eine Materie-Antimaterie-Symmetrie existierte, die im Laufe der Expansion des Universums zu Gunsten der Materie gebrochen wurde. Die Ursachen dieser Symmetriebrechung und der ihr zu Grunde liegende Mechanismus sind bis heute nicht abschließend geklärt und deshalb Gegenstand weiterer Untersuchungen.

Bereits 1967 formulierte der Physiker Andrei D. Sacharow drei notwendige Bedingungen für die Bildung dieser Asymmetrie. Neben der Notwendigkeit einer Baryonenzahl verletzenden Wechselwirkung und der Bildung eines thermodynamischen Ungleichgewichts während der Expansion des Universums, wird die Existenz von CP-verletzenden Prozessen als wesentliches Kriterium angesehen. Diese wurden bereits in einer Vielzahl von Experimenten der Hochenergiephysik nachgewiesen und sind im Standardmodell der Teilchenphysik durch die unitäre CKM-Matrix beschrieben. Die Stärke der beobachteten CP-Verletzung reicht allerdings allein nicht aus, um die Größenordnung des Materieüberschusses zu erklären. Dies ist ein Hinweis auf mögliche Beiträge von Prozessen, die im Standardmodell noch nicht erfasst sind. Es wird die Aufgabe künftiger Experimente der Teilchenphysik sein, diese Neue Physik zu entdecken, das Standardmodell durch Präzisionsmessungen zu prüfen und die Grundlagen für seine Erweiterung zu liefern.

Heute - im Jahr 2008 - wurde der Aufbau der vier großen Experimente ATLAS, ALICE, CMS und LHCb am Large Hadron Collider des CERN erfolgreich abgeschlossen. Die Untersuchung der CP-Verletzung ist Schwerpunkt des LHCb-Experiments. Es wird die Zerfälle von B-Hadronen untersuchen und die Unitarität der CKM-Matrix durch genauere Messungen überprüfen. Als Messapparatur dient dabei ein Spektrometer, das aus verschiedenen Teildetektoren aufgebaut ist. Bevor die physikalisch relevanten Ereignisse rekonstruiert und analysiert werden können, müssen die gemessenen Daten jedoch zuerst aus dem Detektor ausgelesen und gespeichert werden. Dies stellt hohe Anforderungen an die verwendete Technik, da enorme Datenmengen fehlerfrei aus einer strahlenbelasteten Umgebung zu übertragen sind.

Als Beitrag zum LHCb-Experiment wurden im Rahmen dieser Arbeit Entwicklun-

gen für die Level-1-Ausleseelektronik des Äußeren Spurkammersystems des LHCb-Detektors durchgeführt und dessen Inbetriebnahme unterstützt. Nach einem einführenden Kapitel über die physikalischen Grundlagen der CP-Verletzung und den Aufbau des LHCb-Detektors, wird in Kapitel 3 die Funktionsweise des Äußeren Spurkammersystems sowie der Aufbau der gesamten Auslekette erläutert. Die Entwicklungen zur Integration des TELL1-Boards in die Auslekette beschreibt Kapitel 4, während die Messungen, die im Verlauf der Inbetriebnahme des Detektors durchgeführt wurden, sowie deren Ergebnisse in Kapitel 5 zusammengefasst sind.

## Kapitel 2

# Das LHCb-Experiment am CERN

### 2.1 Die CP-Verletzung

Eines der fundamentalsten Konzepte zur Beschreibung der Natur sind Symmetrien, die nach dem Theorem von E. Noether eine Erhaltung physikalischer Größen unter bestimmten Operationen bewirken. Man spricht dabei von einer Symmetrie gegenüber solchen Operationen. Beispiele hierfür sind die Teilchen-Antiteilchen-Konjugation, die Paritätsoperation (Raumspiegelung) aber auch die gemeinsame Anwendung beider, für die der Operator CP steht. Die Prozesse der elektromagnetischen und der starken Wechselwirkung sind unter den genannten Operationen invariant. Einzig die schwache Wechselwirkung verletzt sowohl die P- als auch die C-Symmetrie maximal, galt aber lange Zeit als symmetrisch unter CP-Transformation. 1964 wurde jedoch in einem Schlüsselexperiment von Christenson et al. gezeigt, daß die schwache Wechselwirkung auch die CP-Symmetrie verletzt. [1]

Eine Reaktion gilt als symmetrieeerhaltend, wenn das System vor und nach der Wechselwirkung ein Eigenzustand des entsprechenden Operators mit dem selben Eigenwert ist. Im Experiment untersuchte man Zerfälle von  $\bar{K}^0$ - und  $K^0$ -Mesonen, deren Endkanäle CP-Eigenzustände mit den Eigenwerten  $+1$  bzw.  $-1$  sind. Der Eingangskanal mußte nun auch Eigenzustand zu CP sein, was durch Oszillationen im Kaonsystem ( $\bar{K}^0 \leftrightarrow K^0$ ) gegeben ist. Man beobachtete aber, daß dabei auch CP-verletzende Anteile auftreten. Die Entdeckung von Oszillationen zwischen  $B^0$  und  $\bar{B}^0$  ermöglichte das Studium der CP-Verletzung an einem weiteren System. Durch die größere Masse der B-Mesonen ist das Spektrum der möglichen Zerfallskanäle breiter als das der K-Mesonen. Deshalb sind B-Mesonen für weitere Studien prädestiniert. [2]

Das Standard-Modell der Teilchenphysik ist in der Lage, die CP-Verletzung quantitativ zu erfassen und ihre Stärke erfolgreich vorherzusagen. Dabei wird dieses Phänomen durch das Auftreten einer komplexen Phase in der sogenannten Cabibbo-Kobayashi-Maskawa-Matrix (CKM-Matrix) beschrieben.

## 2.2 Die CKM-Matrix

Die elektroschwache Wechselwirkung<sup>1</sup> hat die Fähigkeit, den Typ eines Quarks zu ändern. Dies tritt bei Reaktionen auf, an denen geladene Ströme beteiligt sind, d.h. wenn die Wechselwirkung unter Austausch von  $W^\pm$ -Bosonen stattfindet. Allerdings koppeln die Quarks nicht mit ihren Masseneigenzuständen an die Eichfelder der elektroschwachen Wechselwirkung. Vielmehr findet die Kopplung an die elektroschwachen Eigenzustände der Quarks statt, die mit den Masseneigenzuständen durch eine Matrix verbunden sind. Eine übliche Konvention ist, dass die Transformation zwischen den elektroschwachen Eigenzuständen und den Masseneigenzuständen für die u-, c- und t-Quarks durch die Einheitsmatrix und die für die d-, s- und b-Quarks durch die CKM-Matrix ( $V_{CKM}$ ) vermittelt wird:

$$\begin{pmatrix} d' \\ s' \\ b' \end{pmatrix}_{\text{weak}} = V_{CKM} \cdot \begin{pmatrix} d \\ s \\ b \end{pmatrix}_{\text{mass}} = \begin{pmatrix} V_{ud} & V_{us} & V_{ub} \\ V_{cd} & V_{cs} & V_{cb} \\ V_{td} & V_{ts} & V_{tb} \end{pmatrix} \begin{pmatrix} d \\ s \\ b \end{pmatrix}_{\text{mass}} \quad (2.1)$$

Für die CKM-Matrix wird die Eigenschaft der Unitarität angenommen, was bis jetzt von keiner Messung widerlegt wurde. Sie ist durch vier Parameter, drei Winkel und eine komplexe, CP-verletzende Phase, eindeutig bestimmt und wird häufig in der sogenannten Wolfenstein-Darstellung<sup>2</sup> [3]:

$$V_{CKM} \approx \begin{pmatrix} 1 - \lambda^2/2 & \lambda & A\lambda^3(\rho - i\eta) \\ -\lambda & 1 - \lambda^2/2 & A\lambda^2 \\ A\lambda^3(1 - \rho - i\eta) & -A\lambda^2 & 1 \end{pmatrix} + \delta V. \quad (2.2)$$

$$\delta V = \begin{pmatrix} 0 & 0 & 0 \\ -iA^2\lambda^5\eta & 0 & 0 \\ A\lambda^5(\rho + i\eta)/2 & A\lambda^4(1/2 - \rho - i\eta) & 0 \end{pmatrix} \quad (2.3)$$

Die Unitaritätsbedingung liefert insgesamt neun Gleichungen, von denen sechs als Dreiecke in der komplexen Ebene dargestellt werden können, wobei die Fläche für diese 6 Unitaritätsdreiecke gleich groß ist. Die Dreieckseiten würden auf der reellen Achse zusammenfallen, wenn es keine CP-Verletzung gäbe. Im System der neutralen K-Mesonen ist das Unitaritätsdreieck relativ flach, da die Seiten eine Länge in der Größenordnung von  $\lambda$ ,  $\lambda$  und  $\lambda^5$  besitzen. Dies erschwert die Bestimmung der Parameter, für die die Länge der Dreieckseiten von Bedeutung ist. Im System der B-Mesonen ist dies anders. Hier sind die drei Seiten mit einer Länge der Ordnung  $\lambda^3$  fast gleichlang. [2]

---

<sup>1</sup>1968 zeigten S.L.Glashow, A.Salam und S.Weinberg, dass die elektromagnetische und die schwache Wechselwirkung in einem vereinheitlichten Modell durch die elektroschwache Kraft beschrieben werden können.

<sup>2</sup> $\lambda = \sin(\theta_C) = 0,221 \pm 0,002$



Die für B-Zerfälle entscheidenden Unitaritätsbedingungen lauten:

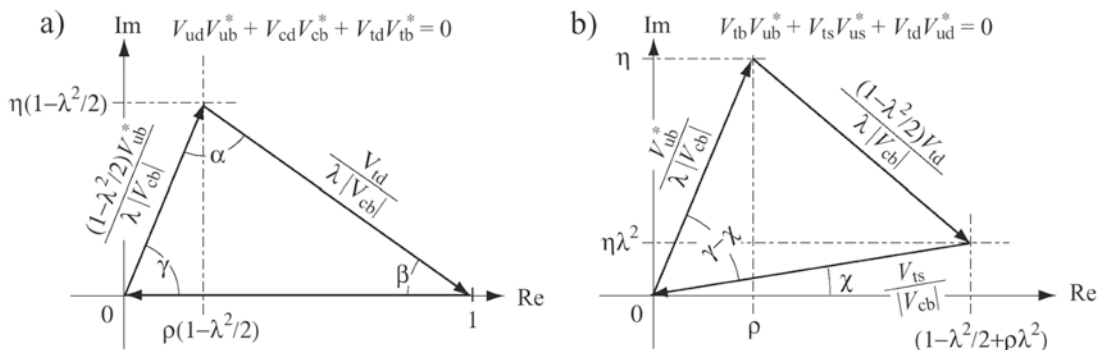
$$V_{ud}V_{ub}^* + V_{cd}V_{cb}^* + V_{td}V_{tb}^* = 0 \quad (2.4)$$

und

$$V_{tb}V_{ub}^* + V_{ts}V_{us}^* + V_{td}V_{ud}^* = 0. \quad (2.5)$$

Ihre Darstellung in der komplexen Ebene zeigt Abbildung 2.1. Die Unitaritätsrelation (2.4) ist für den Zerfall von  $B_d^0$ - und (2.5) für den von  $B_s^0$ -Mesonen relevant.

Die Betragsquadrate der Elemente  $V_{ij}$  der CKM-Matrix geben die Wahrscheinlichkeit für den Übergang  $q_i \leftrightarrow q_j$  zwischen den verschiedenen Quarksorten an. Man nutzt diese Tatsache, um aus den Messungen verschiedener Teilchenzerfälle ihre Verzweigungsverhältnisse und Zerfallsbreiten zu ermitteln. Daraus können die Beträge der Elemente  $V_{ij}$  sowie die Winkel  $\alpha$ ,  $\beta$ ,  $\gamma$  und  $\chi$  extrahiert werden. Einen anderen Zugang bietet die Untersuchung der  $B^0 - \bar{B}^0$ -Oszillationen, wo man als Meßgröße die Oszillationsfrequenz benutzt. Die Winkel  $\alpha$ ,  $\beta$ , und  $\gamma$  sind beispielweise durch die Länge der Dreieckseiten bestimmt. Sie können aber auch auf anderem Wege, mit Hilfe gemessener CP-Asymmetrien ermittelt werden. Eine Aufgabe von LHCb wird es sein, zu prüfen, ob beide unabhängig bestimmten Ergebnisse übereinstimmen. Sollte dies nicht der Fall sein, ist dies ein Indiz für Beiträge, die vom Standardmodell noch nicht erfasst werden. [4]



**Abbildung 2.1:** Zwei Unitaritätsrelationen der CKM-Matrix [3]

Die Unitaritätsrelationen (2.4) und (2.5) der CKM-Matrix, gezeichnet in der komplexen Ebene.

## 2.3 Messungen mit LHCb

Im LHCb-Detektor soll eine breite Palette von b-Quarks enthaltenden Hadronen erzeugt und deren Zerfallskanäle untersucht werden. Er muß nicht nur jedes Ereignis exakt rekonstruieren können, sondern auch eine Auswahl der relevanten Zerfälle ermöglichen, aus denen sich die in Abschnitt 2.2 aufgeführten Parameter ermitteln lassen.

Beispiele für mögliche Bestimmungen sind [4]:

$$\beta \text{ aus } B_d^0 \longrightarrow J/\psi K_s \quad (2.6)$$

$$\gamma - 2\chi \text{ aus } B_s^0 \longrightarrow D_s^\pm K^\mp \quad (2.7)$$

$$\chi \text{ aus } B_s^0 \longrightarrow J/\psi \phi \quad (2.8)$$

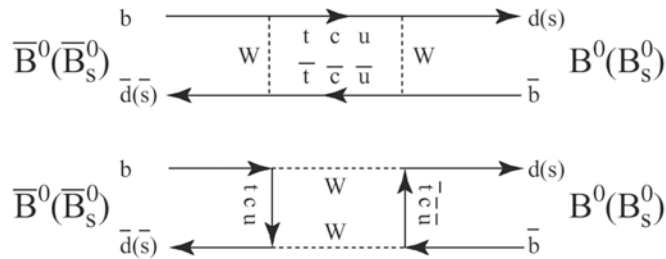
$$\gamma \text{ aus } B_d^0 \longrightarrow \bar{D}^0 K^{*0}, D^0 K^{*0}. \quad (2.9)$$

Die von LHCb geplanten Analysen lassen sich in drei Kategorien einteilen [5]:

- Allgemeine Messungen zur Flavour-Physik
- Untersuchung der CP-Verletzung
- Analyse von seltenen Zerfällen

In die Kategorie der Flavour-Physik fallen Analysen, die bereits anhand der ersten Daten durchgeführt werden können. Dies sind insbesondere Untersuchungen von Minimum-Bias-Ereignissen sowie von Zerfällen, bei denen ein  $J/\psi$  beteiligt ist, z. B.  $J/\psi \rightarrow \mu\mu$ . Des Weiteren wird der  $b\bar{b}$ -Wirkungsquerschnitt ermittelt und die Luminosität am Wechselwirkungspunkt mit direkten und indirekten Methoden bestimmt.

Für die Untersuchung der CP-Verletzung spielen  $B^0\text{-}\bar{B}^0$ -Oszillationen eine wesentliche Rolle. Mit dem LHCb-Detektor besteht dabei auch die Möglichkeit,  $B_s^0\text{-}\bar{B}_s^0$ -Oszillationen im Detail zu untersuchen<sup>3</sup>. Sie werden im Standardmodell durch die in Abbildung 2.2 dargestellten Boxdiagramme beschrieben.



**Abbildung 2.2:** Boxdiagramm der  $B - \bar{B}$ -Oszillationen im Standardmodell [3].

Im Mittelpunkt der Untersuchungen zur CP-Verletzung stehen jedoch die Messungen der Winkel  $\gamma$  und  $\chi$  (Phase von  $V_{ts}$ ). Dazu werden sowohl Zerfälle herangezogen, die als Baum-Diagramm beschreibbar sind, als auch Zerfälle, die über einen Schleifen-Prozess (Pinguin-Diagramm) ablaufen. Für bestimmte Zerfallsmoden treten dabei Beiträge von beiden Diagrammen auf. Ein Beispiel dafür ist der Zerfall  $B^0 \rightarrow \pi^+\pi^-$ , der in Abbildung 2.3 dargestellt ist. Da mit LHC auch  $B_s^0$ -Mesonen erzeugt werden, steht ein weiterer

<sup>3</sup>Eine erste Messung der Oszillationsfrequenz im  $B_s^0$ -System wurde bisher nur vom CDF II-Experiment durchgeführt. [6]

Zerfallskanal, nämlich  $B_s^0 \rightarrow K^+K^-$ , für Untersuchungen zur Verfügung. Es wird angenommen, dass die relativen Beiträge von Baum- und Pinguin-Prozessen bei beiden Zerfällen identisch sind (U-Spin-Symmetrie), was eine zusätzliche Möglichkeit zur Bestimmung des Winkels  $\gamma$  aus der zeitabhängigen CP-Asymmetrie eröffnet. Falls die Ergebnisse dieser komplementären Messungen von den auf anderem Wege ermittelten Werten abweichen, ist dies ein Hinweis für Beiträge von Neuer Physik jenseits des Standardmodells. [3]

Seltene Zerfälle, die über reine Schleifen-Diagramme ablaufen, sind besonders sensitiv auf Neue Physik. Ein Beispiel dafür ist der Zerfall  $B_s^0 \rightarrow \phi\phi$ . Bei diesem treten Abhängigkeiten von  $V_{ts}$  sowohl in den Mischungs- als auch in den Zerfallsamplituden auf. Nach dem Standardmodell löschen sich diese Beiträge jedoch gegenseitig aus. Ist in diesem Zerfallskanal trotzdem eine signifikante CP-Verletzung nachweisbar, ist dies ein weiteres Indiz für Neue Physik. [7]

Schließlich zeichnet sich LHCb im Vergleich zu anderen B-Meson-Experimenten, z. B. den B-Fabriken Babar und Belle, durch seine hohe B-Meson-Erzeugungsrate aus, die aufgrund der starken Energieabhängigkeit des Wirkungsquerschnitts für solche Reaktionen erreicht wird. Die erwartete Anzahl rekonstruierbarer Zerfälle und ihre Verzweigungsverhältnisse sind in Tabelle 2.1 für einige Kanäle aufgelistet. Ein weiterer Vorteil ist die höhere Schwerpunktsenergie, die für die Erzeugung schwerer B-Mesonen (z. B.  $B_s^0$ ) zur Verfügung steht und damit die Untersuchung neuer Zerfallsmoden ermöglicht. Allerdings gibt es gegenüber den  $e^+e^-$ -Maschinen, die meist bei einer bestimmten Schwerpunktsenergie operieren, den Nachteil eines hohen hadronischen Untergrunds, der eine Herausforderung für die Analysen darstellt.

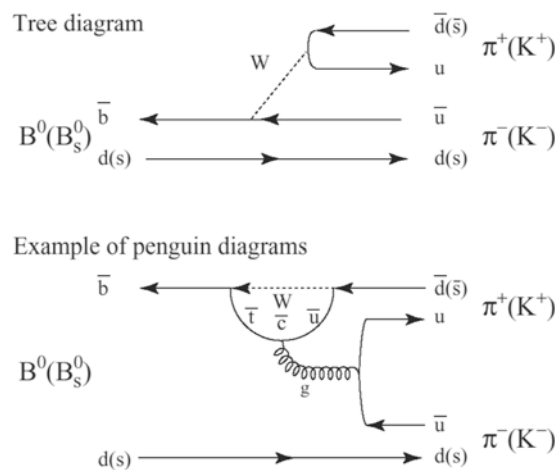


Abbildung 2.3: Feynman Diagramme der Prozesse  $B^0 \rightarrow \pi^+\pi^-$  und  $B_s^0 \rightarrow K^+K^-$  [3].

**Tabelle 2.1:** Erwartete Verzweigungsverhältnisse und jährliche Rekonstruktionen einiger Zerfallskanäle

Die Anzahl der jährlich erwarteten rekonstruierten Ereignisse enthält neben dem aufgeführten auch den ladungskonjugierten Zerfall [3].

Zerfallskanal	sichtbares Verzweigungsverhältnis	jährliche Anzahl rekonstruierter Zerfälle
$B^0 \rightarrow \pi^+\pi^-$	$4,8 \times 10^{-6}$	26.000
$B^0 \rightarrow K^+\pi^-$	$18,5 \times 10^{-6}$	135.000
$B_s^0 \rightarrow \pi^+K^-$	$4,8 \times 10^{-6}$	5.300
$B_s^0 \rightarrow K^+K^-$	$18,5 \times 10^{-6}$	37.000
$B^0 \rightarrow \rho\pi$	$20 \times 10^{-6}$	4.400
$B^0 \rightarrow D^{*-}\pi^+$	$71 \times 10^{-6}$	206.000
$B_s^0 \rightarrow D_s^-\pi^+$	$120 \times 10^{-6}$	80.000
$B^0 \rightarrow J\psi(\mu\mu)K_S^0$	$19,8 \times 10^{-6}$	216.000
$B^0 \rightarrow J\psi(\mu\mu)K^{*0}$	$59 \times 10^{-6}$	670.000
$B^+ \rightarrow J\psi(\mu\mu)K^+$	$68 \times 10^{-6}$	1.740.000
$B_s^0 \rightarrow J\psi(\mu\mu)\phi$	$31 \times 10^{-6}$	100.000
$B_s^0 \rightarrow \phi\phi$	$1,3 \times 10^{-6}$	1.200
$B^0 \rightarrow \mu^+\mu^-K^{*0}$	$0,8 \times 10^{-6}$	4.400
$B^0 \rightarrow K^{*0}\gamma$	$29 \times 10^{-6}$	35.000
$B_c^+ \rightarrow J\psi(\mu\mu)\pi^+$	$680 \times 10^{-6}$	14.000

## 2.4 LHC und LHCb

Der Large Hadron Collider (LHC) ist ein ringförmiger Teilchenbeschleuniger, der im ehemaligen LEP-Tunnel des CERN installiert ist. Er besteht aus einer 26658,9 m langen Doppelröhre, in der die Teilchen antiparallel von einem Dipolmagnetfeld auf ihrer Kreisbahn gehalten werden. Das Magnetfeld hat eine Stärke von 0,535 T bei der Injektion von Protonen ( $E_{\text{in}} = 450 \text{ GeV}$ ) aus dem Vorbeschleuniger (SPS) und muß bei der Nominalenergie von 7 TeV einen Wert von 8,33 T erreichen. Dies wird durch supraleitende Spulen bei einer Betriebstemperatur von 1,9 K bewerkstelligt. Die Teilchen durchlaufen den Ring nicht als kontinuierlicher Strahl sondern in Paketen, sogenannten Bunches. Diese Pakete, die im Mittel  $1,15 \cdot 10^{11}$  Protonen enthalten, kollidieren an den Wechselwirkungspunkten mit den entgegengesetzt umlaufenden, was als Bunch-Crossing bezeichnet wird. Der zeitliche Abstand zwischen zwei Bunch-Crossings beträgt 24,95 ns und entspricht dem LHC-Maschinentakt (40,08 MHz). [8]

Zukünftig werden am LHC die sechs Experimente ATLAS, CMS, LHCb, LHCf, TOTEM und ALICE durchgeführt. Während die ersten fünf genannten gemeinsam bei Proton-Proton-Kollisionen operieren, ist ALICE ein Schwerionenexperiment, mit dem das Quark-Gluonen-Plasma sowie der Confinementübergang (Quarkeinschluss) studiert werden soll. [9]

Der LHCb-Detektor befindet sich am Wechselwirkungspunkt 8 des LHC (siehe Abbildung 2.4). Er wird als Spektrometer eingesetzt und ist so konstruiert, dass er nur einen Halbraum, relativ zum Kollisionspunkt in Strahlrichtung, abdeckt. Der beobachtete

Layout of the LEP tunnel including future LHC infrastructures.

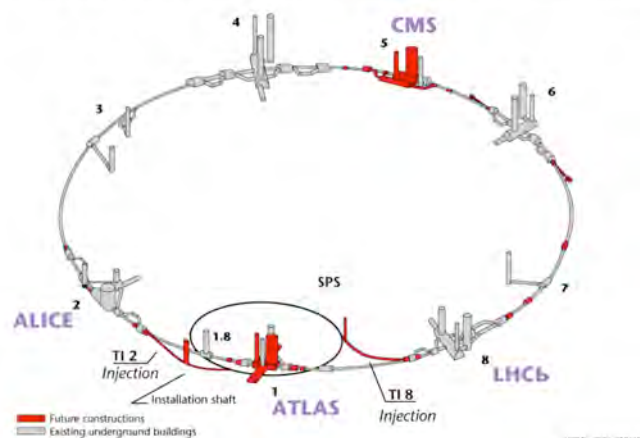


Abbildung 2.4: Standorte der Experimente am LHC

Gezeigt ist der bestehende LEP-Ring und für LHC notwendige Erweiterungen (rot) [8].

Raumwinkelbereich reicht von 10 mrad bis 250 mrad in der y-z-Ebene bzw. 300 mrad in der x-z-Ebene. Dies ist deshalb ausreichend, da bei hohen Energien die erzeugten  $b\bar{b}$ -Quarkpaare größtenteils unter kleinen Winkeln in den selben Halbraum gestreut werden und anschließend zu B-Mesonen hadronisieren. Die Simulation der stattfindenden Prozesse bestätigt dies und zeigt gleichzeitig die Symmetrie des differentiellen Wirkungsquerschnitts für beide Vorwärtsrichtungen (siehe Abbildung 2.5), so dass aus ökonomischen Gründen nur ein Halbraum beobachtet wird.

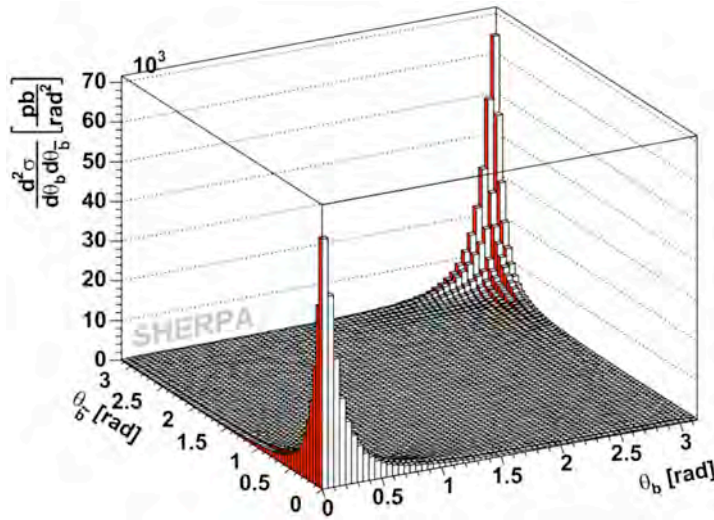


Abbildung 2.5: Polarwinkel von  $b$  und  $\bar{b}$  simuliert mit SHERPA ( $-4,9 < \eta < 4,9$ ) [10].

Das Optimum für die Detektorauslastung und die Spurrekonstruktion wird erreicht, wenn im Mittel genau eine Proton-Proton-Wechselwirkung pro Bunch-Crossing stattfindet. Um dies zu gewährleisten, wird der Teilchenstrahl lokal nur auf eine Luminosität von  $2 \times 10^{32} \text{ cm}^{-2} \text{ s}^{-1}$  fokussiert. Dementsprechend nutzt LHCb, anders als ATLAS und CMS, nur ca. 2% der mit LHC erreichbaren Luminosität. [3]

Abbildung 2.6 zeigt einen Schnitt durch den Detektor in der vertikalen Ebene entlang der Strahlrichtung (z-Achse). Er besteht aus den Teilsystemen (Sub-Detektoren):

- Vertex-Locator (VELO) und Beam-Conditions-Monitor (BCMU und BCMD)
- Ringabbildende Cherenkov-Detektoren (RICH1 und RICH2)
- Inneres und Äußeres Spurkammersystem (T1-T3) und Tracker Turicensis (TT)
- Elektromagnetisches und Hadronisches Kalorimeter (ECAL und HCAL) mit Silicon-Pad-Detektor und Pre-Shower-Detektor (SPD und PS)
- Myonkammern (M1-M5)

Der Aufbau der einzelnen Sub-Detektoren wird in den folgenden Abschnitten erläutert.

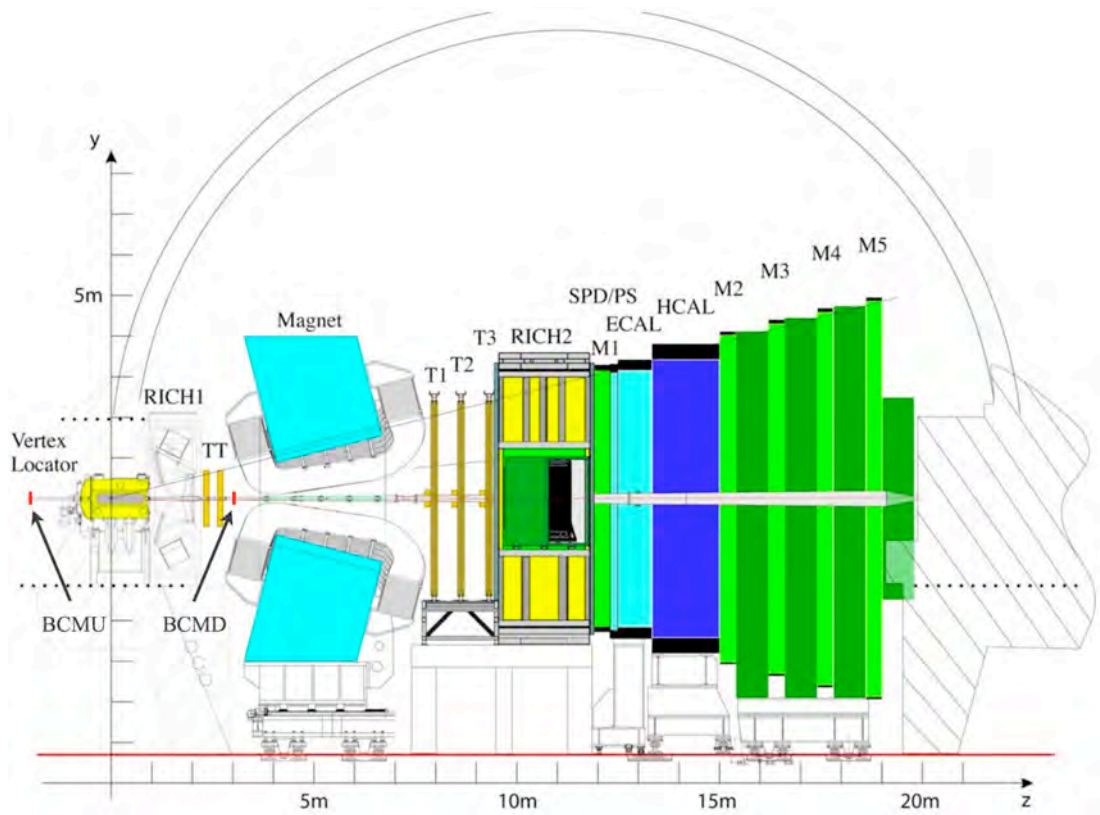


Abbildung 2.6: Vertikaler Schnitt durch den LHCb-Detektor [3]

## 2.5 Der Vertexdetektor

Der Vertexdetektor (VELO) hat die Aufgabe, genaueste zeitauflösende Messungen ( $r, \varphi$ ) der Spurkoordinaten geladener Teilchen in nächster Nähe zum Wechselwirkungsgebiet zu ermöglichen. Er muss die Rekonstruktion der Trajektorien von B-Mesonen, die präzise Bestimmung ihrer Flugzeit sowie eine Ermittlung des Stoßparameters von Teilchen, die zur Erkennung des B-Mesons benutzt werden (tagging), gewährleisten. Gleichzeitig liefert er Daten, die das Trigger-System (siehe Abschnitt 2.12) für die Auswahl der Ereignisse benötigt. [4]

Der Detektor ist auf der Basis von Siliziumsensoren aus insgesamt 21 Stationen aufgebaut, die sich im Vakuumbereich des LHC befinden. Jede Station besteht aus 2 Siliziumscheiben, welche die Form einer Kreisfläche haben und orthogonal zum Strahl angeordnet sind (siehe Abbildung 2.7). [3]

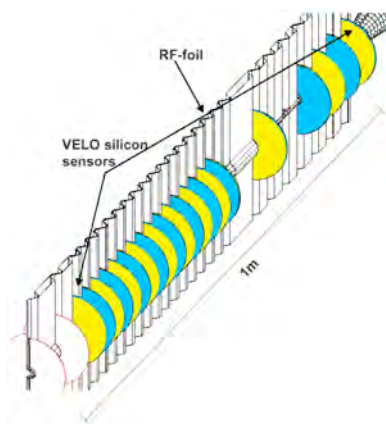


Abbildung 2.7: Anordnung der Sensoren des Vertexdetektors entlang der Strahlachse [3]

## 2.6 Die Ringabbildenden Cherenkov-Detektoren

Bei der Untersuchung von Teilchenzerfällen ist die Identifikation der beteiligten Hadronen besonders wichtig. Das Ringabbildende Cherenkov-Detektor-System (RICH1 und RICH2) liefert dazu einen entscheidenden Beitrag. Es benutzt den Effekt der Cherenkov-Strahlung, die von einem massiven elektrisch geladenen Teilchen beim Durchqueren von Materie emittiert wird, wenn dessen Geschwindigkeit höher als die Lichtgeschwindigkeit im Medium ist<sup>4</sup>. Um einen Impulsbereich von 1 GeV/c - 150 GeV/c abzudecken, kommen im Detektor drei verschiedene Medien zum Einsatz. Für kleine Impulse wird Aerogel (99,8 % Luft, 0,2% Silikat, [11]), für mittlere gasförmiges C<sub>4</sub>F<sub>10</sub> und für hohe das Gas CF<sub>4</sub> verwendet. Die ringförmig emittierten Photonen gelangen über ein Spiegelsystem zu einer Anordnung aus Hybrid-Photo-Dioden, die zur Detektion der Ringmuster dienen (siehe Abbildung 2.8). Aus der Geometrie dieser Muster ist die Geschwindigkeit der Teilchen berechenbar. [12]

## 2.7 Der Magnet

Zur Bestimmung der elektrischen Ladung und des Impulses geladener Teilchen ist ein Magnetfeld mit einer definierten Stärke notwendig. Im LHCb-Detektor wird dieses Feld von einem elektrischen Dipolmagnet erzeugt. Seine Spulen bestehen aus Aluminiumleitern, die eine Gesamtmasse von 50 t besitzen, der Eisenkern hat eine Masse von 1450 t. Das erzeugte Magnetfeld ist vertikal gerichtet (vgl. Abb. 2.6, Ablenkebene ist die x-z-Ebene) und erreicht eine Stärke von 1,1 T bzw. eine integrale Feldstärke von 4 Tm. Da die Spulen der Akzeptanz des Detektors folgen, ist das Magnetfeld nicht homogen, sodass auch das Äußere Spurkammersystem von ihm durchsetzt wird. Für die exakte

<sup>4</sup>Die Lichtgeschwindigkeit wird durch den höheren Brechungsindex in einem Medium verringert.



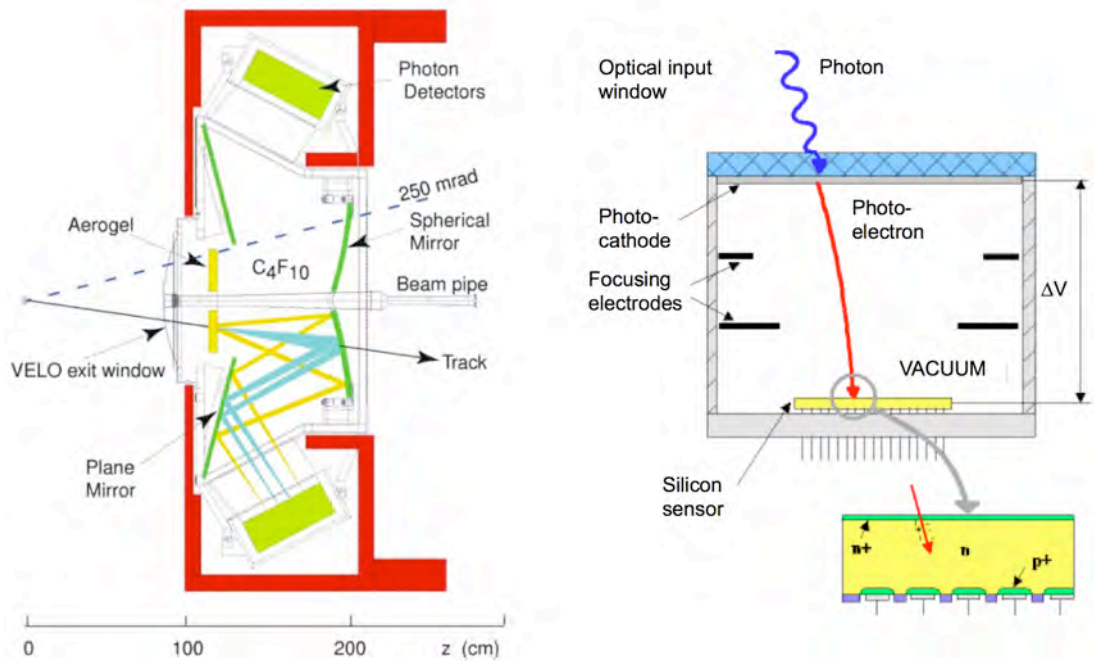


Abbildung 2.8: Aufbau des RICH-Systems [12].

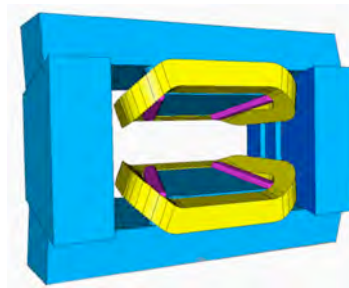


Abbildung 2.9: Modell des LHCb-Dipolmagneten [13]

Bestimmung der Teilchenimpulse wurden alle drei Raumkomponenten des Feldes im gesamten Volumen zwischen RICH1 und RICH2 vermessen. Um bei der Bestimmung eventuelle systematische Fehler zu kompensieren, kann die Polarität des Magnetfeldes gewechselt werden. [14]

## 2.8 Die Kalorimeter

Die im LHCb-Detektor eingesetzten Kalorimeter erfüllen zwei Hauptaufgaben. Zum einen stellen sie die Informationsbasis für die erste Trigger-Stufe bereit, wobei die

schnelle Erkennung von hochenergetischen Teilchen als Hadron-, Elektron- oder Photonkandidaten vorrangig ist. Andererseits müssen die Kalorimeter eine exakte Identifikation der eben genannten Teilchenarten sowie die präzise Bestimmung ihrer Energie und Position ermöglichen. Um diesen Anforderungen gerecht zu werden, sind sie in vier Teile gegliedert: ECAL, PS, SPD und HCAL (siehe Abbildung 2.6).

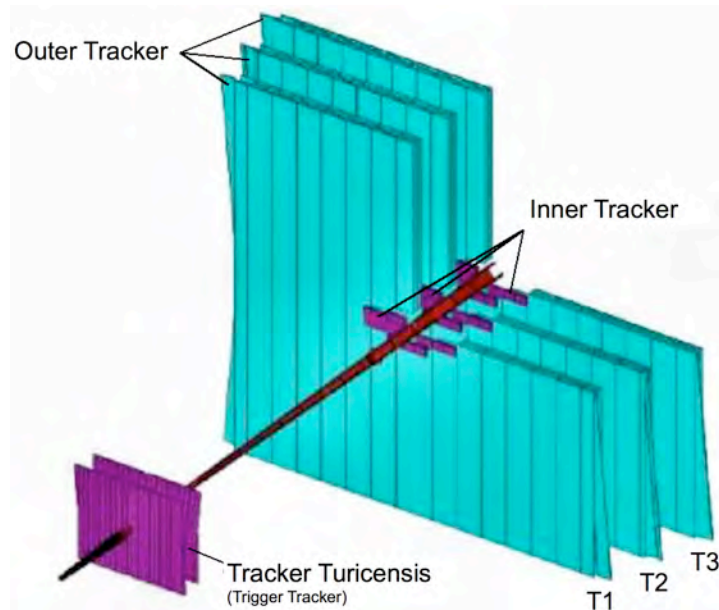
Das elektromagnetische Kalorimeter (ECAL) besteht aus Bleiplatten, als Absorbermaterial, zwischen denen sich Szintillatorplättchen zur Detektion befinden und ist auf den Nachweis von Elektronen und Photonen spezialisiert. Eine Unterscheidung von Elektronen und Photonen ist durch die Topologie des auftretenden elektromagnetischen Schauers gegeben, welche mit dem sogenannten Pre-Shower-Detector (PS) ermittelt wird. Dieser besteht aus Szintillatorstreifen und ist ebenfalls zur Unterdrückung des hohen Untergrunds von geladenen Pionen einsetzbar. Um den Untergrund von neutralen Pionen mit hoher Transversalenergie für den Elektron-Trigger zu reduzieren, wird ein weiterer Detektor auf Szintillatorbasis eingesetzt (SPD), der sich genau wie der PS vor dem elektromagnetischen Kalorimeter befindet. Schließlich dient das hadronische Kalorimeter (HCAL) zur Messung der Energie von Hadronen, wobei als Absorbermaterial Eisen verwendet wird. [15]

## 2.9 Der Myondetektor

In den Endzuständen seltener B-Mesonzerfälle, welche für die Untersuchung der CP-Verletzung von besonderem Interesse sind, treten sehr häufig Myonen auf, die zur Ereigniselektion verwendet werden. Dazu ist ein effektives Myondetektorsystem notwendig, das neben dem Beitrag zum Trigger auch die Identifizierung der Myonen sicherstellt. Der im LHCb-Experiment eingesetzte Myondetektor besteht aus fünf Stationen, die aus Vieldraht-Proportionalkammern aufgebaut sind. Die erste Station (M1) befindet sich vor dem Kalorimeter und ist für die Messung des Transversalimpulses von Myon-Spuren zuständig, welcher vom Trigger-System verwendet wird. Die anderen vier (M2-M5) befinden sich hinter dem Kalorimeter wobei die Tatsache genutzt wird, dass Myonen die einzigen geladenen Teilchen sind, die das Kalorimeter passieren. Zwischen den Stationen befinden sich Eisenplatten, die als Filter bzw. Absorber fungieren. [16]

## 2.10 Das Spurkammersystem

Bei der Untersuchung von Teilchenzerfällen ist die genaue Rekonstruktion der Trajektorien erforderlich, auf denen sich die Zerfallsprodukte durch den Detektor bewegen. Das Spurkammersystem des LHCb-Detektors umfasst den Tracker Turicensis (TT) sowie drei weitere Stationen (T1-T3), die sich jeweils in Inneres (Inner Tracker) und Äußeres (Outer Tracker) Spurkammersystem gliedern. Abbildung 2.10 zeigt die Geometrie dieser Anordnung. Neben der Verfolgung von Teilchen zwischen den einzelnen Detektorabschnitten, kann das Spurkammersystem auch Aussagen über ihre Impulse treffen. Dies gilt im Besonderen für die Stationen T1-T3, da sie sich im Feld des Ablenkmagneten befinden.

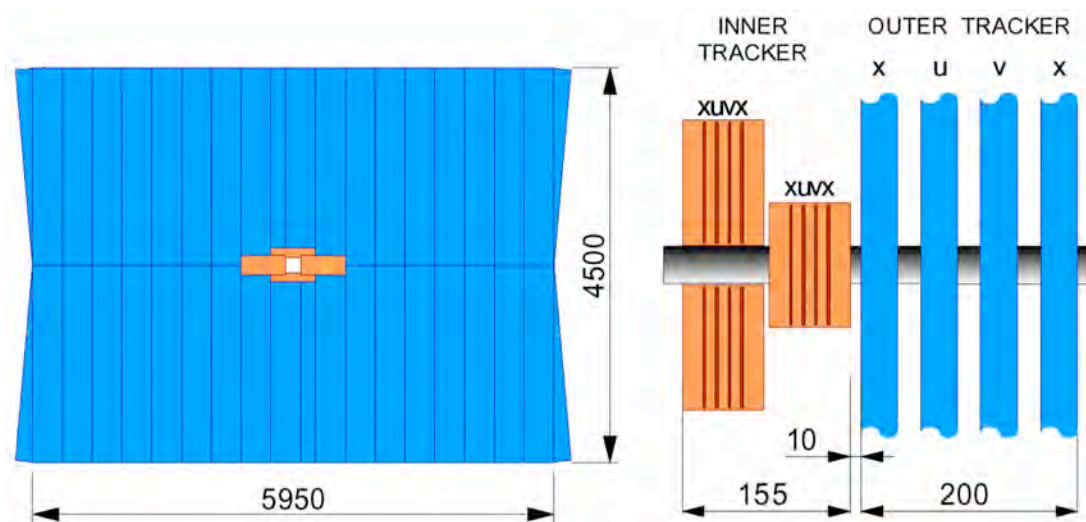


**Abbildung 2.10:** Schematische Anordnung des LHCb Spurkammersystems [17]

Der Tracker Turicensis (ehemals Trigger Tracker) wurde ursprünglich als Teil des Trigger-Systems konzipiert. Mit ihm erfolgt die Zuordnung von Transversalimpulsen zu Teilchenspuren mit großen Stoßparametern. Diese Daten sollten der Generierung des L1-Triggers dienen. Außerdem ist der Tracker Turicensis die letzte Station, die eine Verfolgung von Teilchen mit geringen Impulsen erlaubt, bevor sie durch das Magnetfeld aus dem Akzeptanzbereich der nachfolgenden Detektorkomponenten herausgestreut werden. Nach der Umstrukturierung des Trigger-Systems, die den Wegfall des L1-Triggers zur Folge hatte, trägt er nun hauptsächlich zur Spurrekonstruktion bei. Aufgebaut ist der Tracker Turicensis aus vier Lagen, auf denen Siliziumstreifendetektoren angeordnet sind. Die beiden inneren Lagen (U und V) sind dabei in Bezug zu den äußeren (X), bei denen die Siliziumstreifen vertikal ausgerichtet sind, um einen Winkel von  $+5^\circ$  (V) bzw.  $-5^\circ$  (U) geneigt. Die Lagen zwei und drei befinden sich in einem relativen Abstand von 30 cm (in z-Richtung) zueinander, wodurch der TT geteilt wird. [18]

Aufgrund der besonders hohen Spurdichte in der Nähe der Strahlachse sind die Spurkammerstationen in ein inneres und ein äußeres System unterteilt. Das Innere Spurkammersystem ist, ähnlich dem Tracker Turicensis, aus Siliziumstreifendetektoren aufgebaut, wobei die gleiche Winkelkonfiguration (X-U-V-X) für die vier Lagen verwendet wird. Diese beiden Sub-Detektoren benutzen auch die gleiche Frontend-Elektronik, weshalb sie zum Silicon Tracker (ST) zusammengefasst sind. Die genaue Geometrie der Stationen T1-T3 wird durch Abbildung 2.11 wiedergegeben. [18]

Das Äußere Spurkammersystem deckt den maximalen Akzeptanzbereich des LHCb-Detektors von 250 mrad (vertikal) bzw. 300 mrad (horizontal) ab. Jede Station ist modular aufgebaut, wobei die einzelnen Module aus zwei Lagen mit je 64 Driftröhren-



**Abbildung 2.11:** Geometrie einer Spurkammerstation T1-T3

Links: Ansicht in Richtung der Strahlachse. Rechts: Blick von der Seite. Die Buchstaben X, U und V stehen für die Ausrichtung der Module in der x-y-Ebene. Der Drehwinkel ist jeweils relativ zur y-Achse angegeben. X: vertikal, U: vertikal  $+5^\circ$ , V: vertikal  $-5^\circ$  [18].

chen bestehen<sup>5</sup>. Genau wie beim Tracker Turicensis und beim Inner Tracker sind jeweils vier Module hintereinander, mit der in Abbildung 2.11 gezeigten Ausrichtung angeordnet. [13]

Die äußeren Spurkammern arbeiten, ihrem Aufbau entsprechend, nach dem Prinzip des Proportionalzählrohres, das ein elektrisches Signal liefert, wenn es von einem ionisierenden Teilchen mit genügend hoher Energie durchquert wird. Eine ausführliche Beschreibung des Äußeren Spurkammersystems gibt Kapitel 3.

## 2.11 Der Beam-Conditions-Monitor

Der Beam-Conditions-Monitor (BCM) ist ein Sicherheitssystem für den LHCb-Detektor. Es überwacht kontinuierlich den Teilchenfluss in unmittelbarer Nähe zum Strahlrohr und kann im Falle zu hoher Strahlungsniveaus den Abbruch beider LHC-Strahlen auslösen. Damit wird vor allem der Vertex-Locator vor der Zerstörung geschützt, da sich dieser mit einem Abstand von ca. 6 mm am dichtesten an den Protonstrahlen befindet. Der BCM besteht aus zwei Stationen (BCMU und BCMD)<sup>6</sup>, die jeweils aus 8 CVD-Diamant-Sensoren<sup>7</sup> aufgebaut sind. Diese sind strahlenförmig im Abstand von 54 mm

<sup>5</sup>In der Nähe der Strahlachse kommen auch Module mit der halben Anzahl von Röhrchen zum Einsatz.

<sup>6</sup>Die Station BCMU befindet sich vor dem Wechselwirkungspunkt (upstream), die Station BCMD hinter ihm (downstream).

<sup>7</sup>Chemical-Vapor Deposition

(U) bzw. 41 mm (D) vom Strahlrohr entfernt angeordnet und besitzen eine Fläche von  $10\text{ mm} \times 10\text{ mm}$  sowie eine Dicke von  $500\text{ }\mu\text{m}$ . Die beiden größten Flächen sind auf einem Bereich von  $8\text{ mm} \times 8\text{ mm}$  metallisiert ( $500\text{ \AA}$  Gold auf  $500\text{ \AA}$  Titan) und an eine Spannung ( $U_{HV} = 200\text{ V}$ ) angeschlossen [19]. Tritt ein ionisierendes Teilchen durch den Diamant-Sensor, erzeugt es mehrere Elektronen-Loch-Paare. Diese werden durch das elektrische Feld getrennt und als Strom gemessen. Abbildung 2.12 zeigt die Geometrie der Station BCMD.

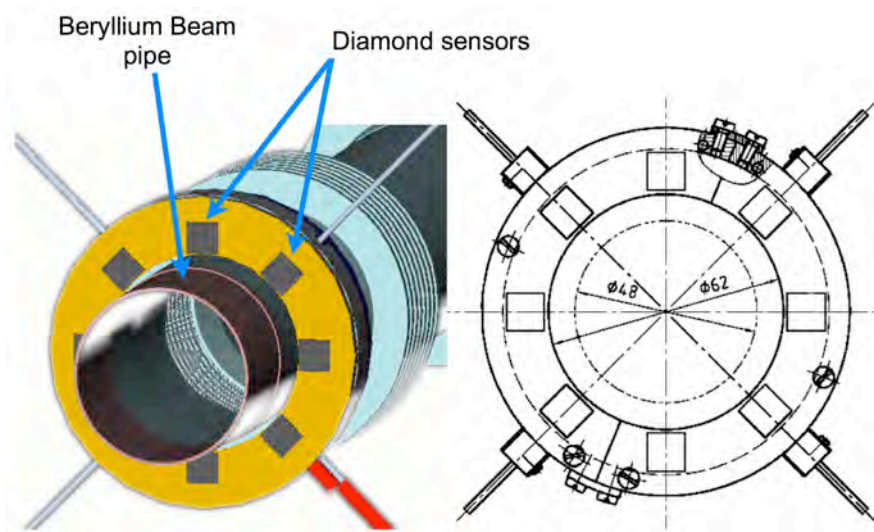


Abbildung 2.12: Geometrie des Beam-Conditions-Monitors [20].

## 2.12 Das Trigger-System

Das Trigger-System dient der Ereignis-Selektion. Es reduziert die zu speichernde Ereignisrate von 40,08 Millionen auf 2000 pro Sekunde. Dies ist notwendig, da die erzeugte Datenmenge von  $2,05\text{ TB/s}$  mit den heutigen Speichertechnologien über einen längeren Zeitraum nicht handhabbar ist<sup>8</sup>. Das Trigger-System wählt daher nur die Ereignisse zur Speicherung aus, die für die Untersuchungen und Analysen relevant sind. Dabei spielen die folgenden Fakten eine wesentliche Rolle [21]:

- Bei der genutzten Luminosität und einer Kollisionsrate von  $40,08\text{ MHz}$ , ist nur in jedem vierten Fall eine Proton-Proton-Wechselwirkung sichtbar<sup>9</sup>.
- Die erwartete Rate für die Produktion von  $b\bar{b}$ -Paaren liegt bei ca.  $100\text{ kHz}$ .

<sup>8</sup>Bei einer Laufzeit von 5 Jahren (reine Datennahme) wäre das Datenvolumen  $3,2 \cdot 10^8\text{ TB}$ .

<sup>9</sup>Eine Wechselwirkung wird als sichtbar definiert, wenn mindestens zwei geladene Teilchen produziert werden, die ausreichend viele Treffer im VELO und in T1-T3 erzeugen und damit rekonstruierbar sind.

- Die Wahrscheinlichkeit, dass dabei wenigstens ein B-Meson erzeugt wird, dessen Zerfallsprodukte im Akzeptanzbereich des Detektors liegen, wird auf 15% geschätzt.
- Die für die Untersuchung der CP-Verletzung relevanten B-Zerfälle besitzen typische Verzweignungsverhältnisse von  $\leq 10^{-3}$ .

Ursprünglich war das Trigger-System als 3-stufiges System konzipiert (siehe Abbildung 2.13). Es bestand aus dem Level-0-Trigger (L0), dem Level-1-Trigger (L1) sowie dem Higher-Level-Trigger (HLT). Nach der Umstrukturierung des Trigger-Systems aus verschiedenen Gründen<sup>10</sup>, entfällt der L1-Trigger als separate Trigger-Stufe (siehe Abbildung 2.14), wodurch sich auch der Aufgabenbereich des TELL1-Boards änderte. Gleichzeitig wurde die Ereignisrate am Eingang des Speicher-Systems auf 2 kHz erhöht, was einer mittleren Datenrate von 107,16 MB/s entspricht<sup>11</sup>.

Der Level-0-Trigger (L0) nutzt die Informationen aus dem Kalorimeter-System (SPD, PS, ECAL und HCAL), den Myonkammern und dem Pile-Up-System (Teil des VELO), um Ereignisse mit entsprechenden Signaturen zu selektieren. Dies sind vor allem Teilchen mit hohen Transversalenergien und Transversalimpulsen, welche für den Zerfall

<sup>10</sup>Durch die Umstrukturierung wurde die Komplexität des DAQ-Netzwerkes vereinfacht und der L1-Trigger als Teil des HLT in der DAQ-Farm implementiert. Damit wurde der Einsatz einer höheren Anzahl von CPUs in der PC-Farm der Entwicklung einer speziellen L1-Trigger-Elektronik vorgezogen. Gleichzeitig erhöht sich dadurch die Flexibilität des Trigger-Systems.

<sup>11</sup>Dabei wurde eine Größe von 56182 Byte pro Ereignis für den gesamten Detektor angenommen [22].

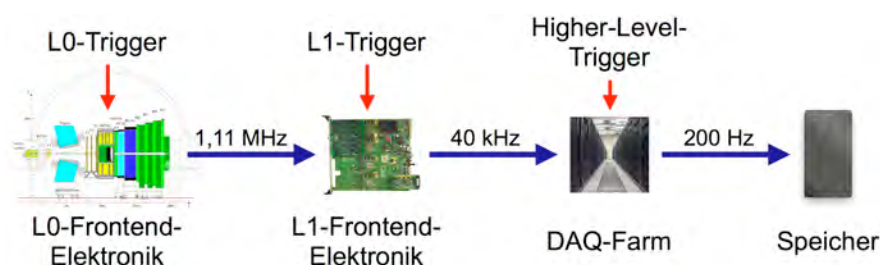


Abbildung 2.13: Ursprüngliche Struktur des Trigger-Systems.

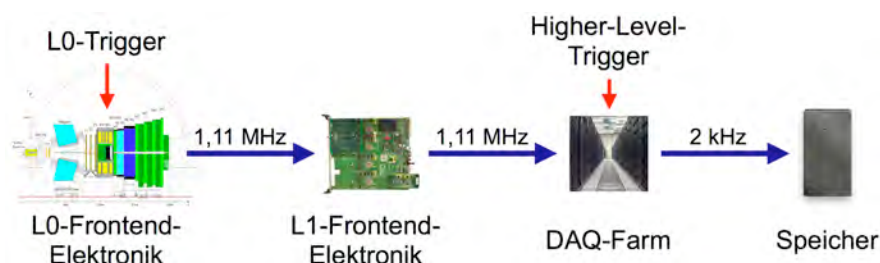


Abbildung 2.14: Das LHCb-Trigger-System nach der Umstrukturierung ("1 MHz Auslese").



von B-Mesonen mit großer Masse charakteristisch sind. Dazu werden im Kalorimeter-System die deponierte Gesamtenergie, das Teilchen (Hadron, Elektron, Photon und  $\pi^0$ ) mit der höchsten Transversalenergie sowie die Multiplizität der geladenen Teilchen bestimmt. Mit den Myonkammern findet zusätzlich die Rekonstruktion der zwei Myonen mit den höchsten Transversalimpulsen statt. Das Pile-Up-System trägt durch die Ermittlung der Anzahl von Proton-Proton-Wechselwirkungen pro Bunch-Crossing bei und bestimmt ebenfalls die Multiplizität der geladenen Teilchen. [21]

Die L0-Trigger-Entscheidung wird anhand der genannten Informationen von der Level-0-Decision-Unit (L0DU) getroffen und durch das TTC-System (Timing, Trigger & Control) an die Komponenten der L0- und L1-Frontend-Elektronik gesendet. Das TTC-System stellt gleichzeitig den LHC-Maschinentakt (40,08 MHz) sowie verschiedene Reset-Signale bereit.

Bei jeder Trigger-Ebene müssen die Ereignisse bis zur jeweiligen Entscheidung zwischengespeichert werden. Die Vorhaltezeit wird durch die Berechnungs- und Übertragungszeit der Trigger bestimmt und beträgt für den Level-0-Trigger  $4\ \mu\text{s}$  (konstant). Dies determiniert gleichzeitig die Speichertiefe des L0-Puffers in der L0-Frontend-Elektronik auf 160 LHC-Taktzyklen [21]. Dieser Teil der Ausleseelektronik ist für jede Detektorkomponente spezifisch und befindet sich unmittelbar am Detektor. Damit ist die L0-Frontend-Elektronik auch am stärksten der Strahlung ausgesetzt und muss dementsprechend widerstandsfähig und fehlertolerant sein.

Die nächste Zwischenspeicherung der Daten, allerdings ohne Reduktion der Ereignisrate durch eine Triggerstufe, findet in der L1-Frontend-Elektronik statt, die sich außerhalb des strahlenbelasteten Bereiches in ca. 50 m Entfernung vom Detektor befindet. Hierbei wird für fast alle Detektorkomponenten (Sub-Detektoren) die gleiche Elektronik - das TELL1-Board - eingesetzt.

Dem Higher-Level-Trigger (HLT) stehen schließlich die Daten von allen Detektorkomponenten zur Verfügung. Er selektiert die Ereignisse anhand ihrer vollständigen Rekonstruktion, die auch die Identifikation der Teilchen einschließt. Als Signatur für einen B-Meson-Zerfall wird hier vor allem nach einem Zerfallsvertex gesucht, der relativ zum Wechselwirkungspunkt versetzt auftritt. [21]

Die Generierung des Higher-Level-Triggers findet mit verschiedenen Software-Algorithmen in einer PC-Farm (DAQ-Farm) statt, die jederzeit an die Bedürfnisse angepasst werden können. Die Vorhaltezeit der Ereignisse ist dabei variabel und wird nur durch die Größe des Arbeitsspeichers der einzelnen Rechner sowie deren Anzahl<sup>12</sup> begrenzt.

---

<sup>12</sup>Die Ereignisse werden durch ein Verteilersystem zu einem freien Rechner (Farm-Node) gesendet und dort von den HLT-Routinen verarbeitet.





## Kapitel 3

# Das Äußere Spurkammersystem

### 3.1 Auslesen der Module

#### 3.1.1 Überblick

Das Äußere Spurkammersystem des LHCb-Detektors besteht aus insgesamt 264 Spurkammermodulen. Es wird in drei Stationen, vier Modullagen pro Station, vier Quadranten pro Modullage sowie neun Module in jedem Quadranten unterteilt<sup>1</sup>. Diese Struktur spiegelt sich auch in der Adressierung der Detektorelektronik wider, die in Abschnitt 3.1.3 erläutert wird. [23]

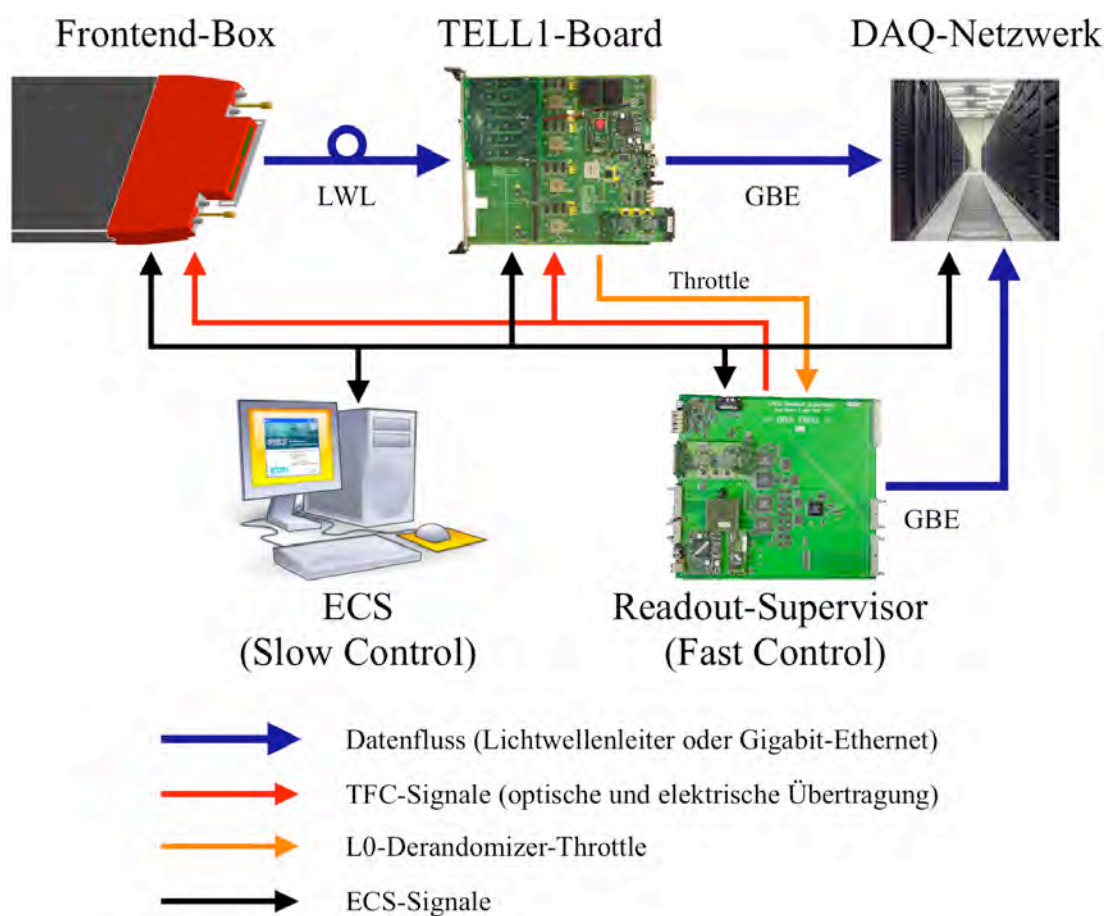
Abbildung 3.1 gibt einen Überblick über die Ausleseketten des Äußeren Spurkammersystems. Jedes Spurkammermodul wird mit Hilfe einer Frontend-Box ausgelesen, welche die Daten nach dem Empfang eines L0-Triggers digital über eine Glasfaserleitung an das so genannte TELL1-Board sendet. Das TELL1-Board bildet die Schnittstelle zwischen Detektorelektronik und Datenerfassungsnetzwerk (DAQ-Netzwerk) und dient gleichzeitig zur Datenvorverarbeitung. Im DAQ-Netzwerk, das im Wesentlichen aus ca. 1800 Rechenknoten besteht, werden die Daten durch mehrere Trigger-Algorithmen selektiert und gespeichert. [24]

Die Steuerung der Detektorelektronik sowie des TELL1-Boards übernimmt der Readout-Supervisor. Hierbei handelt es sich um eine LHCb-spezifische Komponente, welche die Reset-, Takt- und Triggersignale (TFC-Signale) koordiniert und an die Frontend-Elektronik sendet. Die TFC-Signale werden synchron zum LHC-Takt (40.08 MHz) übertragen, wobei der Zeitpunkt ihres Empfangs essentiell für die Funktion des Detektors ist. Dieser Vorgang wird als *Fast Control* bezeichnet. Im Falle eines drohenden Speicherüberlaufs auf dem TELL1-Board sendet dieses ein Throttle-Signal, mit dessen Hilfe der Readout-Supervisor die Verteilung des L0-Triggers unterbrechen kann. Synchron zum L0-Trigger übermittelt der Readout-Supervisor auch Statusinformationen an das DAQ-Netzwerk, die bei der Ereignisrekonstruktion berücksichtigt werden. [25]

Die Konfiguration sowie die Überwachung aller Elemente der Ausleseketten ist durch das Experiment-Kontroll-System (ECS) realisiert. Es besteht aus mehreren Rechnern, die

---

<sup>1</sup>168 der Module (Typ F, siehe Abbildung 3.4) erstrecken sich über jeweils zwei Quadranten.



**Abbildung 3.1:** Die Ausleseketten des Äußeren Spurkammersystems. Die Spurkammermodule werden mit der Frontend-Box ausgelesen und die Daten mit einem L0-Trigger (TFC-Signal) über das TELL1-Board an das DAQ-Netzwerk gesendet. Die Steuerung der Komponenten übernimmt die *Fast Control*, die Konfiguration und Überwachung die *Slow Control*.

in einer Hierarchie angeordnet sind und mit den Komponenten der Ausleseelektronik über verschiedene Protokolle kommunizieren. Bedingt durch die hohe Zahl zu überwachender Register ( $\sim 10^4$ ) und der damit verbundenen Datenmenge, wird dieses System asynchron zum LHC-Takt betrieben und als *Slow Control* bezeichnet. [26]

### 3.1.2 Aufbau und Funktionsweise der Spurkammermodule

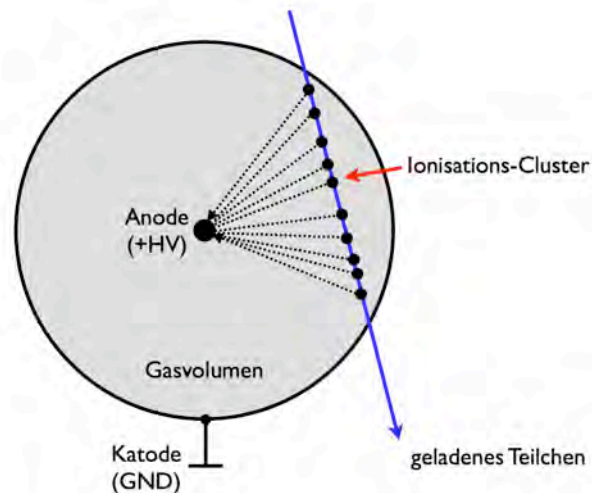
Das Äußere Spurkammersystem des LHCb-Detektors ist ein Driftkammersystem, das aus röhrenförmigen Driftzellen aufgebaut ist. Das grundlegende Funktionsprinzip beruht auf der Ionisation eines Gases, wenn dieses von einem geladenen Teilchen durchquert wird (siehe Abbildung 3.2). Die Ionisationsenergie stammt dabei aus dem Verlust

an kinetischer Energie, den das geladene Teilchen auf dem Weg durch das Gas erfährt. Er wird durch die Bethe-Bloch-Gleichung beschrieben. Man unterscheidet primäre Ionisation, die Wechselwirkung des zu detektierenden Teilchens mit einem Gasatom, und sekundäre Ionisation, die als Wechselwirkung von bereits ionisierten Elektronen und Ionen mit weiteren Gasatomen in unmittelbarer Umgebung der Primäriodisation auftritt. Die Anzahl der primären Wechselwirkungen (Ionisations-Cluster) beträgt bei Normaldruck ca. 35 pro Zentimeter. [27]

Das elektrische Feld, welches durch eine Hochspannung (HV) zwischen Anodendraht und Katode erzeugt wird, beschleunigt die frei gewordenen Elektronen in Richtung Anode. Da es nicht homogen ist, sondern eine Radialsymmetrie der Form

$$E(r) = \frac{U}{r \cdot \ln \frac{r_{min}}{r_{max}}} \quad (3.1)$$

aufweist, werden die Elektronen auf ihrem Weg zur Anode immer stärker beschleunigt. Ihre mittlere freie Weglänge liegt in der Größenordnung von Mikrometern. Die elektrische Feldstärke muss mindestens einige  $10^4$  V/cm betragen, damit die driftenden Elektronen genügend kinetische Energie erhalten, um weitere Gasatome zu ionisieren. In unmittelbarer Nähe der Anode kommt es daher zu einer lawinenartigen Ionisation, die eine Vervielfachung der Ladung bewirkt und damit den Gasverstärkungsfaktor bestimmt. [27]

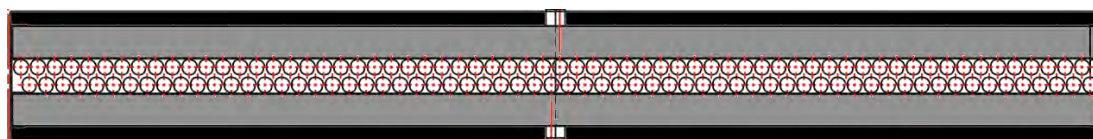


**Abbildung 3.2:** Querschnitt eines Proportionalzählröhrchens. Entlang der Trajektorie eines geladenen Teilchens bilden sich im Zählgas so genannte Ionisations-Cluster. Die dort frei gewordenen Elektronen driften im elektrischen Feld zur Anode, werden durch einen Lawineneffekt verstärkt und sind als Ladungsänderung auf dem Anodendraht messbar.

Erreicht die Elektronenlawine den Anodendraht, bewirkt sie auf ihm eine Ladungsänderung. Diese wird kapazitiv ausgekoppelt und ist als elektrisches Signal detektierbar. Ziel ist es, die Driftzeit der Elektronen zu messen. Aus ihrem Wert kann man mit Hilfe der ermittelten Orts-Driftzeit-Beziehung (siehe Abschnitt 3.2.1) den Abstand der Ionisationsspur vom Anodendraht auf weniger als  $200\ \mu\text{m}$  genau bestimmen [13]. Der minimale Abstand wird dabei am besten durch das Signal des zuerst an der Anode eintreffenden Ionisations-Clusters beschrieben. Daher muss das Signal, welches gleichzeitig das Ende der Driftzeitmessung bestimmt, derart diskriminiert werden, dass nur die Ladung dieses ersten Clusters berücksichtigt wird.

Für den Start der Driftzeitmessung wird entweder ein Signal von anderen, schnelleren Detektoren (z.B. Szintillatoren) vor und/oder hinter der Spurkammer verwendet oder ein Signal, das mit dem Zeitpunkt der Erzeugung des zu detektierenden Teilchens direkt korreliert ist. Beim LHCb-Experiment wendet man die letztere Variante an. Das entsprechende Signal wird durch den LHC-Maschinentakt ( $40,08\ \text{MHz}$ ) bereitgestellt, welcher synchron zu den Proton-Proton-Kollisionen ist.

Die für das Äußere Spurkammersystem des LHCb-Detektors verwendeten Driftröhrchen haben einen Durchmesser von  $5\ \text{mm}$  und werden deshalb als Straw-Tubes (Strohhalme) bezeichnet. Sie bestehen aus einer  $40\ \mu\text{m}$  dicken Kapton XC-160 Folie, die mit einer Aluminiumschicht ( $25\ \mu\text{m}$ ) bedampft ist. Als Anodendraht dient ein vergoldeter Wolframdraht, welcher einen Durchmesser von  $25\ \mu\text{m}$  besitzt. Das Zählgas ist ein Gemisch aus  $70\ \%$  Argon und  $30\ \%$  Kohlendioxid, das unter einem geringen Überdruck von ca.  $3\ \text{mbar}$  durch die Module strömt. Dadurch findet ein kompletter Gasaustausch pro Stunde statt. Durch Effizienzmessungen beim Teststrahlexperiment am DESY (siehe Abschnitt 3.2.2) wurde der optimale Hochspannungswert von  $1550\ \text{V}$  bestimmt. Damit ergibt sich ein Gasverstärkungsfaktor von ca.  $20000$ . Die Straw-Tubes sind zu Modulen zusammengefasst, innerhalb derer sie in zwei gegeneinander um  $2,5\ \text{mm}$  versetzte Monolagen angeordnet sind (siehe Abb. 3.3). [13]



**Abbildung 3.3:** Querschnitt eines Spurkammermoduls (Typ F, S1 und S2) [13]. Das Modul besteht aus 128 Driftröhrchen, die um den halben Röhrchendurchmesser ( $2,5\ \text{mm}$ ) versetzt in zwei Lagen angeordnet sind. Module des Typs S3 bestehen aus 64 Driftröhrchen und sind deshalb nur halb so breit.

Aufgrund der Detektorgeometrie in der Nähe des Strahlrohres (siehe Abbildung 3.4) unterscheidet man vier Modultypen, die in Tabelle 3.1 aufgelistet sind [17]. Alle Module besitzen die selbe Dicke von  $41\ \text{mm}$ . Wie Abbildung 3.4 zeigt, sind die Module an so genannten C-Rahmen angebracht, welche gleichzeitig die notwendige Infrastruk-

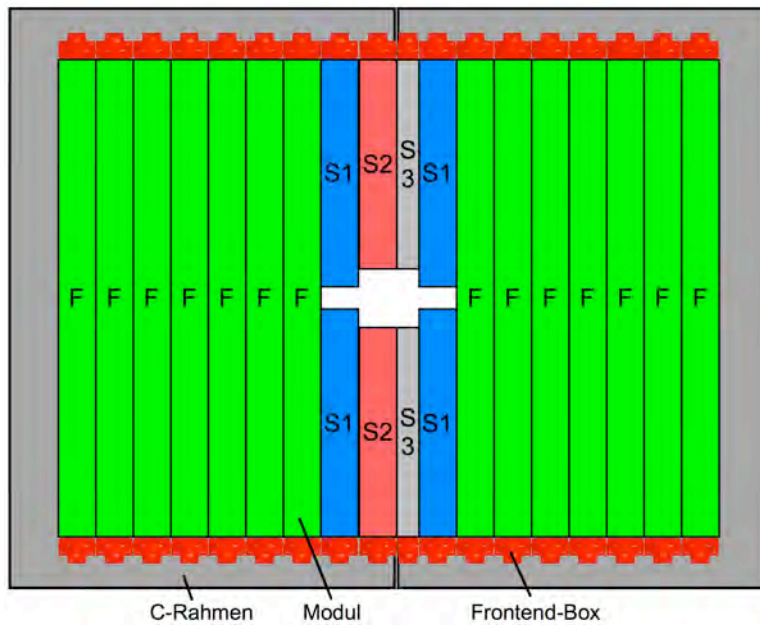
Tabelle 3.1: Modultypen des Äußeren Spurkammersystems [28]

Typ	Länge [mm]	Breite [mm]	Anzahl der Straws pro Monolage	Strawlänge [mm]	Auslese
F	4928	340	2 x 64	2423	an beiden Enden (Straws in Modulmitte nicht verbunden)
S1	2395	340	64	2320	an einem Ende
S2	2295	340	64	2221	an einem Ende
S3	2295	170	32	2221	an einem Ende

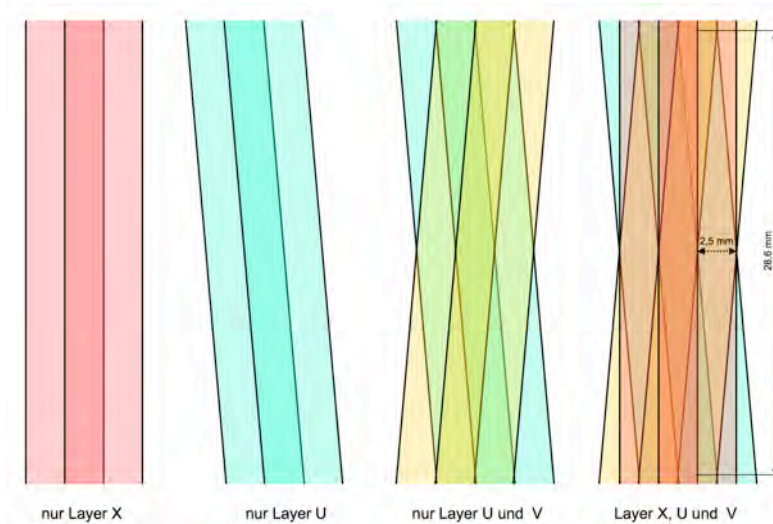
zur Verfügung stellen. Dazu gehören die Gasversorgung, die Hochspannungsversorgung, die Stromversorgung für die Frontend-Boxen, Glasfaser- und ECS-Verbindungen sowie die Kühlung der Elektronik. Die C-Rahmen sind auf Schienen gelagert und können zur Wartung aus dem Detektor hinaus bewegt werden. Während des Betriebs wird die Lage der Module mit einem System aus CCD-Kameras (RASNIK) überwacht [29]. Dieses System erreicht eine Genauigkeit von  $10\ \mu\text{m}$  und nimmt regelmäßig Messungen vor. Die gewonnenen Daten werden in der Zustands-Datenbank gespeichert und zur späteren Rekonstruktion der Ereignisse herangezogen.

Mit der vorzugsweise senkrechten Anordnung der Straw-Tubes können die Durchtrittsorte der geladenen Teilchen nur in x-Richtung (senkrecht zum Anodendraht) exakt gemessen werden. Dies resultiert aus der Tatsache, dass die Drähte jeweils nur an einem Ende ausgelesen werden und somit keine Information über den Ort in y-Richtung (parallel zum Anodendraht) vorliegt. Um dennoch eine akzeptable Auflösung in y-Richtung zu erhalten, besteht jede der drei Stationen des Äußeren Spurkammersystems aus vier Modullagen (X-U-V-X), wobei die beiden inneren Lagen U und V um  $+5^\circ$  bzw.  $-5^\circ$  gegen die y-Achse geneigt sind. Durch die Koinzidenz hintereinander liegender Straw-Tubes wird eine Differenzierung in Driftzellen erreicht, mit denen der Ort in y-Richtung ermittelt werden kann (siehe Abbildung 3.5).

Zur Spurrekonstruktion werden neben den Daten aus dem Äußeren Spurkammersystem auch die Informationen der Kalorimeter und der Myon-Kammern verwendet. Man benutzt diese vorzugsweise als Track-Seed (Spurkeim), weil sich die übrigen Spurdetektoren (VELO, TT) vor dem Magneten befinden und man die Teilchenbahnen durch das Magnetfeld aus deren Daten allein nicht exakt vorhersagen kann. Da das magnetische Feld bis in das Äußere Spurkammersystem hinein reicht, besteht nur dort die Möglichkeit, die Krümmungsradien der Spuren und damit die Impulse der Teilchen genau zu bestimmen. Um eine hohe Genauigkeit zu erreichen, werden regelmäßig ausgewählte Spuren in mehreren Iterationen rekonstruiert und daraus Korrekturfunktionen für die Lageabweichung der Spurkammermodule ermittelt (Alignment). Die Daten des RASNIK-Systems dienen dabei als Anfangswerte.



**Abbildung 3.4:** Anordnung der Module des Äußeren Spurkammersystems (vgl. [28]). Die vier Modultypen F und S1-S3 sind an so genannten C-Rahmen angebracht, die gleichzeitig die nötige Infrastruktur bereitstellen.

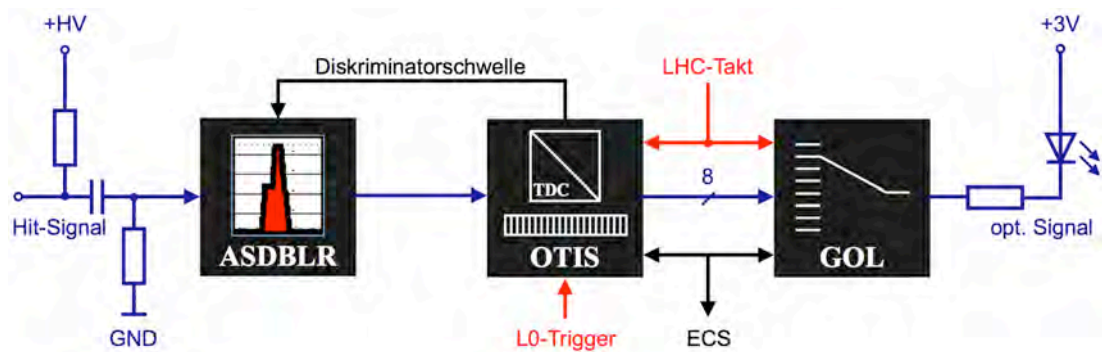


**Abbildung 3.5:** Differenzierung der Straws in Driftzellen. Die Modullagen U und V sind innerhalb einer Station um plus bzw. minus  $5^\circ$  gegen die Senkrechte geneigt. Durch die Koinzidenz der hintereinander liegenden Straws entstehen Driftzellen, die eine Ortsbestimmung in y-Richtung ermöglichen.

### 3.1.3 Die Frontend-Box

Die L0-Frontend-Elektronik des Äußeren Spurkammersystems ist in der Frontend-Box zusammengefasst. Sie ist auf das Ende eines Moduls aufgesteckt und elektrisch sowie thermisch mit dem C-Rahmen verbunden (vgl. Abbildung 3.4). Die Frontend-Box hat folgende Aufgaben:

- Verteilung der Hochspannung auf die Driftröhrchen und Auskopplung des Signals (RC-Glied)
- Verstärkung, Diskriminierung und Formung des Signals (ASDBLR)
- Messung, Digitalisierung und Zwischenspeicherung der Driftzeiten (OTIS)
- Serialisierung der Daten für die optische Übertragung (GOL)



**Abbildung 3.6:** Blockdiagramm der Frontend-Box. Die Hit-Signale werden aus dem Detektor kapazitiv ausgekoppelt, verstärkt, diskriminiert und geformt. Ihre Phasenlage relativ zum LHC-Takt wird vom OTIS-TDC gemessen und als digitalisierte Driftzeit zwischengespeichert. Nach dem Eintreffen eines L0-Triggers werden die entsprechenden Daten vom GOL für die optische Übertragung serialisiert.

Abbildung 3.6 zeigt das Blockschaltbild der Frontend-Box, welches die oben genannten Aufgaben repräsentiert. Zu Beginn werden die Signale aus den Driftröhrchen mit Hilfe von RC-Gliedern kapazitiv ausgekoppelt und an den Eingang des **ASDBLR**<sup>2</sup> geleitet. Dieser für den TRT<sup>3</sup> des ATLAS-Detektors entwickelte, integrierte Schaltkreis zur Verstärkung, Formung, Rekonstruktion der Basis und Diskriminierung von elektrischen Impulsen (ASDBLR02) besitzt 8 identische Kanäle, deren Aufbau schematisch in Abbildung 3.7 gezeigt ist. Nach einer Vorverstärkung und drei Signalformungsstufen, folgt die Wiederherstellung der ebenen Signalbasis, welche durch die vorangegangenen Stufen verloren ging. Letztlich wird das Signal diskriminiert und durch einen 3-Zustands-LVDS-Treiber ausgegeben. [30]

<sup>2</sup>Amplification Shaping Discrimination and Baseline Restoration

<sup>3</sup>Transition Radiation Tracker



Der ASDBLR besitzt neben den Signaleingängen einen weiteren analogen Eingang (Gain Adj.), an dem eine Biasspannung zur Einstellung des Verstärkungsfaktors anliegt. Sie wird durch einen DAC<sup>4</sup> im OTIS erzeugt, wo ihr Wert über ein Register zwischen 0 mV und 2000 mV einstellbar ist. Dieser Verstärkungsfaktor bestimmt die Diskriminatorschwelle, wobei die folgende Beziehung zwischen diskriminierter Ladung und Biasspannung besteht [31]:

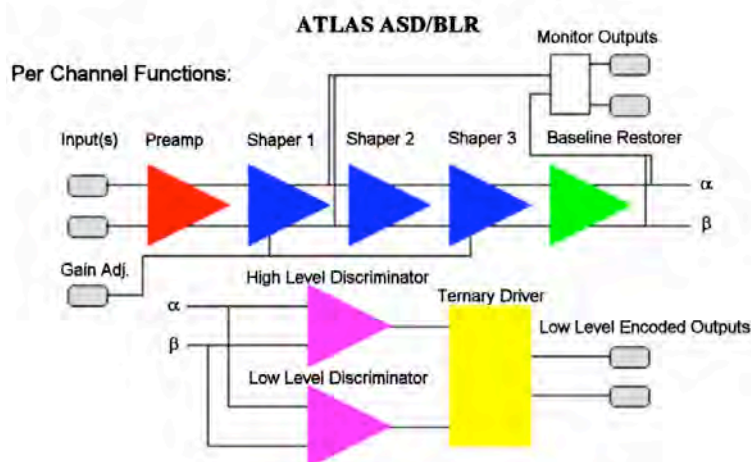
$$Q_{dis} = 1 \text{ fC} \cdot e^{-1.25+0.0033 \text{ mV}^{-1} \cdot U_{bias}}. \quad (3.2)$$

Die Ladung, welche auf dem Anodendraht von jedem Ionisations-Cluster (siehe Abschnitt 3.1.2) deponiert wird, ist in erster Näherung das Produkt aus der Ladung eines Elektrons und der Gasverstärkung. Für die Diskriminierung auf den ersten Ionisations-Cluster ergibt dies eine Ladung von ca. 3,2 fC und eine Biasspannung von ca. 730 mV. Die vom ASDBLR aufbereiteten Signale werden im LVDS-Standard<sup>5</sup> an den OTIS-IC weitergeleitet.

Der **OTIS** ist ein 32-Kanal-TDC, der im ASIC-Labor der Universität Heidelberg entwickelt wurde [32]. Er misst die Zeitdifferenzen zwischen den Hit-Signalen an seinen 32 LVDS-Eingängen und der steigenden Flanke des LHC-Maschinentakts, der eine Periodendauer von ca. 24,95 ns aufweist. Eine Delay Locked Loop (DLL), die aus 32 regel-

<sup>4</sup>Digital to Analog Converter

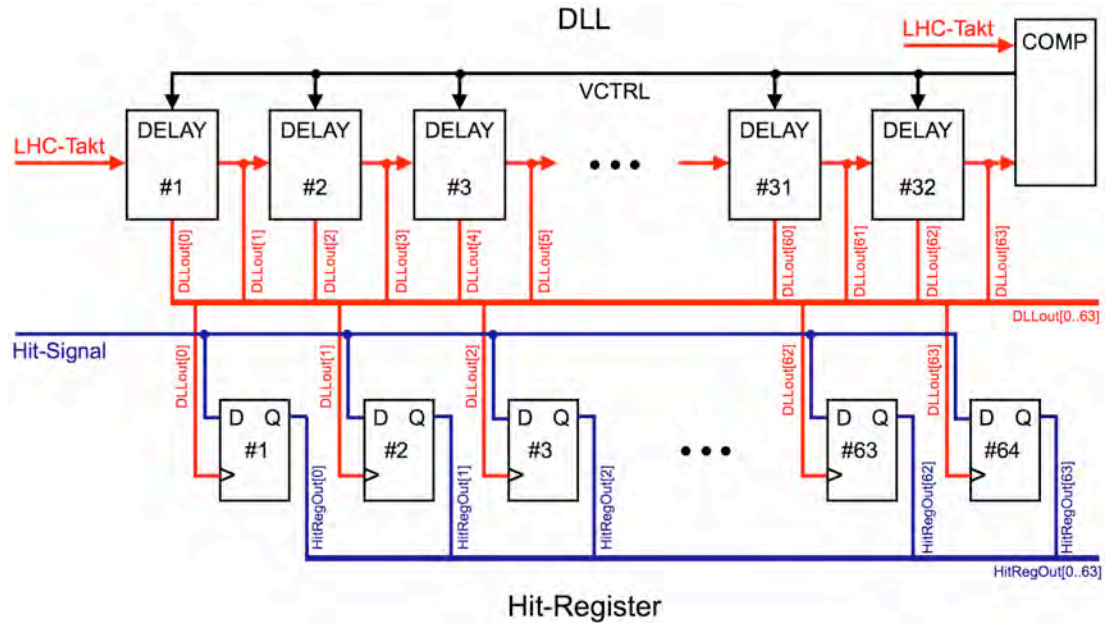
<sup>5</sup>LVDS (Low Voltage Differential Signaling)



**Abbildung 3.7:** Blockdiagramm des ASDBLR [30]. Über den Eingang 'Gain Adjust' kann der Verstärkungsfaktor der Shaper-Stufen und damit die Diskriminatorschwelle eingestellt werden.



baren Verzögerungselementen besteht (siehe Abbildung 3.8), teilt dieses Zeitintervall in 64 Abschnitte (Bins). Man erreicht damit theoretisch eine Auflösung von 390 ps.



**Abbildung 3.8:** Driftzeitbestimmung im OTIS (vgl. [33]). Mit der DLL wird die Periode des LHC-Taktes in 64 Bins unterteilt (390 ps/Bin). Das Hit-Signal wird mit jedem der 64 verzögerten Taktsignale abgetastet und in einem Hit-Register (HR) gespeichert. Die Driftzeit ist durch den 0-1-Übergang innerhalb des HR kodiert.

Die Verzögerungselemente der DLL sind aus Feld-Effekt-Transistoren (FET) aufgebaut. Eine Regelspannung (VCTRL) bestimmt die Schaltgeschwindigkeit der FETs und damit die Verzögerung. Sie wird solange erhöht<sup>6</sup>, bis die Phasenverschiebung am DLL-Ausgang genau einem Taktzyklus entspricht. Dann ist der Zustand ‘DLL locked’ erreicht und die Messung ist gültig. Um die Regelzeit zu verkürzen, kann der Anfangswert für VCTRL in ein dafür vorgesehenes Register geschrieben werden. Mit den 64 unterschiedlich verzögerten LHC-Takten wird das Hit-Signal abgetastet und das Ergebnis in einem Hit-Register (HR) gespeichert. Die Position des ersten, von null verschiedenen Bits innerhalb des Hit-Registers repräsentiert schließlich die digitalisierte Driftzeit. [33] Die je Bunch-Crossing ermittelten digitalen Driftzeiten aller getroffenen Kanäle<sup>7</sup> gelangen in einen Speicher (L0-Buffer), der nach dem Pipeline-Prinzip betrieben wird. Die Daten werden synchron zum LHC-Maschinentakt durch den 164 Taktzyklen tiefen L0-Buffer hindurchgeschoben und bis zum Eintreffen des L0-Triggerpulses vorgehalten. Die Verzögerung zwischen Messung und Trigger ist dabei konstant und wird in einem Register als L0-Latency gespeichert. Sie ist durch die Signallaufzeiten sowie die Berech-

<sup>6</sup>Erreicht die Regelspannung ihr Maximum, ist ein DLL-Reset-Signal erforderlich.

<sup>7</sup>ca. 7% aller Kanäle werden im Mittel pro Ereignis getroffen [34]

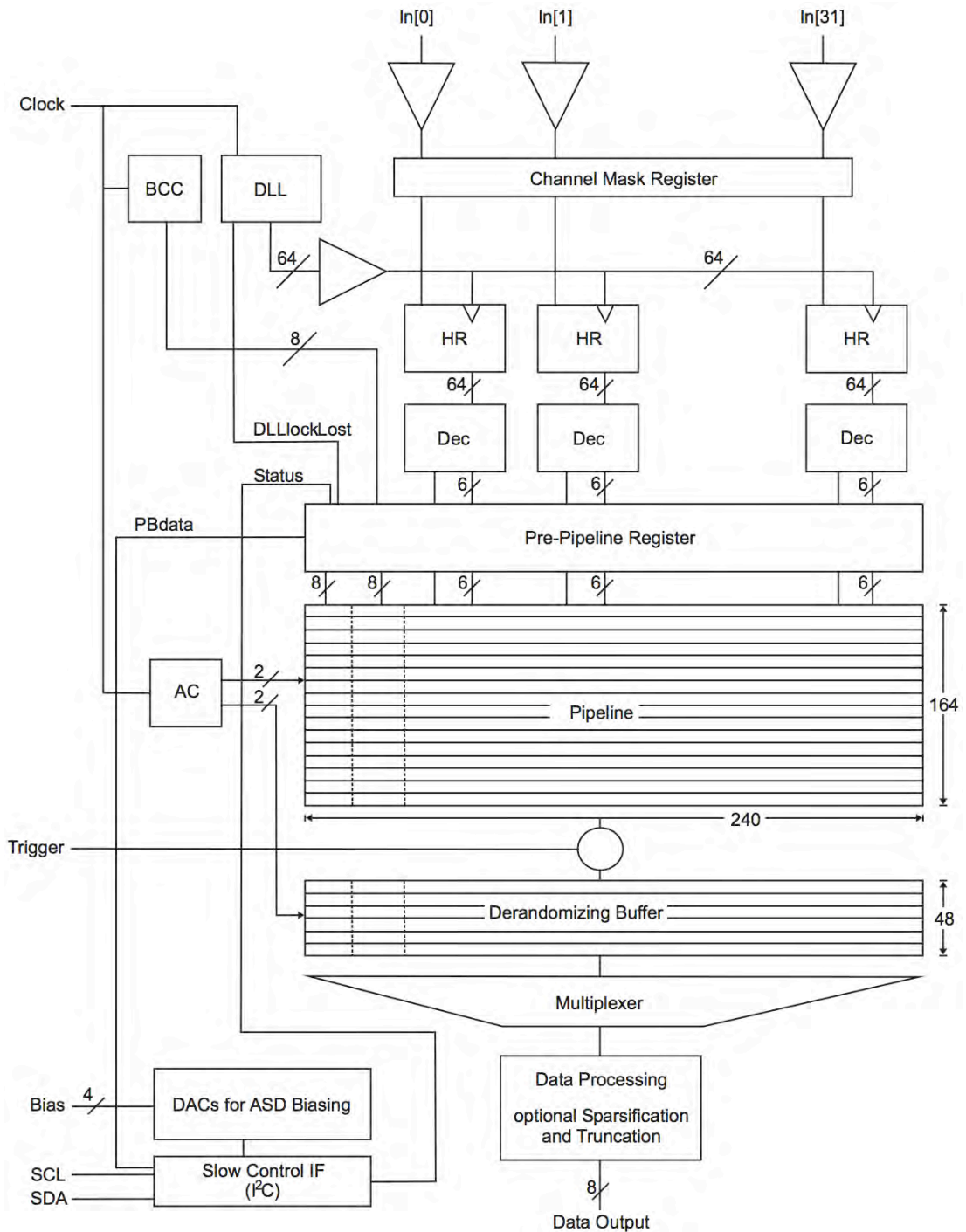
nungszeit in der Triggerelektronik determiniert und darf, entsprechend der Tiefe des L0-Buffers, maximal  $4\ \mu\text{s}$  betragen, um die mit dem Trigger korrelierten Daten weiterzuleiten. Je nach Konfiguration ist der OTIS fähig, die Driftzeiten von bis zu drei aufeinander folgenden Bunch-Crossings in einem Datenpaket zu kodieren. Damit können Driftzeiten bis zu  $75\ \text{ns}$  bestimmt werden. Im Teststrahlexperiment wurden mit dem verwendeten Zählgas ( $\text{Ar}/\text{CO}_2$ ) und einer Hochspannung von  $1550\ \text{V}$  maximale Driftzeiten von ca.  $42\ \text{ns}$  beobachtet [31]. Um gleichzeitig den unterschiedlichen Flugzeiten der Teilchen Rechnung zu tragen, werden im Normalbetrieb die Informationen aus drei aufeinander folgenden Bunch-Crossings gesendet. Allerdings berücksichtigt der Daten-Prozessor am Ausgang des OTIS nur den ersten Treffer innerhalb dieses Zeitfensters, weshalb bei Treffern in mehreren Bunch-Crossings die später eintreffenden verloren gehen. Der als Alternative implementierte Multi-Hit-Mode, bei dem für jedes Bunch-Crossing eine Driftzeit übermittelt werden kann, ist auf Grund der maximalen Bandbreite der optischen Übertragungsstrecke von  $1,28\ \text{Gbit/s}$  auf eine geringe Occupancy<sup>8</sup> limitiert. Dieser Modus ist auch weder getestet, noch in der L1-Frontend-Elektronik implementiert. Im Folgenden wird deshalb nur der Normalbetrieb behandelt.

Erhält der OTIS ein Reset-Signal, sind sämtliche Daten im L0-Buffer und den Ausgangspuffern ungültig. Deshalb ist es notwendig, den L0-Trigger für die ersten 160 Taktzyklen nach einem Reset zu deaktivieren. Dieses Zeitfenster wird ebenfalls zur Ermittlung der DLL-Regelspannung benötigt und ist auch für die L1-Elektronik relevant, die in dieser Zeit keine Daten akzeptieren darf. [24],[32]

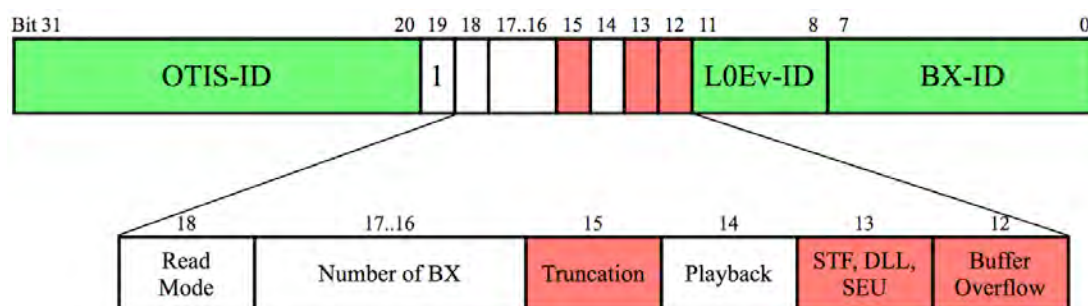
Abbildung 3.9 zeigt die innere Architektur des OTIS. Neben den dargestellten Signalen erhält der OTIS vom TTC-System via LVDS auch verschiedene Reset-Signale. Man unterscheidet L0-Electronics Reset, Event Counter Reset und Bunch Counter Reset. Die L0-Triggerpulse werden von einem 4-Bit-Zähler (Event-Counter), die LHC-Takte mit einem 8-Bit-Zähler (Bunch-Counter) registriert. Sie bilden gemeinsam mit den Statusinformationen und der OTIS-ID den OTIS-Header. Dieser wird am Anfang jedes Datenpaketes gesendet und dient später zur Identifizierung und Verifizierung der Daten. Abbildung 3.10 zeigt den Aufbau des Headers. Er beginnt mit der OTIS-ID, die eine Größe von 12 Bit hat und jeden OTIS sowie seine Position eindeutig bestimmt. Das Schema der Adressierung nach [23] ist in Tabelle 3.2 zusammengefasst.

---

<sup>8</sup>Anzahl getroffener Kanäle / Gesamtanzahl der Kanäle



**Abbildung 3.9:** Blockschaltbild des OTIS [33]. Jeder der 32 TDC-Eingänge besitzt ein 64 Bit breites Hit-Register (HR). Die gemeinsam verwendete DLL liefert 64 um jeweils 390 ps verzögerte Taktflanken, mit denen das Eingangssignal abgetastet wird. Die digitalisierten Driftzeiten durchlaufen ein Pipeline-Register und werden im Falle eines L0-Triggers zum Ausgang gesendet.



**Abbildung 3.10:** OTIS-Header (ab OTIS-Version 1.1) [32]. Der OTIS-Header besteht aus der OTIS-ID (12 bit), Status-Bits (7 bit), der L0-Event-ID (4 bit) und der Bunch-Crossing-ID (8 bit). Er wird am Beginn eines Event-Fragments gesendet. Durch die OTIS-ID ist der Ursprung der Daten eindeutig bestimmbar [23].

**Tabelle 3.2:** Adressierung der Frontend-Elektronik in der OTIS ID [23]

Bit	11..10	9..8	7..6	5..2	1..0
Bedeutung	Station	Lage	Quadrant	Modul	OTIS
mögliche Werte	01 - 11	00 - 11	00 - 11	0001 - 1001	00 - 11

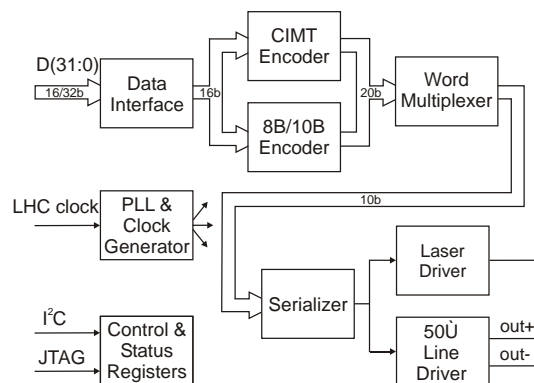
Die Datenpakete werden auch als Event-Fragmente bezeichnet. Sie bestehen aus dem OTIS-Header (4 Byte) und 32 kodierten Driftzeiten (32 Byte), wobei deren Position innerhalb des Datenpaketes der Kanalnummer entspricht. Zusätzlich kann vor dem OTIS-Header ein so genanntes OTIS-Komma-Byte (0xFF) gesendet werden, was die Synchronisation auf den Beginn des Event-Fragments vereinfacht. Die 8 Bit breiten Datenausgänge der vier OTIS-ICs sind parallel an den 32 Bit breiten Eingang des Gigabit Optical Link ICs (GOL) angeschlossen. Dieser serialisiert die Daten für die anschließende Übertragung zum TELL1-Board über eine einzige Glasfaser. [32]

Der **GOL** ist ein Multiprotokoll-Hochgeschwindigkeits-Transmitter-ASIC. Er serialisiert den 32 Bit breiten Datenbus am Eingang und sendet die Signale an eine VCSEL-Diode<sup>9</sup> für die Übertragung über einen Multimode-Lichtwellenleiter mit einer Wellenlänge von 850 nm. Ein Laser-Treiber steuert dabei den Strom durch die VCSEL-Diode. Der GOL wurde am CERN speziell für den Einsatz in einer strahlungsbelasteten Umgebung entwickelt und ist auf zwei verschiedene Standardprotokolle, G-Link und GBit-Ethernet, vorbereitet. Beide können jeweils in einem schnellen oder langsamen Modus betrieben werden, je nachdem, ob man 32 oder 16 Bit des Eingangs benutzt. Um eine nahezu konstante Übertragungsdichte zu erhalten, die besonders wichtig für die Takt-Restaurierung ist, wird jedes Byte mit zwei zusätzlichen Bits kodiert. Gleichzeitig erreicht man damit eine Redundanz zur Minimierung von Übertragungsfehlern.

<sup>9</sup>Vertical Cavity Surface Emitting Laser

Beim Äußeren Spurkammersystem benutzt man das GBit-Ethernet-Protokoll, das die 8/10-Bit-Kodierung verwendet. Abbildung 3.11 zeigt das Blockschaltbild des GOL. [35] Am Eingang des GOL liegen die Signale von 4 OTIS-ICs an, womit die gesamte Breite von 32 Bit genutzt wird und der schnelle Übertragungsmodus gewählt ist. Bei diesem werden die Daten zuerst von einem Multiplexer auf eine Busbreite von 16 Bit gebracht. Der extern anliegende LHC-Maschinentak (40,08 MHz) wird dazu verdoppelt, wodurch eine effektive Datenübertragungsrate von 1,28 GBit/s zum TELL1-Board erreicht wird. Wegen der 8/10-Bit-Kodierung arbeitet die optische Übertragungstrecke intern mit einer Frequenz von 1,6 GHz.

Da sich die Frontend-Box unmittelbar am Detektor befindet, werden hohe Anforderungen an ihre Toleranz gegenüber radioaktiver Strahlung gestellt. Die erwartete Strahlendosis in dieser Region liegt bei ca. 2 kRad in 10 Jahren Betriebszeit. Die Strahlentoleranz wird zum Beispiel durch dreifach modulare Redundanz, spezielle Layouttechniken, Hamming-Code geschützte Register und 8/10-Bit-Kodierung bei der Datenübertragung erreicht. Mit dem Hamming-Code kann der wahre Wert eines Registers im Falle eines Single Event Upset (SEU), d. h. wenn durch Strahleneinwirkung ein Bit invertiert wird, wiederhergestellt werden. Die dreifach modulare Redundanz basiert auf drei gleichen Schaltungsblöcken, die parallel dieselbe Aufgabe ausführen. Anschließend wird durch Mehrheitsbildung das wahrscheinlichste Resultat abgeleitet. Bei der 8/10-Bit-Kodierung werden, ähnlich wie beim Hamming-Code, zu jedem Byte zwei redundante Bits hinzugefügt. Vorrangiges Ziel ist es dabei aber, eine möglichst konstante Informationsdichte für eine serielle Übertragung zu erreichen. Trotz der beschriebenen Sicherheitsmaßnahmen können Fehler nicht vollständig ausgeschlossen werden, weshalb Konsistenzprüfungen entlang der gesamten Auslekette notwendig sind.



**Abbildung 3.11:** Blockschaltbild des GOL [35]. Die Daten am Eingang werden durch einen Encoder mit zwei zusätzlichen Bits pro Byte kodiert. Ein Multiplexer halbiert die Breite des Datenbusses bevor dieser serialisiert wird. Die Register des GOL können über einen I<sup>2</sup>C- oder den JTAG-Bus konfiguriert werden.

### 3.1.4 Das TELL1-Board

Das TELL1-Board ist Teil der L1-Frontend-Elektronik und wurde ursprünglich als Level-1-Buffer-Board für den Vertex Locator (VELO) konzipiert. Da von den übrigen Sub-Detektoren aber ähnliche Aufgaben bei der Datenverarbeitung zu bewältigen sind, wurde eine universell einsetzbare Platine entwickelt. Die Gemeinsamkeiten sind dabei in der festen Architektur des TELL1-Boards zu finden, wogegen die notwendige Flexibilität durch den modularen Aufbau (z.B. verschiedene Schnittstellen-Karten) und den Einsatz von Field Programmable Gate Arrays (FPGAs) erreicht wird. Das TELL1-Board ist eine 9U<sup>10</sup> VME-Platine<sup>11</sup> und wird in einem entsprechenden VME-Crate betrieben, dessen VME-Bussystem jedoch nicht verwendet. Lediglich die Stromversorgung über eine speziell angefertigte Backplane wird benutzt. Das TELL1-Board befindet sich gemeinsam mit den übrigen Komponenten der L1-Frontend-Elektronik im *Counting House*, einem strahlungssicheren Bereich der Kaverne. Die eingesetzten Komponenten sind daher keiner erhöhten Strahlung ausgesetzt, weshalb hauptsächlich kommerzielle Bauelemente verwendet werden. Mit dem Wegfall der L1-Trigger-Stufe (siehe Abschnitt 2.12) haben sich auch die Aufgaben des TELL1 geändert. Während bei der Entwicklung die Zwischenspeicherung der Daten bis zum Eintreffen des L1-Triggers eine wesentliche Rolle spielte, dient das Board nun vorrangig als Schnittstelle zwischen Detektor und DAQ-Netzwerk. Gleichzeitig wird durch die Erhöhung der maximalen Trigger-Rate von 40 kHz auf 1,1 MHz ein größeres Gewicht auf die Reduzierung der Daten gelegt. Dies ist notwendig, da die Bandbreite am Ausgang des TELL1-Boards auf 4 Gbit/s begrenzt ist, die Datenrate am Eingang jedoch 11,52 Gbit/s betragen kann. Die Aufgaben des TELL1-Boards sind im Einzelnen:

- Synchronisation der Event-Fragmente
- Konsistenzprüfung der Event-Fragmente
- Derandomisierung
- Nullunterdrückung in den Daten (Reduzierung des Datenvolumens)
- Formatierung der Daten
- Überwachung des Datenflusses (Monitoring)

Diese Aufgaben werden mit Hilfe der FPGAs realisiert, welche als Array von einigen 10000 Logik-Elementen und ebenso vielen konfigurierbaren Verbindungen zwischen diesen dargestellt werden können. Die komplexen Schaltungen werden dabei durch das Setzen von Konfigurationsregister erzeugt. Man bezeichnet die Gesamtheit der Werte aller Konfigurationsregister eines FPGA als FPGA-Design. Im Rahmen dieser Arbeit wurden für das Äußere Spurkammersystem wesentliche Teile des FPGA-Designs entwickelt bzw. modifiziert. Abbildung 3.12 zeigt das Blockschaltbild des TELL1 in der Konfiguration für das Äußere Spurkammersystem. Den Dateneingang des TELL1-Boards

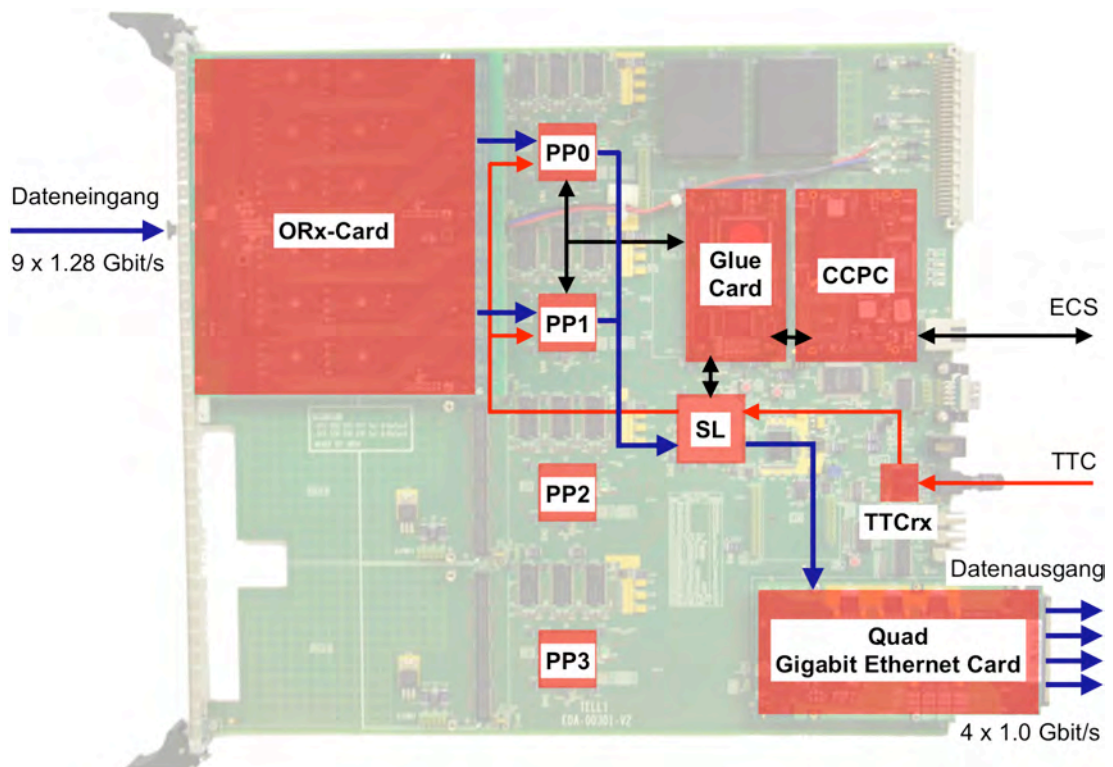
---

<sup>10</sup>Eine 19"-Höheneinheit (U) entspricht 4,45 cm.

<sup>11</sup>Versa Module Eurocard

bildet eine optische Schnittstellenkarte, die so genannte ORx-Card. Sie besitzt einen 12-fach optischen Empfänger, der 12 optische Signale über ein MTP/MPO Stecksystem aufnimmt und in elektrische Signale umwandelt. Diese werden anschließend von einem Transceiver (TLK2501 von Texas Instruments) deserialisiert und die Daten von jeweils 6 optischen Übertragungsstrecken an ein Pre-Processing-FPGA (PP0, PP1) weitergeleitet. Dabei wird der Takt im TLK2501 aus dem seriellen Signal mit Hilfe einer Phase Locked Loop (PLL) zurückgewonnen. Nach der Vorverarbeitung und der Derandomisierung im Pre-Processing-FPGA, gelangen die Daten zum Sync-Link-FPGA (SL), das die prozessierten Event-Fragmente von allen Pre-Processing-FPGAs zusammenführt und über ein spezielles Internet-Protokoll als so genanntes Multiple Event Package (MEP) an die Quad-Gigabit-Ethernet-Card sendet. Abbildung 3.13 zeigt das Schema der Datenverarbeitung innerhalb der FPGAs, das im Abschnitt 4.1 näher erläutert wird.

Um der begrenzten Datenrate am Ausgang des TELL1 Rechnung zu tragen, werden

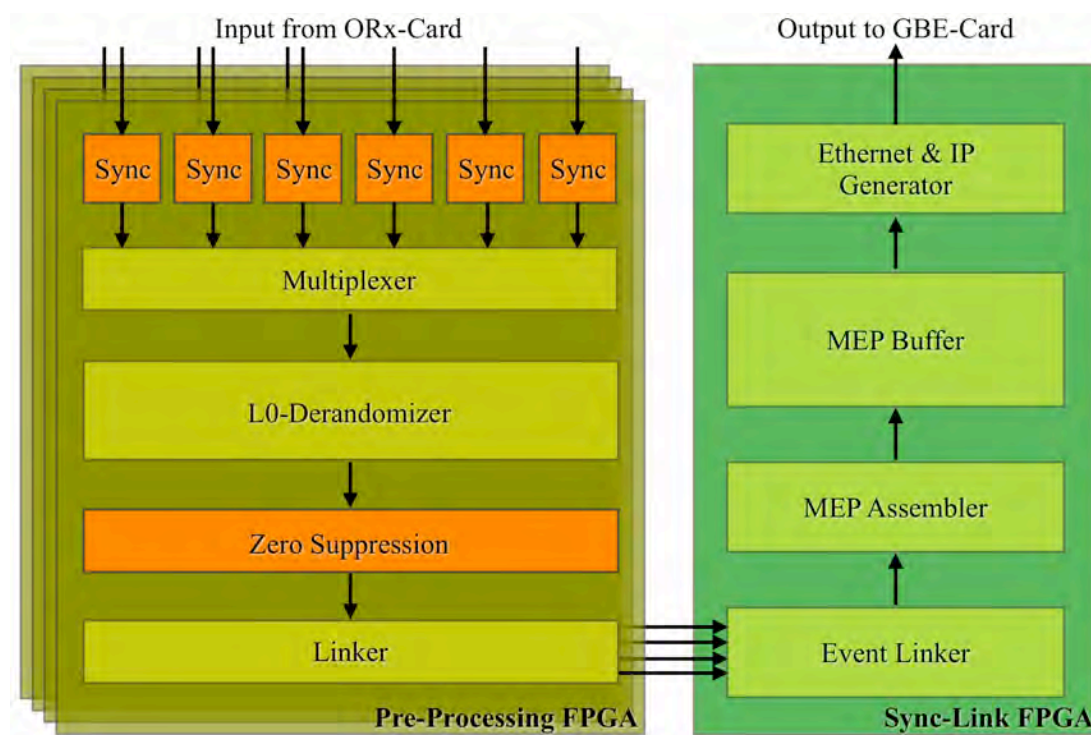


**Abbildung 3.12:** Blockschaltbild des TELL1-Boards. Die Daten von 9 optischen Übertragungsstrecken werden von der ORx-Card deserialisiert und an FPGAs (PP0, PP1 und SL) weitergeleitet, wo eine Vorverarbeitung stattfindet. Eine Quad-GBE-Card bildet das Interface zum DAQ-Netzwerk. Takt-, Reset- und Trigger-Signale werden über den Timing Trigger and Control receiver (TTCrx) bereitgestellt, der mit dem TFC-System verbunden ist. Die Anbindung an das Experiment Control System (ECS) übernimmt der Credit Card sized PC (CCPC) sowie die Glue-Card.



für das Äußere Spurkammersystem nur 9 optische Übertragungsstrecken pro TELL1 benutzt, weshalb das TELL1-Board auch nur mit einer ORx-Card bestückt ist. Wird dennoch ein kritischer Füllstand im L0-Derandomizer überschritten, der die gesamten Daten von maximal 64 Event-Fragmenten aufnehmen kann, wird ein Throttle-Signal an den Readout-Supervisor gesendet, der den L0-Trigger für die entsprechende Detektorpartition vorübergehend stoppt. Die Frontend-Elektronik sendet dann keine weiteren Daten, wodurch ein Speicherüberlauf auf dem TELL1-Board vermieden wird.

Zur Steuerung, Konfiguration und Überwachung des TELL1-Boards ist dieses mit einem IBM-PC im Kreditkartenformat (CCPC) ausgestattet. Dieser besitzt einen 80486-Prozessor und bezieht sein Betriebssystem (Scientific Linux 4) sowie das Dateisystem (NFS) über die integrierte Fast-Ethernet-Schnittstelle von einem Boot-Server-PC. Der CCPC ist gleichzeitig Teil des ECS und durch einen PCI-Bus mit der Glue-Card verbunden, die als Interface zu den aktiven Bauelementen des TELL1 fungiert. Dabei kommen verschiedene Bussysteme zum Einsatz, z.B. I<sup>2</sup>C, JTAG und LBUS. [36]

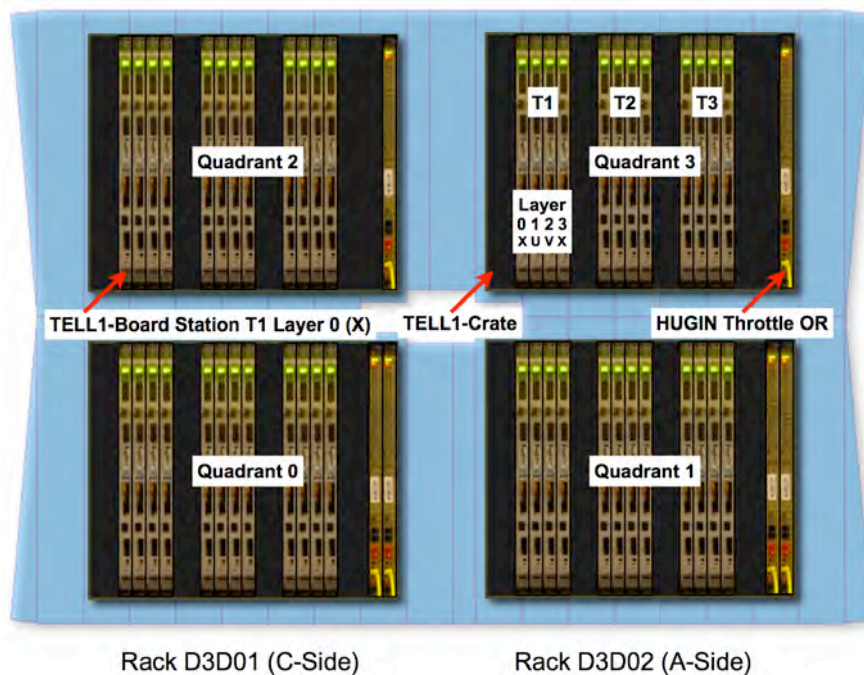


**Abbildung 3.13:** Blockschaltbild des FPGA-Designs. Die vom TELL1-Board empfangenen Daten durchlaufen zuerst einen Synchronisationsblock, der sie mit der internen Taktfrequenz des PP-FPGA synchronisiert. Ein Multiplexer sorgt für eine handhabbare Datenbreite bevor die Event-Fragmente im L0-Derandomizer gepuffert werden. Die Zero-Suppression ist für die Reduzierung, der Linker für die Formatierung der Daten zuständig. Im SL-FPGA werden die Event-Fragmente aus allen PP-FPGAs in einem Multiple Event Packet (MEP) zusammengefasst und an die GBE-Card gesendet.



Ein weiterer optischer Empfänger sorgt für die Anbindung an das Timing Trigger and Control System (TTC-System), über welches der LHC-Maschinentakt, die verschiedenen Reset-Signale sowie die L0-Trigger-Information an das TELL1-Board gesendet werden. Die empfangenen TTC-Signale werden vom TTCrx, einem speziell am CERN entwickelten Integrierten Schaltkreis, dekodiert und an das Sync-Link-FPGA weitergeleitet. Dieses verteilt die Trigger-Information nach ihrer Zwischenspeicherung an die PP-FPGAs. In ihr sind unter anderem die Event-ID (32 Bit), die Bunch-ID (12 Bit) und der Trigger-Typ (3 Bit) enthalten.

Das Äußere Spurkammersystem benutzt insgesamt 48 TELL1-Boards die in vier TELL1-Crates der Detektortopologie entsprechend angeordnet sind. Wie Abbildung 3.14 zeigt befinden sich in den Crates auch so genannte HUGIN-Boards, die ein logisches ODER der Throttle-Signale erzeugen, welches anschließend an den Readout-Supervisor weitergeleitet wird.

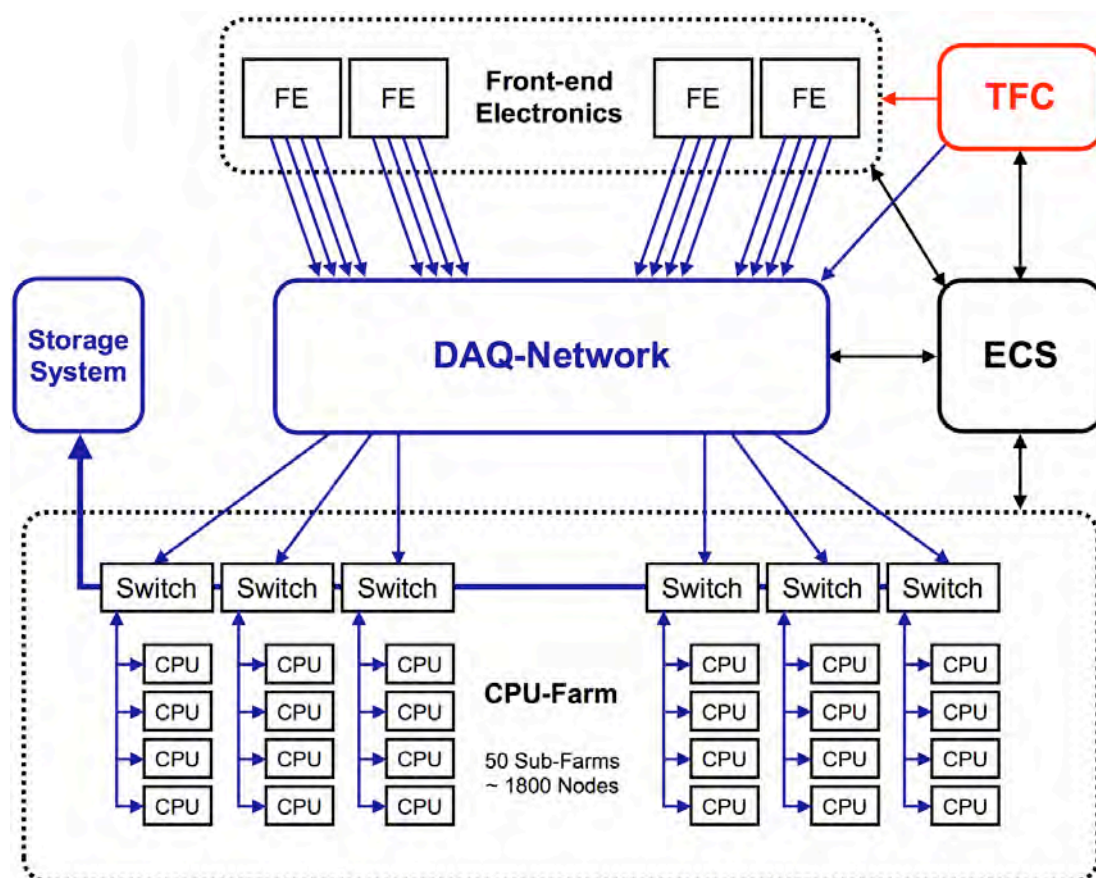


**Abbildung 3.14:** Konfiguration der TELL1-Crates. Die 48 TELL1-Boards für das Äußere Spurkammersystem sind auf vier TELL1-Crates aufgeteilt. Ihre Anordnung entspricht der Position der Frontend-Box im Detektor, mit der das jeweilige TELL1-Board verbunden ist. Die beiden übereinander dargestellten TELL1-Crates befinden sich im selben Rack. Die HUGIN-Boards leiten die Throttle-Signale der TELL1-Boards an den Readout-Supervisor weiter.

### 3.1.5 Das DAQ-Netzwerk

Das Datenerfassungsnetzwerk (DAQ-Netzwerk) ist Teil des DAQ-Systems (siehe Abbildung 3.15). Es stellt die Verbindung zwischen der Frontend-Elektronik und der CPU-

Farm her und besteht im wesentlichen aus einem Terascale E1200 Core Switch/Router von Force 10 Networks [37]. Dieser besitzt 1260 Gigabit-Ethernet-Ports von denen 1256 benutzt werden. 726 sind als Eingang, 530 als Ausgang konfiguriert. Das Äußere Spurkammersystem nutzt mit 192 Gigabit-Ethernet-Verbindungen mehr als ein Viertel aller Eingänge. Die erwartete mittlere Auslastung der Eingänge beträgt 62%, die der Ausgänge 85%. Ein komplettes Ereignis besitzt eine mittlere Größe von 51752 Byte und wird jeweils von einer einzelnen CPU bearbeitet. Dies ist durch eine dynamische Verteilung der Datenlast möglich, die vom TFC-System sowie vom ECS gesteuert wird. In der CPU-Farm werden die Ereignisse durch die Algorithmen des Higher Level Trigger (HLT) selektiert, sodass die Ereignisrate am Eingang des Speicher-Systems 200 Hz (maximal 2 kHz) beträgt.



**Abbildung 3.15:** Architektur des DAQ-Systems [38]. Das DAQ-Netzwerk empfängt die Event-Fragmente von allen Komponenten der Frontend-Elektronik und leitet sie als vollständiges Event an eine CPU der CPU-Farm weiter. Dort werden sie vom Higher Level Trigger (HLT) selektiert und zum Speicher-System gesendet. Das TFC-System und das ECS sorgen für die dynamische Verteilung der Datenlast auf die CPUs.

### 3.1.6 Fast Control

Das Timing and Fast Control System (TFC-System) ist bei LHC durch das Timing Trigger and Control Network (TTC-Network) realisiert. Es übernimmt die Verteilung des LHC-Maschinentaktes, der Reset-Signale und der Trigger-Signale an alle relevanten Teile der Maschinen- und Detektorelektronik. Herzstück der lokalen Verteilung der TFC-Signale sind beim LHCb-Detektor so genannte Readout-Supervisor (ODIN). Dabei handelt es sich um 9U VME-Boards die in einem TELL1-Crate im *Counting House* betrieben werden und ebenfalls mit einem PC (CCPC) zur Anbindung an das ECS ausgestattet sind. Ein ODIN kontrolliert jeweils eine Detektorpartition, innerhalb derer alle Signallaufzeiten konstant sind. Das Äußere Spurkammersystem ist in zwei Partitionen, A und C, unterteilt. Dies ist sinnvoll, da einige Signalleitungen in Partition C im Vergleich zu Partition A um ca. 4 m länger sind. Durch die Anpassung entsprechender Offset-Werte kann der Readout-Supervisor die unterschiedlichen Signallaufzeiten beider Partitionen ausgleichen. Als Eingangssignale erhalten alle ODIN-Boards den LHC-Takt inklusive LHC-Orbit-Signal sowie das L0-Trigger-Signal. Letzteres wird von der Level-0 Decision Unit (L0DU) bereitgestellt und enthält auch die Event-ID. Diese wird vom Readout-Supervisor mit einem internen Zähler verglichen um die Synchronisation zur L0DU zu gewährleisten. Der Readout-Supervisor ist auch in der Lage, spezielle Trigger selbst zu generieren, die für Testläufe und zur Kalibrierung benötigt werden. Um Speicherüberläufe in der Auslekette zu verhindern, welche auf Grund zu hoher Triggerraten bzw. Datenmengen auftreten können, steuert der ODIN die Triggerrate entsprechend. Dabei werden die Füllstände aller Zwischenspeicher überwacht. Dies geschieht entweder durch eine interne Emulation der Speicher oder die Verwendung des externen Throttle-Netzwerks. Weiterhin steht der Readout-Supervisor mit der DAQ-Farm in Verbindung und kann, über die Sendung von IP/Ethernet-Adressen (MEP Destinations) an das TELL1-Board, die Verteilung der Datenlast auf freie Rechenknoten steuern. Die vom ODIN gesendeten Reset-Signale lassen sich wie folgt differenzieren:

- L0-Event-ID Reset (ECR)
- Bunch Counter Reset (BCR)
- L0-Electronics Reset (Frontend-Boxen)
- L1-Electronics Reset (TELL1-Boards)

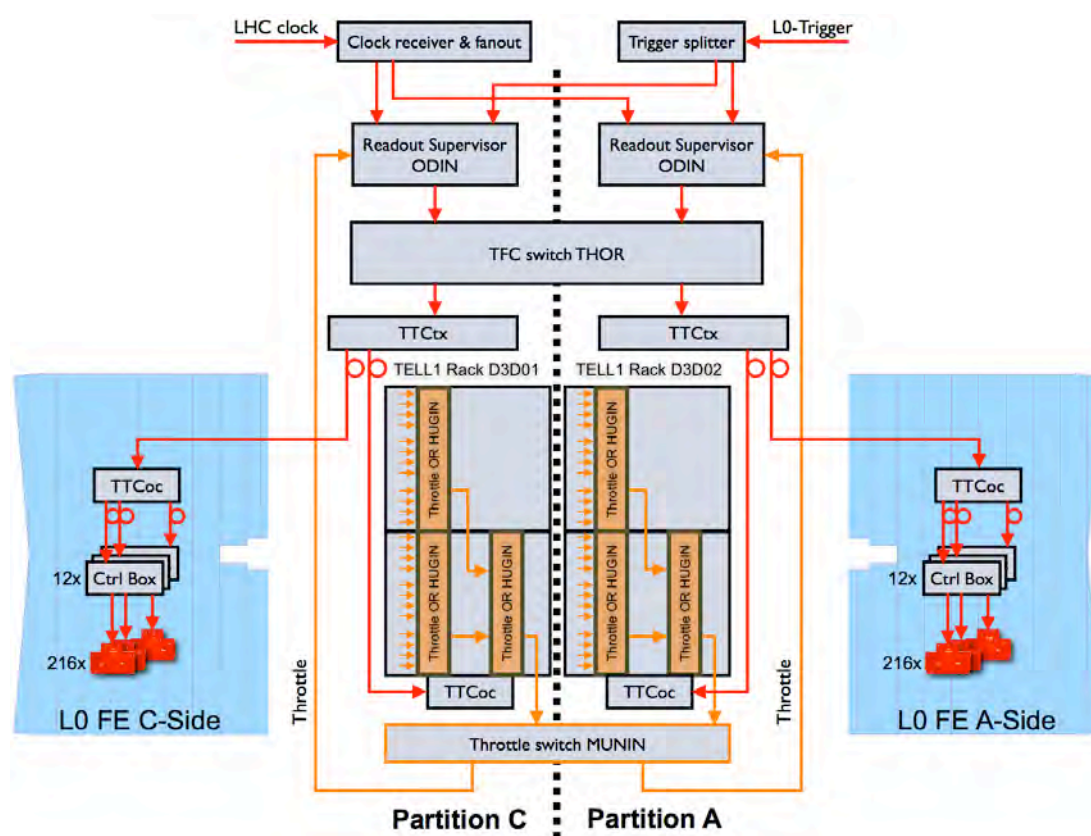
Dabei wird das Bunch Counter Reset nach jedem LHC-Umlauf (Orbit) automatisch generiert. Alle übrigen können entweder manuell (Single Shots) oder durch eine *State Machine* vom ECS ausgelöst werden.

Abbildung 3.16 gibt einen Überblick über den TFC-Signalfuss und die Partitionierung des Äußeren Spurkammersystems.<sup>12</sup> Die vom Readout-Supervisor gesendeten TFC-Signale gelangen zunächst zum TFC-Switch (THOR), der jedem ODIN eine bestimmte Detektorpartition zuweist. Vom TTCtx-Modul werden sie dann in optische Signale

<sup>12</sup>Auf die Darstellung der TELL1-Boards wurde der Übersichtlichkeit halber verzichtet (vgl. hierzu Abb. 3.14).

umgewandelt und in die TELL1-Racks (UXA-D3D01, UXA-D3D02) im *Counting House* sowie in die Frontend-Racks (UXB-T0A04, UXB-T0A14) am Detektor gesendet. Dort sorgt ein optischer Koppler (TTCoc) für ihre passive Vervielfältigung (1:32) und im Fall der TELL1-Racks für die Verteilung an die TELL1-Boards. Am C-Rahmen des Detektors wird das Signal von einer Control-Box empfangen und synchron an 18 Frontend-Boxen gesendet. Die Control-Box dient dabei gleichzeitig zur Anbindung der Frontend-Boxen an das ECS.

Die Throttle-Ausgänge der 24 TELL1-Boards jeder Partition werden von den HUGIN-Boards als logisches ODER zurück an den Readout-Supervisor geleitet. Dabei werden zwei ODER-Ebenen benutzt, da ein HUGIN nur 20 Eingänge besitzt. Der Throttle-Switch (MUNIN) ordnet die Throttle-Signale, entsprechend der Konfiguration des TFC-Switchs, dem jeweiligen Readout-Supervisor zu.



**Abbildung 3.16:** Verteilung der TFC-Signale für das Äußere Spurkammersystem. Jede der beiden Partitionen wird von einem Readout-Supervisor gesteuert. Die TFC-Signale (rot) gelangen über Lichtwellenleiter zur Detektorelektronik bzw. in die TELL1-Racks. Die L0-Throttle-Signale (orange) der TELL1-Boards werden mit Hilfe der HUGIN-Boards zusammengefasst und an den Readout-Supervisor gesendet.

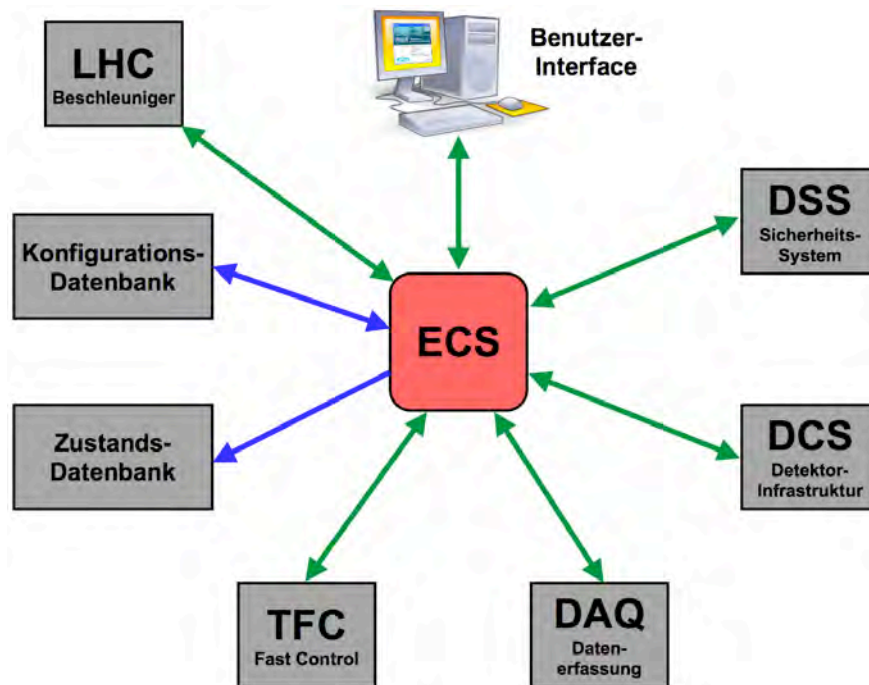
### 3.1.7 Slow Control

Das Experiment-Kontroll-System (ECS) ist für die Steuerung und Überwachung aller Komponenten des Experimentes zuständig. Es ermöglicht den Start, den Stopp und den Betrieb des gesamten Experimentes oder einzelner Teile durch ein einheitliches System. Dazu ist das ECS mit allen relevanten Komponenten über ein Netzwerk verschiedener Kommunikationsstandards verbunden, z. B. Fast-Ethernet, I<sup>2</sup>C, CAN-Bus und das am CERN entwickelte SPECS-System. Abbildung 3.17 zeigt die Struktur dieses Netzwerks und die relevanten Komponenten. [26]

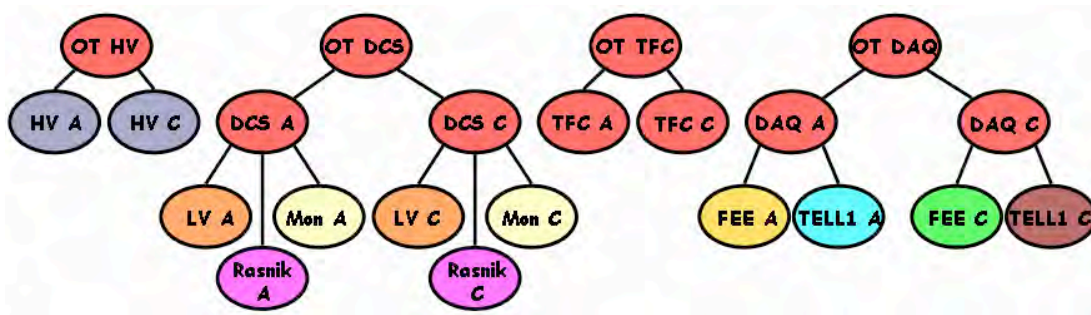
Über die meisten bidirektionalen Verbindungen (grün) werden Statusinformationen an das ECS übertragen und Steuerbefehle vom ECS an die Komponenten gesendet. Alle betriebsspezifischen Parameter sind in einer Konfigurationsdatenbank gespeichert. Mit ihnen wird zu Beginn einer Datennahmeperiode oder eines Testlaufs die Frontend-Elektronik des Detektors konfiguriert. Das ECS ist auch in der Lage, für die Ereignisrekonstruktion relevante Informationen, z. B. vom Lageüberwachungssystem der Spurkammern (RASNIK), in einer Zustandsdatenbank abzulegen.

Das ECS ist hierarchisch aufgebaut und auf mehrere Computer verteilt. Die Hierarchie spiegelt sich in einer Baumstruktur wieder. Elemente der oberen Hierarchieebenen werden als Control-Units (CU), die der untersten Ebene als Device-Units (DU) bezeichnet. Eine Control-Unit kontrolliert dabei mehrere Control- oder Device-Units der tiefer liegenden Ebene und gibt deren Status an die nächsthöhere Control-Unit weiter. Bei einem Ausfall einzelner Detektorkanäle entscheidet die entsprechende Control-Unit auch, inwieweit der kontrollierte Teil des Baumes noch einsatzfähig ist. Dies geschieht mit Hilfe von Finite State Machines (FSMs). Abbildung 3.18 zeigt die Hierarchie für das Äußere Spurkammersystem. Die untersten Ebenen wurden aus Platzgründen weggelassen. Die Hauptkomponenten sind die Hochspannungskontrolle (HV), das Detektor-Kontroll-System (DCS), das TFC-System und die Datenerfassung (DAQ), welche die gesamte Frontend-Elektronik (Frontend-Boxen und TELL1-Boards) einschließt. Als nächste Hierarchieebene dient die Unterteilung des Äußeren Spurkammersystems in Partition A und Partition C. Die Kommunikation mit den Frontend-Boxen wird durch so genannte SPECS-Master hergestellt, die mit den Control-Boxen an den C-Rahmen des Detektors verbunden sind. Die Control-Box kann dabei über ihren I<sup>2</sup>C-Bus auf die Register von 18 Frontend-Boxen zugreifen. Die Verbindung zu den TELL1-Boards wird durch die CCPCs gewährleistet (siehe Abschnitt 3.1.4).





**Abbildung 3.17:** Struktur des ECS-Netzwerkes. Das Experiment-Kontroll-System kommuniziert mit allen relevanten Komponenten des Detektors und dessen Infrastruktur. Über die grünen Verbindungen erhält das ECS Statusinformationen und sendet Steuerbefehle an die Komponenten. Die blauen Verbindungen dienen dem Austausch von Konfigurationsparametern.



**Abbildung 3.18:** ECS-Hierarchie für das Äußere Spurkammersystem [39]. Alle Hauptsysteme sind in Partition A und Partition C unterteilt. Die verschiedenen Farben entsprechen verschiedenen Kontroll-PCs, auf denen die Elemente realisiert sind.

Über den auf ihnen laufenden DIM-Service<sup>13</sup> "ccserv" können sämtliche Register des TELL1-Boards ausgelesen bzw. konfiguriert werden. [36]

Für die Implementierung des ECS wurde das Software-Paket PVSS II [41] und das JCOP-Framework [42] verwendet. Letzteres wird für die Realisierung der *Finite State Machines* benutzt, die den Zustand der Komponenten definieren. Über das Benutzer-Interface, welches PVSS II als so genannte Control-Panels bereitstellt, kann der Benutzer auf die gesamte Hierarchie des ECS zugreifen. Die Integration des TELL1-Boards umfasste ebenfalls die Erstellung der für das Äußere Spurkammersystem spezifischen Control-Panels, die in Abschnitt 4.1.8 näher beschrieben sind.

## 3.2 Versuchsanordnungen

Während der Entwicklungs- und Produktionsphase der Komponenten des Äußeren Spurkammersystems wurden verschiedene Versuchsanordnungen aufgebaut. Diese hatten folgende Ziele:

- Alterungsstudien an den Spurkammermodulen und Auswahl des Gasgemisches [43]
- Test der Ausleseelektronik [31], [44], [45]
- Ermittlung von Betriebsparametern (Hochspannung, Diskriminatorschwellen, Effizienz, Ortsauflösung) anhand von Rausch- und Teststrahlungsmessungen [31]
- Studium der Funktionsweise einer Spurkammer (Lehrzwecke)
- Entwicklung und Test des FPGA-Designs für das TELL1-Board [46]

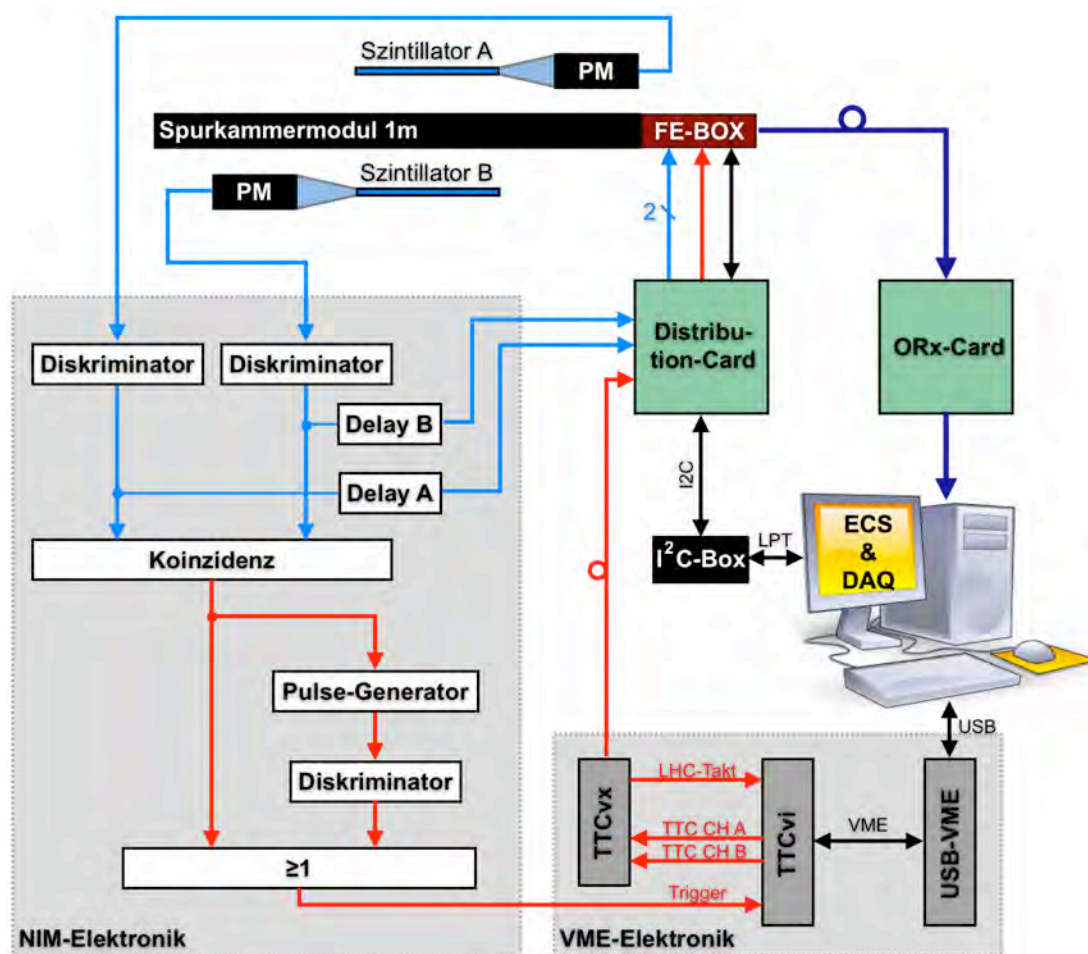
In den nachfolgenden Abschnitten werden zwei Versuchsanordnungen vorgestellt, die im Rahmen dieser Arbeit bzw. durch die Mitarbeit in der Arbeitsgruppe aufgebaut wurden. Dies sind ein Praktikumversuch am Lehrstuhl für Experimentelle Physik 5 der Technischen Universität Dortmund und das Teststrahl-Experiment, welches am Deutschen Elektronen Synchrotron (DESY) in Hamburg stattfand.

### 3.2.1 Aufbau eines Praktikumversuchs

Ziel des Versuches ist es, eine Orts-Driftzeit-Beziehung für die Ortsbestimmung innerhalb eines Driftröhrchens zu ermitteln. Als Teilchenquelle werden kosmische Myonen verwendet, auf die mit Hilfe von Szintillatoren getriggert wird. Im Aufbau für den Praktikumversuch finden sich alle Elemente wieder, die auch im LHCb-Experiment vorhanden sind: Spurkammermodul, Frontend-Elektronik, Datenerfassung, TFC-System und ECS. Die einzelnen Komponenten unterscheiden sich jedoch von den im Experiment benutzten, da letztere für den Praktikumversuch teilweise nicht zur Verfügung standen. Abbildung 3.19 zeigt den Signallaufplan der verwendeten Anordnung. Als Spurkam-

---

<sup>13</sup>Distributed Information Management System [40]

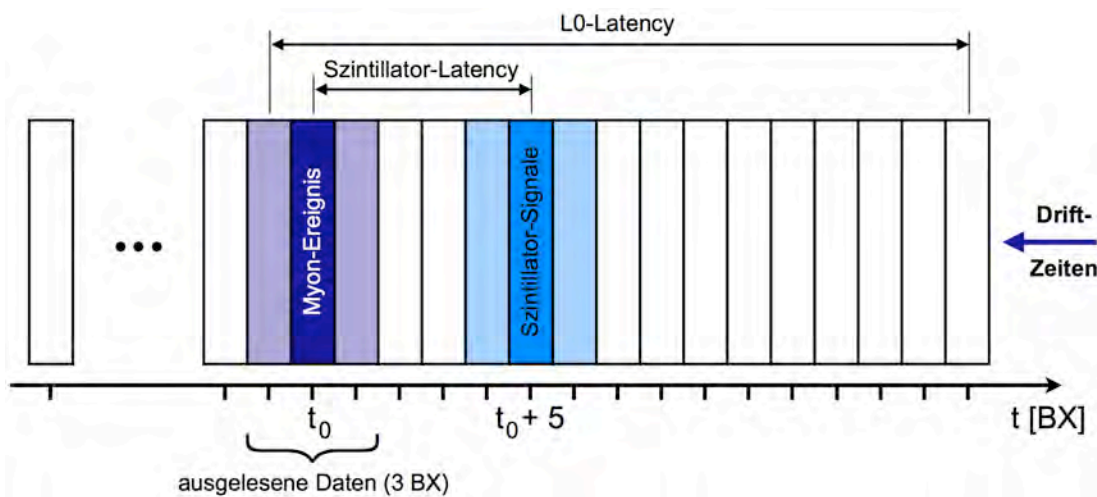


**Abbildung 3.19:** Signallaufplan des Praktikumversuches. Mit Hilfe der beiden Szintillatoren wird ein Trigger auf kosmische Myonen erzeugt. Die Signale der Szintillatoren werden dabei als Referenz benutzt und ebenfalls vom OTIS-TDC gemessen. Aufgrund ihrer längeren Laufzeit treffen sie später am OTIS ein als das Signal vom Driftrohrchen. Durch zusätzliche Verzögerung (Delay A, B) wird eine bessere Trennung von Driftzeit und Referenzzeit erreicht. Der Pulse-Generator erzeugt einen 2. Triggerpuls, mit dem die Referenzzeiten ausgelesen werden.

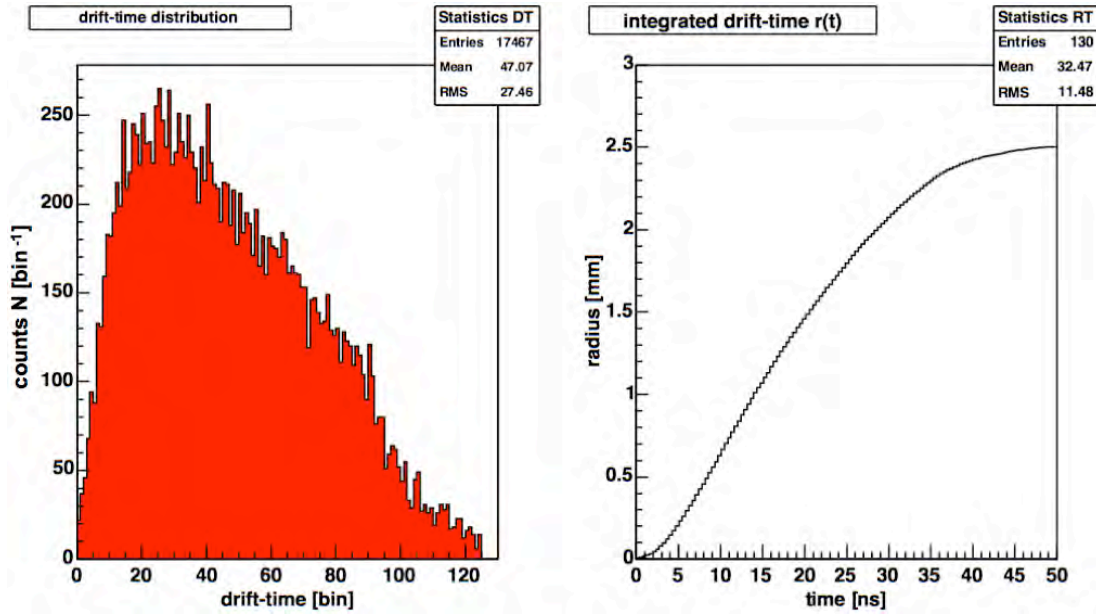
mermodul dient ein ca. 1 m langes Testmodul mit 128 Straw-Tubes. Es wird mit einer Frontend-Box ausgelesen wie sie in Abschnitt 3.1.3 beschrieben ist. Die Daten gelangen über einen Lichtwellenleiter zur ORx-Card. Das TELL1-Board wird durch eine PCI-Entwicklungskarte von Altera [47] emuliert, auf der sich ein Stratix-FPGA befindet. Sie wurde auch zur Entwicklung des FPGA-Designs für das TELL1-Board genutzt. Die PCI-Karte befindet sich in einem Computer, der als Datenerfassungssystem und ECS fungiert. Das TFC-System besteht aus zwei VME-Modulen (TTCvi, TTCvx), die den Readout-Supervisor ersetzen. Der L0-Trigger wird durch die Koinzidenz zweier Szintillatoren erzeugt, die sich ober- und unterhalb der Spurkammer befinden. Dabei dienen



Photoelektronenvervielfacher als Verstärker der Szintillator-Signale. Da die Driftzeiten relativ zum LHC-Takt bestimmt werden, die Myonen aber nicht zu diesem korreliert sind, ist auch eine Messung der Szintillator-Signale relativ zum LHC-Takt notwendig. Dazu werden diese in zwei TDC-Eingänge eines OTIS eingekoppelt, die außerhalb der Akzeptanz der Szintillatoren liegen. Durch Differenzbildung der gemessenen Driftzeiten vom Myon-Ereignis in der Spurkammer und dem Mittelwert der Szintillator-Zeiten, kann die wahre Driftzeit ermittelt werden. Allerdings treffen die Szintillator-Signale einige Taktzyklen (BX) später am Eingang des OTIS ein als die Myon-Signale. Aus diesem Grund wird ein zweites, verzögertes Trigger-Signal benötigt, um die entsprechenden Daten aus der L0-Puffer-Pipeline des OTIS auszulesen. Abbildung 3.20 zeigt den möglichen Inhalt der Pipeline. Die L0-Latency bestimmt die Position, bei der die Driftzeiten ausgelesen werden. Der zweite Trigger-Puls folgt dann um die Szintillator-Latency versetzt. Durch Einfüllen aller korrigierten Driftzeiten in ein Histogramm entsteht eine differentielle Driftzeit-Verteilung  $\frac{dN}{dt}$ . Dabei werden vorzugsweise nur solche Ereignisse benutzt, bei denen genau zwei hintereinander liegende Driftröhrchen getroffen sind (4-fache Koinzidenz). Dies erhöht die Wahrscheinlichkeit, dass es sich um detektierte Trajektorien geladener Teilchen und nicht um Rauschen handelt. Die ermittelten Driftzeiten stammen allerdings aus einer relativen Messung, sodass die Verteilung um einen festen Wert auf der Abszisse verschoben ist. Mit Hilfe eines linearen Fits an die linke, steigende Flanke der Verteilung kann der Offset  $t_0$  als Schnittpunkt der Fit-Geraden mit der Abszisse bestimmt und von allen Driftzeiten abgezogen werden. Das linke Histogramm in Abbildung 3.21 zeigt eine auf  $t_0 = 0$  korrigierte Driftzeit-Verteilung. Die Inte-



**Abbildung 3.20:** Position der Daten in der L0-Puffer-Pipeline. Mit jedem LHC-Takt werden die gemessenen Driftzeiten durch den L0-Puffer geschoben (hier von rechts nach links). Die Stelle, an der die Daten ausgelesen werden, wird durch die L0-Latency bestimmt. Je nach Konfiguration enthalten sie die Driftzeiten aus 1 bis 3 Bunch-Crossings (BX). Die um die Szintillator-Latency verzögerten Referenzzeiten werden mit einem 2. Trigger ausgelesen.



**Abbildung 3.21:** Driftzeit-Spektrum und  $r(t)$ -Relation eines Driftröhrchens. Die Verteilung der Driftzeiten (links) ist auf  $t_0 = 0$  korrigiert ( $U_{HV} = 1550$  V,  $U_{thr} = 700$  mV). Jedes Zeit-Bin ist 390 ps breit. Die Integration und Normierung des Driftzeit-Spektrums liefert, unter Annahme einer Gleichverteilung des Ereignisortes, die  $r(t)$ -Relation (rechts).

gration und Normierung dieses Driftzeit-Spektrums liefert die gesuchte  $r(t)$ -Beziehung (Abbildung 3.21 rechts), wobei die folgenden Zusammenhänge ausgenutzt werden [31]:

$$r = \int_0^r dr' = \int_{t(0)}^{t(r)} \frac{dr'}{dt'} dt' = \int_{t(0)}^{t(r)} \frac{dr'}{dN} \frac{dN}{dt'} dt' \quad (3.3)$$

Weiterhin kann angenommen werden, dass die Myonen über den gesamten Ort  $r$  gleichverteilt auftreten, d. h. kein Radiuswert ausgezeichnet ist. Mit der Gesamtzahl von Treffern  $N_{ges}$  in einem Driftröhrchen mit dem Radius  $R_{straw}$  und  $t_0 = 0$  folgt dann:

$$\frac{dN}{dr} = \frac{N_{ges}}{R_{straw}} \quad \text{und} \quad (3.4)$$

$$r(t) = \frac{R_{straw}}{N_{ges}} \int_0^t \frac{dN}{dt'} dt' \quad (3.5)$$

### 3.2.2 Teststrahl-Experiment am DESY

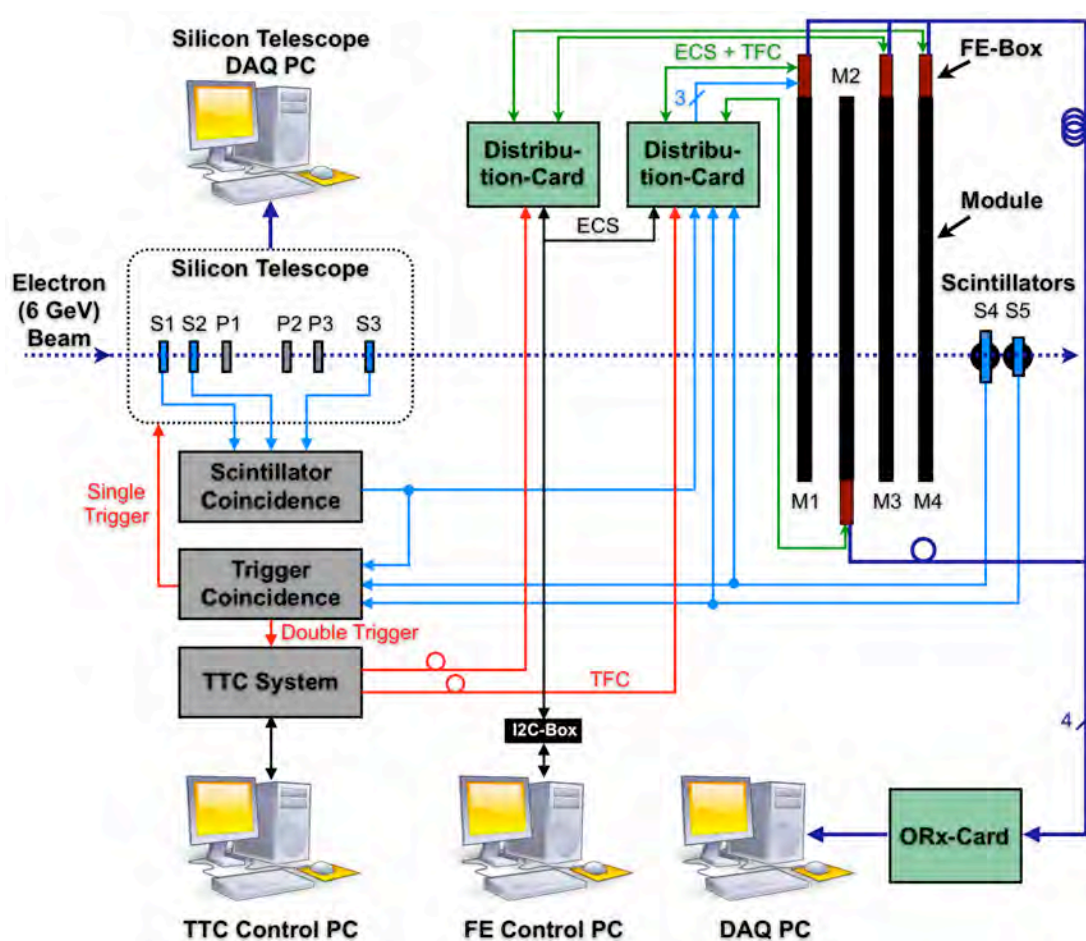
Im März 2005 wurde ein Teststrahl-Experiment für das Äußere Spurkammersystem am Deutschen Elektronen Synchrotron (DESY) in Hamburg durchgeführt. Getestet wurden vier Spurkammermodule vom Typ S1 aus der Massenproduktion in Kombination mit der endgültigen Detektor-Elektronik (Frontend-Box). Die Module befanden sich im Strahlengang eines Elektronenstrahls, der durch Synchrotronstrahlung erzeugt wurde. Die Energie der Elektronen konnte mit Hilfe eines Magnetfeldes zwischen 1 GeV und 6 GeV gewählt werden. Die meisten Messungen wurden beim Maximalwert (6 GeV) durchgeführt, während die Untersuchung von Mehrfachstreuungen bei verschiedenen Energiewerten stattfand. Ziel des Experimentes war die Bestimmung der Effizienz, der Ortsauflösung und des Rauschverhaltens der Spurkammern. Dabei wurde die Abhängigkeit dieser Größen von der Diskriminatorschwelle des ASDBLR und der Gasverstärkung (HV) untersucht. Abbildung 3.22 zeigt die Versuchsanordnung sowie den Signalflussplan.

Alle vier Spurkammermodule befanden sich hintereinander und waren senkrecht (jeweils als Lage X) angeordnet. Um den Einfluss der Signallaufzeit auf dem Anodendraht zu beobachten, wurde Modul Nummer 2 (M2) an der Unterseite, alle anderen an der Oberseite ausgelesen. Zur Triggererzeugung dienten die Signale der Szintillatoren S4 und S5 sowie die Koinzidenz der Szintillatorsignale S1-S3, die zu einem Spurdetektionssystem auf Basis von Siliziumstreifen (*Silicon Telescope*) gehören. Dieses befand sich vor den Spurkammermodulen und ermöglichte eine von ihnen unabhängige Bestimmung der Spur-Parameter. Die Szintillatoren S1-S3 besitzen auf Grund ihrer Geometrie einen geringeren Akzeptanzbereich als S4 und S5, weshalb die gemessenen Ereignisse mit (ohne) Silizium-Teleskop über 2-3 (5-7) Straws verteilt sind. Genau wie im Aufbau des Praktikumversuchs wurden alle Messungen relativ zum LHC-Takt vorgenommen. Die Szintillatorsignale dienten dabei als Referenzzeiten und wurden entsprechend in eine Frontend-Box eingekoppelt. Um diese auszulesen wurde ebenfalls ein Doppeltrigger verwendet (vgl. Abschnitt 3.2.1).

Für die Datenerfassung wurde ein speziell für das Teststrahl-Experiment entwickeltes Auslesesystem eingesetzt. Es besteht aus einer PCI-FPGA-Entwicklungskarte von Altera und kann die Daten von bis zu 6 Spurkammermodulen verarbeiten. Eine detaillierte Beschreibung findet sich in [46]. Die dabei benutzten Algorithmen innerhalb des FPGA, vor allem die Synchronisation der Event-Fragmente, wurden bereits für das TELL1-Board entwickelt und konnten beim Teststrahl-Experiment erstmals mit mehreren Frontend-Boxen gleichzeitig getestet werden. Die DAQ-Software wurde unter Verwendung der WinDriver Entwicklungssoftware von Jungo [48] und der Datenanalyseumgebung ROOT [49] erstellt. Neben der Speicherung bietet sie auch die Möglichkeit die Daten während der Aufzeichnung grafisch darzustellen (siehe Abbildung 3.23).

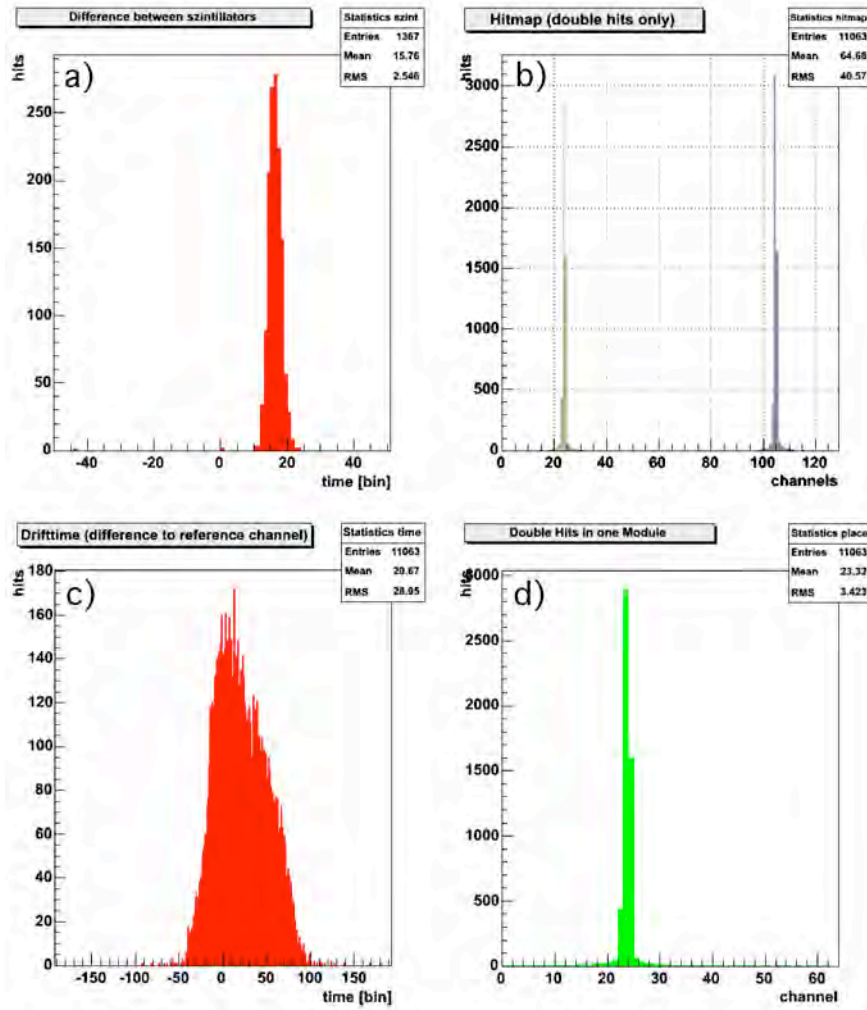
Bei der Auswertung der Daten wurden die Spuren durch alle 8 Monolagen der Spurkammermodule sowie durch die drei Ebenen des Silizium-Teleskops (P1-P3, wenn verwendet) rekonstruiert. So konnten sowohl die Effizienz der Driftröhrchen über ihren gesamten Querschnitt, als auch die Ort-Driftzeit-Beziehung ermittelt werden (siehe Abbildung 3.24). Die Effizienz beträgt in der Mitte des Röhrchens über 98 % und ist,

wie Abbildung 3.25 zeigt, genau wie die Ortsauflösung  $\sigma$  von der Hochspannung am Anodendraht abhängig. Je höher der Wert der Hochspannung ist, desto besser ist auch die Ortsauflösung. Allerdings spielt ab einer Hochspannung von ca. 1600 V der Effekt des so genannten Crosstalk, das Übersprechen von einer benachbarten Driftzelle, eine große Rolle (siehe Abbildung 3.26 links). Der mögliche Arbeitsbereich ist mit einer geforderten Auflösung von 200  $\mu\text{m}$ , einer Effizienz von mindestens 95 % sowie einem Crosstalk-Anteil kleiner 5 % auf 1520 V bis 1600 V beschränkt. Als Grundeinstellung werden daher 1550 V gewählt. Die Diskriminatorschwelle wird durch die Abhängig-



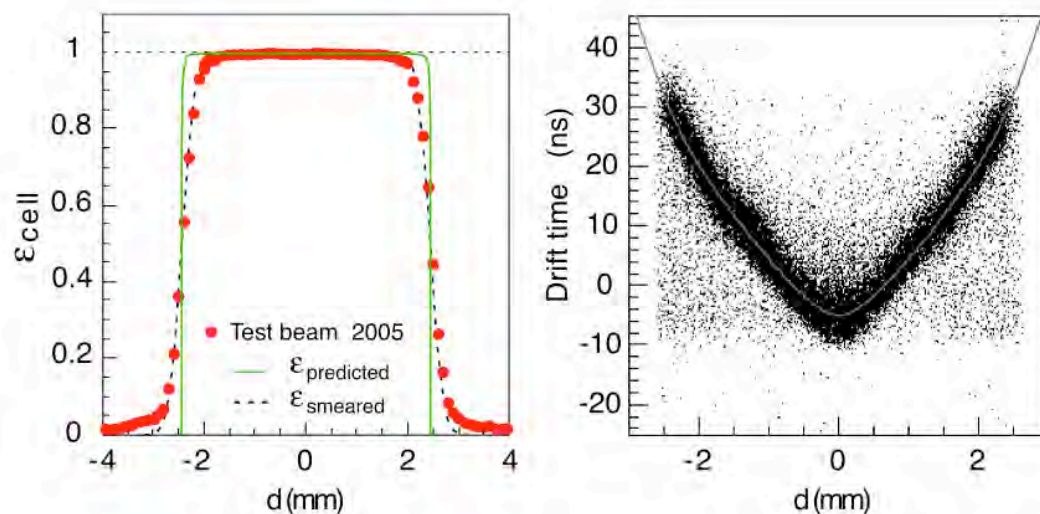
**Abbildung 3.22:** Versuchsanordnung und Signallaufplan im Teststrahl-Experiment. Die Daten aus vier hintereinander angeordneten S1-Modulen werden parallel vom DAQ-PC verarbeitet. Ein System von Siliziumstreifendetektoren (*Silicon Telescope*) ermöglicht die Bestimmung der Teilchenspuren und liefert ein Erwartungswert für die Trajektorien durch die Spurkammermodule. Zur Triggererzeugung dienen Szintillatoren (S1-S5), deren Signale von der Frontend-Box an M1 gemessen werden. Die grün dargestellten Verbindungen enthalten die ECS- und die TFC-Signale.

keit der Effizienz (vgl. Abb. 3.25 rechts) und das Rauschverhalten bestimmt. Letzteres kann durch Variation der Diskriminatorschwelle ohne Teststrahl ermittelt werden (siehe Abbildung 3.26 rechts). Eine sinnvolle Schwelle liegt im Bereich zwischen 700 mV und 800 mV. Da die Empfindlichkeit jedes ASDBLR verschieden ist, muss die genaue Diskriminatorschwelle jedoch für jeden Schaltkreis einzeln ermittelt werden.

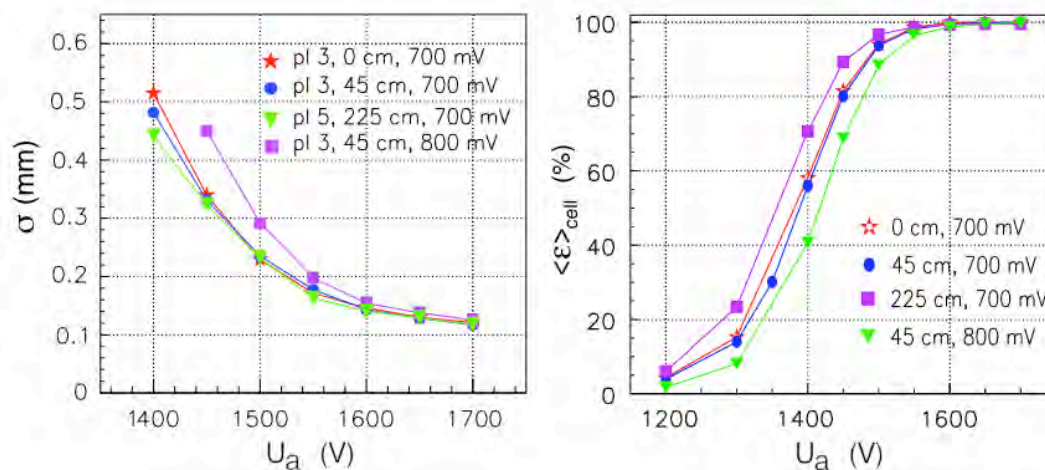


**Abbildung 3.23:** Online-Display der DAQ-Software. Dargestellt sind die Zeitdifferenzen der Szintillatorsignale S4-S5 (a), eine Hitmap über alle Driftröhrchen der Module (b) bzw. als Koinzidenz beider Monolagen (d). Der vom Elektronenstrahl getroffene Bereich umfasst die Kanäle 21-25 sowie die dahinter liegenden Kanäle 102-106. Bild (c) zeigt das mit den Referenzzeiten korrigierte Driftzeitspektrum der getroffenen Driftröhrchen.

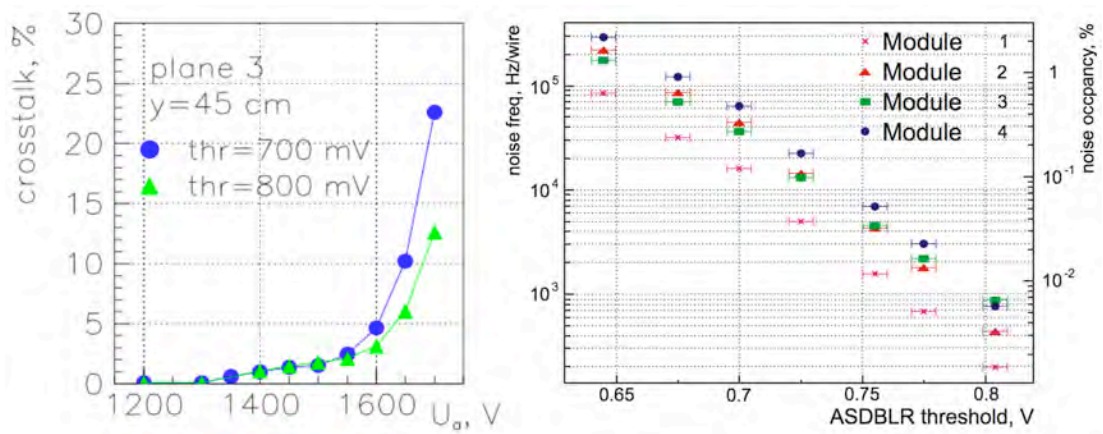




**Abbildung 3.24:** Effizienzprofil und Driftzeit-Ort-Korrelation der Driftröhrchen [31]. Das linke Bild zeigt die berechnete und die gemessene Effizienz in Abhängigkeit vom Radius der Driftröhrchen. Ihr Wert beträgt in der Mitte der Zelle über 98 % und fällt erst am Rand stark ab. Mit der Korrelation zwischen gemessener Driftzeit und dem Abstand zum Anodendraht wurde ein parabolischer Fit errechnet, der die  $t(r)$ -Relation parametrisiert (rechts).



**Abbildung 3.25:** Ortsauflösung und Effizienz in Abhängigkeit der Anodenspannung [31]. Die Ortsauflösung  $\sigma$  der Driftröhrchen erreicht ab  $U_a = 1520$  V den erwarteten Wert von  $200 \mu\text{m}$  und ist bei geringerer Gasverstärkung auch abhängig von der Diskriminatorschwelle des ASDBLR (links). Bei dieser Anodenspannung beginnt auch der Plateaubereich der mittleren Effizienz (rechts).



**Abbildung 3.26:** Übersprechen und Rauschverhalten [31]. Ab einer Anodenspannung von  $U_a = 1600$  V steigt das Übersprechen zwischen benachbarten Driftröhrchen stark an und wird nur bedingt durch Anheben der Diskriminatorschwelle vermindert (links). Im Arbeitsbereich für die Diskriminatorschwelle des ASDBLR (700 mV – 800 mV) liegt der Rauschanteil bei 0,5 % – 0,08 % und kann sich für verschiedene Module um eine Größenordnung unterscheiden (rechts).





# Kapitel 4

## Integration des TELL1-Boards

Das TELL1-Board gehört zur Level-1-Frontend-Elektronik des LHCb-Detektors und bildet die Schnittstelle zwischen der Level-0-Frontend-Elektronik und dem DAQ-Netzwerk. Durch den Einsatz von fünf Field Programmable Gate Arrays (FPGA) ist das Board flexibel genug, den Anforderungen aller Sub-Detektoren<sup>1</sup> gerecht zu werden. So wird es auch zum Auslesen des Äußeren Spurkammersystems verwendet.

Bei der Integration des TELL1-Boards in die Ausleseelektronik des Äußeren Spurkammersystems steht die Anpassung des FPGA-Designs an die Gegebenheiten der L0-Frontend-Elektronik sowie die Entwicklung Sub-Detektor-spezifischer Komponenten im Vordergrund. Dies umfasst neben dem Transport der Daten auch deren Formatierung und Konsistenzprüfung.

Der Aufbau eines Teststandes ermöglichte während der Entwicklung des FPGA-Designs einen direkten Vergleich mit der Simulation auf dem PC sowie den Funktionstest in einer realen Einsatzumgebung.

Für die Anbindung an das Experiment-Kontroll-System (ECS) wurden mit der Prozessvisualisierungs- und Steuerungssoftware PVSS II zwei Benutzerfenster erstellt, welche den Zugriff auf die für das Äußere Spurkammersystem spezifischen Fehlerregister ermöglichen. Mit ihnen werden die empfangenen Daten bereits vor der Verarbeitung in der DAQ-Farm als Hitmap- und Driftzeit-Histogramme grafisch dargestellt.

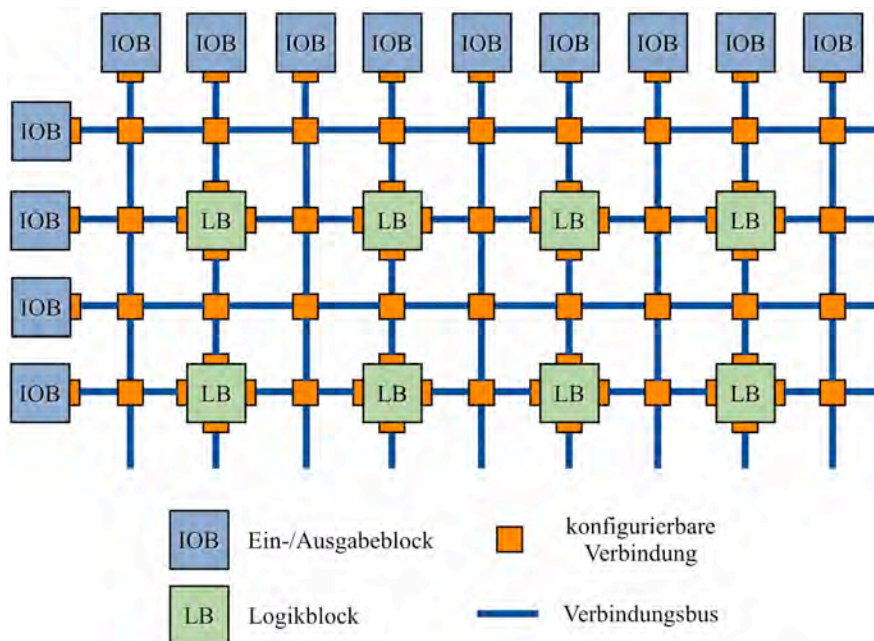
### 4.1 Erstellung des FPGA-Design

#### 4.1.1 Definition und Arbeitsschritte

Das Field Programmable Gate Array ist ein elektronischer Baustein, mit dem fast jede digitale Schaltung realisiert werden kann. Es besteht aus einer regelmäßig angeordneten Struktur einzelner Logikblöcke (LB), die durch ein Netzwerk programmierbarer Verbindungen miteinander verknüpft sind (Abbildung 4.1). Die Funktion der Logikblöcke ist dabei ebenfalls programmierbar. Ihre Größe, die vom jeweiligen Schaltkreis-Typ

---

<sup>1</sup>Für die RICH1- und RICH2-Detektoren wurde ein eigenes L1-Board, das so genannte UKL1-Board, entwickelt.



**Abbildung 4.1:** Prinzipieller Aufbau eines FPGA. Am Rand des Netzwerks aus Logikblöcken (LB), programmierbaren Verbindungen und Bussystemen befinden sich Ein-/Ausgabeblöcke (IOB), welche mit den Pins des Schaltkreisgehäuses verbunden sind. Durch Konfiguration der Verbindungen und der Logikblöcke werden im FPGA digitale Schaltungen realisiert.

abhängt, ist ein charakteristisches Merkmal für das FPGA. Je nach Anzahl der ein- und ausgehenden Verbindungen sowie des Funktionsumfangs der Logikblöcke spricht man von grober (große LB) bzw. feiner (kleine LB) Granularität. Die Anbindung an die Außenwelt erfolgt über spezielle Ein- und Ausgabeblöcke (IOB). Die Anzahl der Logikblöcke und der I/O-Blöcke liegt für die zur Zeit erhältlichen FPGAs in der Größenordnung von  $\leq 10^5$  bzw.  $\approx 10^3$ . Ein FPGA kann aber auch noch andere Blöcke enthalten, die für diverse Aufgaben optimiert sind. Dazu gehören zum Beispiel PLLs, Speicherzellen, Lookup-Tables und sogar ganze Prozessor-Kerne. Abhängig von der Art der Speicherung einer digitalen Schaltung unterscheidet man verschiedene Programmiertechnologien: flüchtige Speicherung mittels SRAM, beständige Speicherung im EEPROM oder Flash-PROM sowie die irreversible Antifuse-Technik. Die hohe Flexibilität, kurze Entwicklungszeiten, schnelle Fehlerbeseitigung, eine parallele Signalverarbeitung sowie die Rekonfigurierbarkeit sind nur einige Eigenschaften des FPGAs. [50]

Die Realisierung einer digitalen Schaltung im FPGA ist in mehrere Arbeitsschritte gegliedert. Zuerst muss die Schaltung und ihre Funktion in geeigneter Weise beschrieben werden. Dies geschieht mit einer Design-Software. Mit ihr kann die Schaltung durch Blockschaltbilder unter Verwendung vorhandener Logikmodule, mit Hilfe einer Hardwarebeschreibungssprache (VHDL oder Verilog), durch Wahrheitstabellen oder mittels Flussdiagrammen beschrieben werden. Dabei können in einem Design alle genannten

Möglichkeiten gleichzeitig auftreten. Anschließend kann eine logische Simulation durchgeführt werden. Dies ist besonders für die Funktionalitätsprüfung von Modulen wichtig, die als VHDL- oder Verilog-Code dargestellt sind. Nach erfolgreicher Simulation folgt die Synthese der Schaltung. Anschließend liegt diese als Netzliste vor und enthält bereits Informationen über die Signallaufzeiten durch die einzelnen Logik-Gatter. Jetzt kann eine erneute Simulation stattfinden (Pre-Layout-Simulation). Eine exakte Aussage über die Funktion der Schaltung ist aber erst nach der Platzierung und Verdrahtung (*Place & Route*) und der damit verbundenen Ermittlung der Signallaufzeiten zwischen den Logik-Gattern möglich (Post-Layout-Simulation). Dieser Prozess nimmt die meiste Rechenzeit in Anspruch, da versucht wird, die Laufzeitunterschiede einzelner Signale zu minimieren. Dabei werden auch Vorgaben des Programmierers berücksichtigt. Letztlich liegt eine Datei vor, die direkt in das FPGA übertragen werden kann. Diese Programmierung findet üblicherweise über eine JTAG-Schnittstelle statt. Eine ausführliche Darstellung der Problematik findet sich in [50] und [51].

Bei der Erstellung des in diesem Kapitel beschriebenen FPGA-Designs wurden folgende Programme eingesetzt:

Schaltplaneingabe: FPGA Advantage 6.2 - 7.2 von Mentor Graphics

Simulation: ModelSim 5.7f - 6.1c von Modeltech

Synthese: Precision RTL Synthesis 2003c.78 von Mentor Graphics bzw.

Quartus II 5.0 - 7.2 von Altera

Place & Route: Quartus II 5.0 - 7.2 von Altera

Die Grundlage des FPGA-Designs bildete ein bereits vorhandenes FPGA-Framework für den Silicon Tracker (ST) und den Vertex Locator (VELO). Dabei handelt es sich um ein FPGA-Advantage-Projekt, in dem Block-Diagramme, VHDL-Blöcke sowie entsprechende Testumgebungen in Bibliotheken organisiert sind. Für jeden der beiden FPGA-Typen des TELL1-Boards existiert ein eigenes, so genanntes Top-Level-Design. Das Design für das Sync-Link-FPGA ist für alle Sub-Detektoren identisch<sup>2</sup>. Der spezifische Teil jedes Sub-Detektors wird vollständig im Pre-Processing-FPGA realisiert und ist jeweils in zwei Bibliotheken aufgeteilt. Das Ziel der Erstellung des Designs für das Pre-Processing-FPGA ist die Umsetzung der Anforderungen bei optimaler Nutzung der limitierten FPGA-Ressourcen. Dabei soll dessen Funktion ohne die Verwendung zusätzlicher Optimierungsroutinen beim Place & Route, die zum Beispiel in [52] beschrieben sind, gewährleistet werden.

#### 4.1.2 Anforderungen

Das Design für das Pre-Processing-FPGA (PP-FPGA) ist durch äußere Randbedingungen und die geforderte Funktionalität geprägt. Mit jedem PP-FPGA sollen die Da-

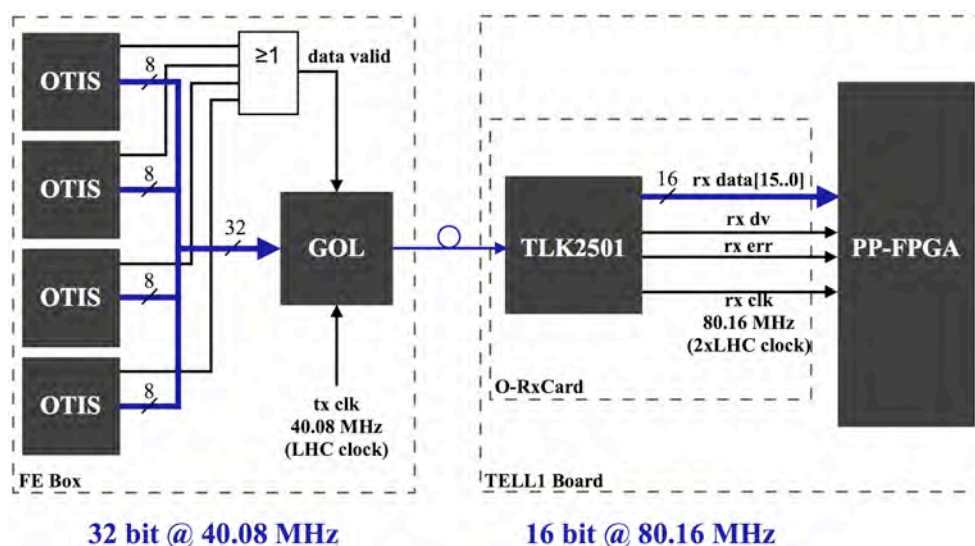
---

<sup>2</sup>Für den BCM existiert eine spezielle Version des SL-FPGA-Designs, da dieser unabhängig vom TFC-System betrieben wird.

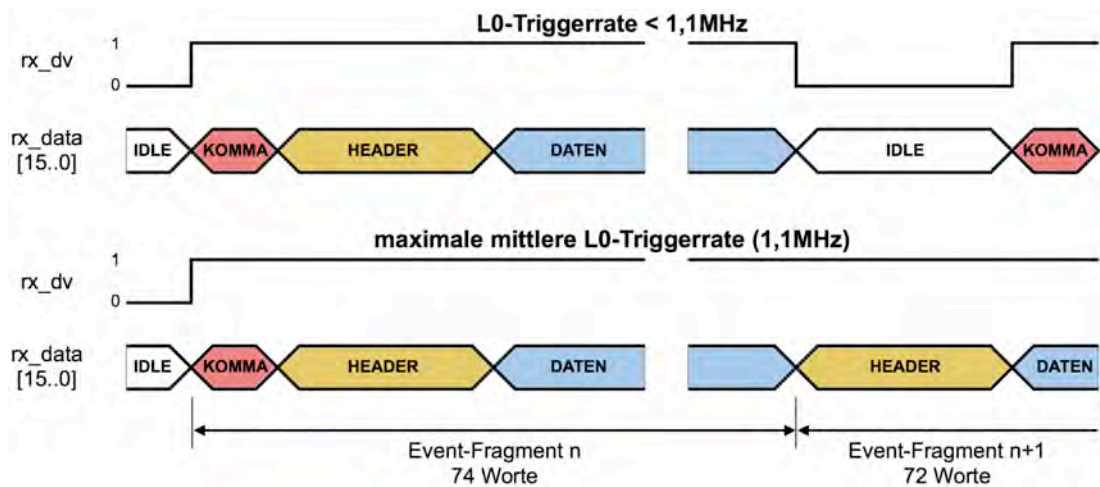
ten von bis zu 6 optischen Übertragungsstrecken empfangen und verarbeitet werden. Das Eingangsdatenformat wird sowohl durch die L0-Frontend-Elektronik (OTIS) als auch von den Serialisierungs- und Deserialisierungsschaltkreisen (GOL bzw. TLK2501) bestimmt. Die für die Deserialisierung benutzten Transceiver (TLK2501) liefern einen 19 Bit breiten Signalbus pro Übertragungsstrecke ( $rx\_data[15..0]$ ,  $rx\_clk$ ,  $rx\_dv$ ,  $rx\_err$ ) an den Eingang des PP-FPGA (siehe Abbildung 4.2). Da der Datenausgang des Deserialisierers mit 16 Bit nur halb so breit ist, wie der Datenbus vor der Serialisierung (am Eingang des GOL), liegen die Daten in  $rx\_data[15..0]$  gemultiplext vor. Folglich beträgt auch die Taktfrequenz der  $rx\_clk$  80,16 MHz (doppelter LHC-Takt). Aufgrund gleicher Kabellängen liegen die maximalen Laufzeitunterschiede zwischen den verschiedenen Übertragungsstrecken in der Regel innerhalb einer Periodendauer der  $rx\_clk$  (12,5 ns). Eine Forderung an die Level-1-Elektronik verlangt dennoch die Tolerierung von Verzögerungen bis zu einigen Taktzyklen auf einzelnen Strecken [24].

Die ankommenden Daten sind in Event-Fragmente unterteilt<sup>3</sup> und benötigen für ihre Übertragung jeweils 72 bzw. 74  $rx\_clk$ -Zyklen (ca. 900 ns bzw. 925 ns). Bei maximaler mittlerer L0-Triggerrate von 1,1 MHz entsteht dadurch ein kontinuierlicher Datenstrom, d. h. zwischen zwei Event-Fragmenten gibt es keinen IDLE-Zustand (siehe Abbildung 4.3). Somit beträgt die maximale Datenrate am Eingang des PP-FPGA 917,36 MB/s. Besondere Anforderungen werden auch an die Synchronisation der Daten gestellt, da

<sup>3</sup>Als Event-Fragment werden hier die Daten von einem Spurkammermodul bezeichnet, die im Falle eines L0-Triggers aus der Frontend-Box gesendet werden.



**Abbildung 4.2:** Blockschaltbild einer optischen Übertragungsstrecke. Alle 8 Bit breiten Datenausgänge der 4 OTIS-ICs liegen parallel am 32 Bit breiten Eingang des Serialisierers (GOL) an. Die gesamte Frontend-Box arbeitet mit dem LHC-Maschinentakt (40,08 MHz). Nach der Deserialisierung im TLK2501 liegen die Daten um den Faktor 2 gemultiplext vor. Die Taktfrequenz am Eingang des PP-FPGA beträgt folglich 80,16 MHz.



**Abbildung 4.3:** Datenstrom vom TLK2501. Die vom TLK2501 deserialisierten Event-Fragmente bestehen aus einem Komma (2 Worte), den OTIS-Headern (8 Worte) und den Daten (64 Worte). Ein Komma wird dabei nur gesendet, wenn die optische Übertragungstrecke vorher im IDLE-Zustand war. Das `rx_dv`-Signal markiert gültige Daten und kann bei niedriger Triggerrate zur Synchronisierung auf den Beginn eines Event-Fragmentes benutzt werden (oben). Erreicht die mittlere Triggerrate jedoch den Maximalwert, ist dies nicht mehr möglich, da das Signal seinen Zustand nicht ändert (unten). In diesem Fall existiert auch kein Komma zwischen zwei Event-Fragmenten.

das `rx_dv`-Signal bei dieser Datenrate keinen Zustandswechsel (high-low oder low-high) aufweist und der Start eines Event-Fragmentes dadurch nicht eindeutig markiert ist. Mit dem L0-Trigger werden Ereignisse ausgelesen, die eine bestimmte Signatur aufweisen. Zwar sind sie zum LHC-Maschinentakt korreliert, das Auftreten dieser Signatur ist aber zufällig. Daher schwankt die L0-Triggerrate und kann für kurze Zeit bis zu 40 MHz betragen. Im PP-FPGA muss deshalb eine zeitliche Derandomisierung der Event-Fragmente stattfinden, damit ein kontinuierlicher Datenstrom entsteht.

Am Ausgang des Pre-Processing-FPGA steht ein 36 Bit breiter Datenbus für die Datenübertragung zum Sync-Link-FPGA zur Verfügung. Das interne Übertragungsformat zwischen diesen beiden FPGAs benutzt 32 Bit für den Datentransport, die übrigen 4 Bit werden als Header-Flag verwendet. Die Übertragungsfrequenz beträgt 120,24 MHz womit die maximal mögliche Datenrate am Ausgang des PP-FPGA auf  $3,85 \cdot 10^9$  Bit/s bzw. 458,68 MB/s begrenzt ist. Tabelle 4.1 fasst die Datenraten am Ein- und Ausgang des Pre-Processing-FPGA zusammen. Das Verhältnis von Ein- und Ausgangsbandbreite zeigt, dass eine Datenübertragung durch das PP-FPGA ohne Kompression oder Nullunterdrückung in den Daten bei maximaler Triggerrate nicht möglich ist. Der Datenreduktionsfaktor muss mindestens einen Wert von zwei erreichen, damit diese Forderung erfüllt wird. Falls die Datenrate dennoch die Kapazitäten des FPGAs übersteigt, muss ein Signal generiert werden (Throttle), welches den L0-Trigger temporär stoppt.

Eine weitere Forderung betrifft die Formatierung der Daten in das vom Sync-Link-

**Tabelle 4.1: Datenraten am Ein- und Ausgang des PP-FPGA**

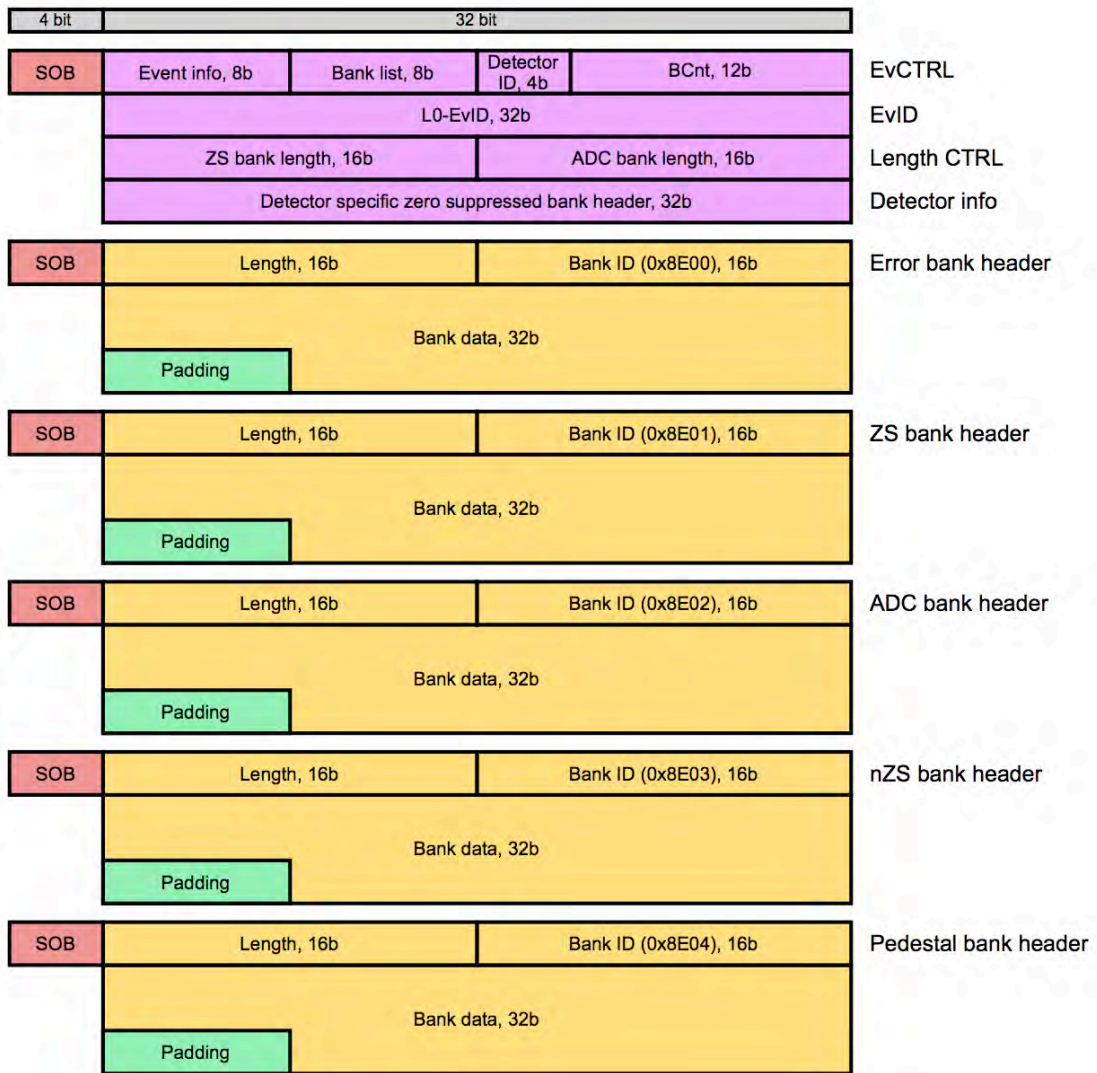
	Eingang	Ausgang	Verhältnis
Busbreite	6 x 16 Bit	32 Bit	3:1
Busfrequenz	80,16 MHz	120,24 MHz	2:3
maximale Datenrate	917,36 MB/s	458,68 MB/s	2:1

FPGA erwartete Format (siehe Abbildung 4.4) [53]. Dieses interne Übertragungsformat ist in verschiedene Bänke strukturiert, deren Header den Banktyp und ihre Länge enthält. Dabei werden nicht immer alle Bänke eines Event-Fragments erzeugt bzw. übertragen. Das interne Transport-Format besitzt bereits die Struktur des TELL1-DAQ-Datenformats, das in Abschnitt 4.1.6 näher erläutert wird.

Die L0-Frontend-Elektronik, welche die Daten vom Detektor an das TELL1-Board sendet, befindet sich in einer Umgebung, in der eine hohe Strahlenbelastung herrscht. Dadurch können Fehler in der Elektronik oder bei der Datenübertragung auftreten, die zu erkennen und dem Nutzer in geeigneter Weise anzuzeigen sind. Alle Informationen aus dem OTIS-Header müssen dazu ständig überprüft werden. Dies geschieht zum Beispiel durch den Vergleich der darin enthaltenen L0-Event-ID (4 Bit) sowie der Bunch-Crossing-ID (8 Bit) mit den Referenzwerten vom TFC-System. Die gewonnenen Fehlerinformationen müssen sowohl über das Experiment-Kontroll-System ausgelesen, als auch mit den Daten an die DAQ-Farm gesendet werden. Weiterhin soll eine Überwachung des Datenflusses stattfinden, um eventuelle Engpässe bei der Datenübertragung identifizieren zu können. Dies kann zum Beispiel durch Zählen der Event-Fragmente an verschiedenen Stationen der Datenverarbeitung erreicht werden. [24]

Für die Phase der Inbetriebnahme des Detektors ist es wichtig, die Daten bereits vor ihrem Eintreffen in der DAQ-Farm monitorieren zu können. Dazu sollen im PP-FPGA Histogramme der getroffenen Kanäle (Hitmap) und Driftzeit-Spektren erzeugt werden, die über das ECS auslesbar sind.

Schließlich muss das Design mit den verfügbaren Ressourcen des FPGA realisiert werden. Dabei ist zu beachten, dass ab einer Auslastung von ca. 50% die geforderten Signallaufzeiten innerhalb des FPGA nicht notwendigerweise für alle Verbindungen erreichbar sind [50]. Als Pre-Processing-FPGA wird der Typ Stratix EP1S25F780C7 von Altera [47] eingesetzt. Er besitzt die in Tabelle 4.2 aufgeführten Ressourcen.



**Abbildung 4.4:** Transport-Format zwischen PP-FPGA und SL-FPGA [53]. Die im Pre-Processing-FPGA verarbeiteten Event-Fragmente werden in Bänken strukturiert an das Sync-Link-FPGA weitergeleitet. Die Länge einer Bank kann variieren und ist im jeweiligen Bank-Header enthalten. Dabei ist es möglich, dass eine Bank nur aus ihrem Header besteht. Jede Bank enthält einen bestimmten Datentyp, z. B. Fehlerinformationen (Error bank), null-unterdrückte Daten (ZS bank) oder Rohdaten (nZS bank). Eine ausführliche Beschreibung findet sich in Kapitel 4.1.6.

Tabelle 4.2: Verfügbare Ressourcen des Altera Stratix EP1S25F780C7 [54]

Element	Anzahl
Logikblock	25 660
M512 RAM Block (32 x 18 Bit)	224
M4K RAM Block (128 x 36 Bit)	138
M-RAM Block (4K x 144 Bit)	2
RAM gesamt [Bit]	1 944 576
DSP Block 9 Bit Elemente	80
PLL	6
nutzbare I/O Pins	598
Clock Pins	16
globale Clocks	16
regionale Clocks	16
regionale Clocks (fast)	8



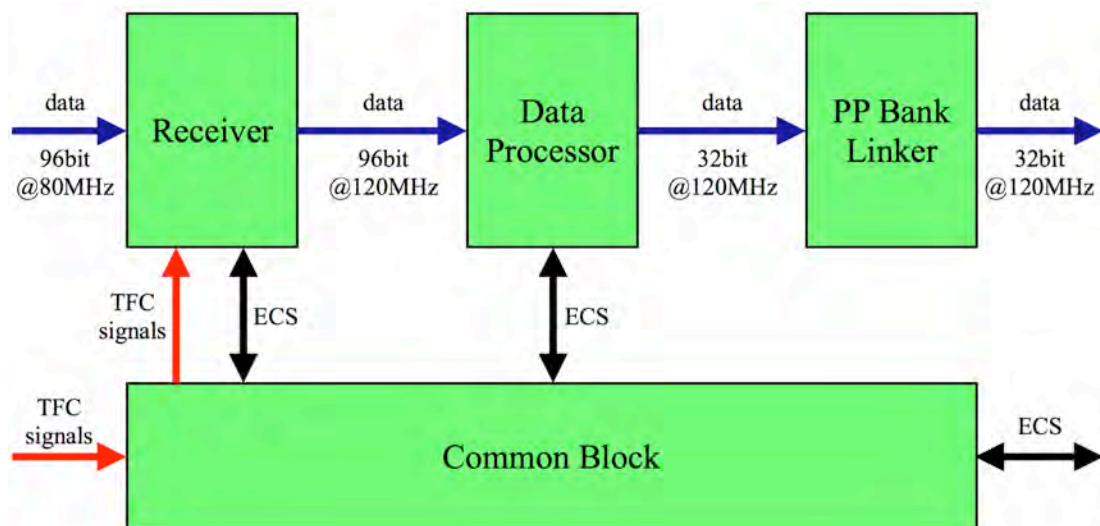
### 4.1.3 PP-FPGA-Design und Design-Studien

Um die Anforderungen an das PP-FPGA umzusetzen, sind verschiedene Studien und mehrere Design-Iterationen notwendig. Die folgenden Abschnitte geben einen Überblick über das finale Design des Pre-Processing-FPGA, stellen einige Studien vor und erläutern deren Vor- und Nachteile.

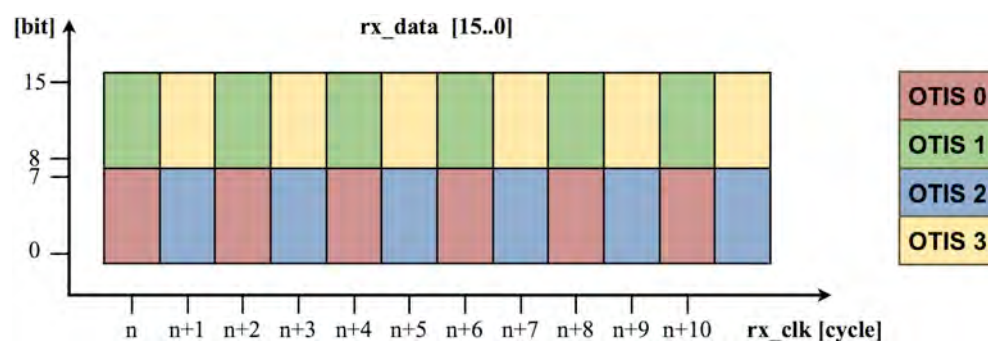
Die Grundstruktur der Schaltung besteht aus vier Elementen (siehe Abbildung 4.5). Am Eingang werden die Daten von einem Receiver-Block empfangen und synchronisiert. In der zweiten Stufe findet die Derandomisierung, die Prozessierung und die Formatierung der Daten in Bänke statt. Diese werden anschließend vom PP-Linker-Block zusammengefügt und an das Sync-Link-FPGA gesendet. Das vierte Element repräsentiert die Anbindung an das ECS und das TFC-System im Common-Block.

Der Receiver besteht aus einer Synchronisationsstufe, die in Abschnitt 4.1.4 näher erläutert wird, einem Empfangs-Puffer (Rx-Buffer) sowie einem Multiplexer-Block, der die Event-Fragmente aus dem Rx-Buffer ausliest, die Fehler-Bank erzeugt und die Daten an den Prozessor-Block weiterleitet. Für jede Übertragungsstrecke sind eine separate Synchronisationsstufe und ein Empfangs-Puffer vorhanden.

Am Eingang der Synchronisationsstufe liegen die Daten von je vier OTIS-ICs um einen Faktor zwei gemultiplext vor (siehe Abbildung 4.6). Zur besseren Trennung der Daten nach ihrem Ursprung (OTIS) werden sie von der Synchronisationsstufe demultiplext



**Abbildung 4.5:** Struktur der Schaltung im PP-FPGA. Nach ihrem Empfang im Receiver, werden die Daten im Data-Processor derandomisiert und nullunterdrückt, bevor sie der PP-Bank-Linker, in Bänke formatiert, an das Sync-Link-FPGA sendet. Die Anpassung des Datenbusses von 96 Bit bei 80 MHz auf 32 Bit bei 120 MHz geschieht schrittweise (dargestellt ist der Datenpfad bei Normalbetrieb). Der Common-Block stellt die Verbindung zum ECS her und beinhaltet sämtliche Überwachungs- und Konfigurationsregister.



**Abbildung 4.6:** Multiplexing der empfangenen Daten (`rx_data[15..0]`). Der 32 Bit breite Datenbus einer Frontend-Box liegt nach der Deserialisierung durch den TLK2501 mit halber Breite vor. Die Daten der vier OTIS-ICs sind im Datenstrom dem Farbcode entsprechend angeordnet.

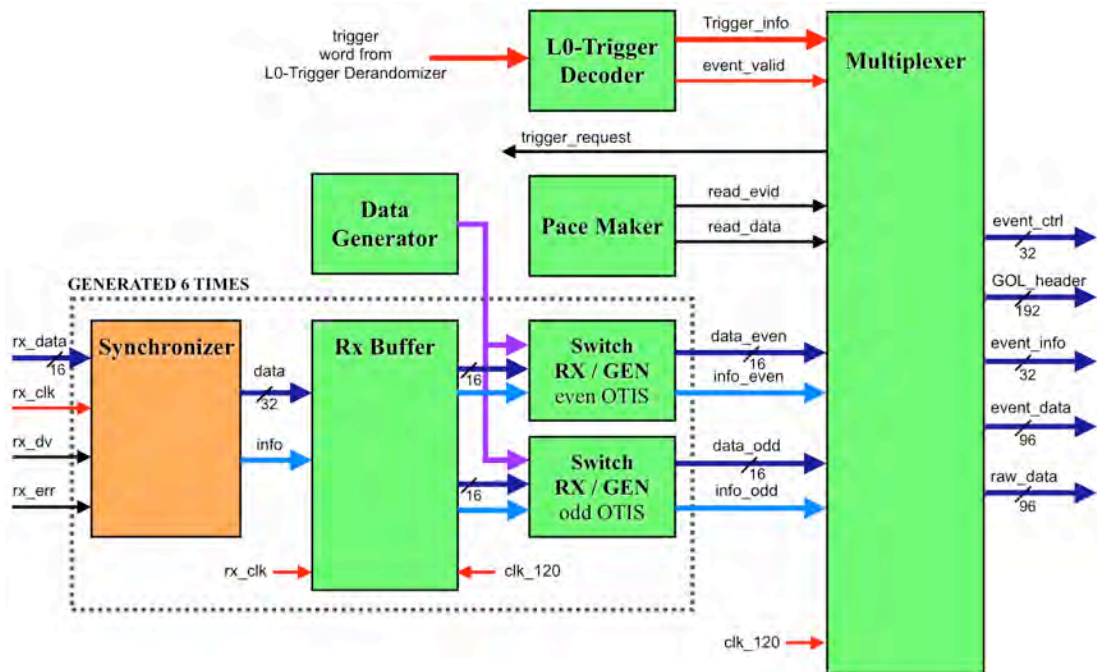
bevor sie in den Empfangs-Puffer gelangen (Abbildung 4.7). Damit ist die ursprüngliche Datenbusbreite von 32 Bit wiederhergestellt. Die Synchronisationsstufe arbeitet mit der vom TLK2501 generierten `rx_clk` (80,16 MHz).

Der Rx-Buffer ist als Dual-Port-RAM realisiert und wird mit zwei verschiedenen Takten (clocks) betrieben. Der Takt zum Beschreiben des Puffers wird jeweils aus dem seriellen Signal der optischen Übertragung zurückgewonnen und beträgt effektiv<sup>4</sup> 40,08 MHz. Auf der Leseseite liegt der interne Arbeitstakt des PP-FPGA an. Er wird mit Hilfe einer internen PLL aus dem LHC-Maschinentakt generiert und hat eine Frequenz von 120,24 MHz. Der Empfangs-Puffer dient gleichzeitig dem Clock-Domain-Wechsel<sup>5</sup>. Er ist in 8 Speicherzellen unterteilt, die eine Tiefe von 64 Worten besitzen. Damit können 8 komplette Event-Fragmente zwischengespeichert werden. Aus Gründen, die später diskutiert werden, ist der Puffer in zwei separate Komponenten (even und odd)<sup>6</sup> geteilt. Kurz bevor ein Event-Fragment vollständig in den Empfangs-Puffer geschrieben ist, fordert der Multiplexer ein Trigger-Wort aus dem L0-Trigger-Derandomizer an. Der L0-Trigger-Decoder extrahiert daraus alle notwendigen Informationen, z. B. die L0-Event-ID, die Bunch-ID sowie den Trigger-Typ, und markiert deren Gültigkeit mit dem `event_valid`-Signal. Eine weitere Bedingung zum Auslesen des Empfangs-Puffers ist das `read_data`-Signal, das von einem sogenannten Schrittmacher-Block (Pace Marker) generiert wird. Es besitzt eine Periode von 900 ns, was der Länge eines Event-Fragmentes entspricht. Die beiden Puffer-Komponenten werden anschließend innerhalb von 600 ns nacheinander ausgelesen und vom Multiplexer verarbeitet. Der beschriebene Ablauf im Empfangs-Puffer ist in Abbildung 4.8 als logische Simulation dargestellt. Er

<sup>4</sup>Der Takt zum Beschreiben der Rx-Buffers beträgt zwar 80,16 MHz, die Daten sind aber nur bei jedem zweiten Takt gültig (Demultiplexing).

<sup>5</sup>Eine Clock-Domain bezeichnet ein Gebiet innerhalb eines Schaltkreises, in dem sämtliche Logik synchron mit dem selben Takt betrieben wird. Innerhalb eines FPGA ist die Anzahl der Clocks jedoch beschränkt.

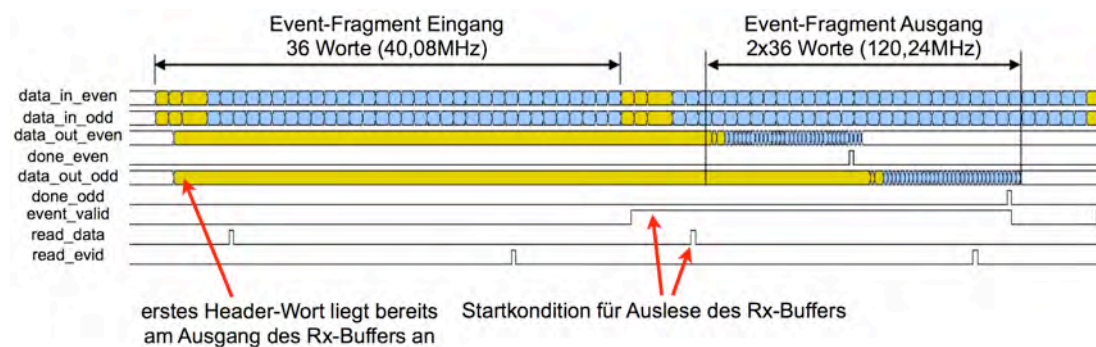
<sup>6</sup>Even und odd bezieht sich hier auf die Parität der OTIS-ID, d. h. in der Komponente even werden nur die Event-Fragmente der geradzahigen OTIS-ICs (0 und 2) gespeichert.



**Abbildung 4.7:** Blockschaltbild des Receivers. Gezeigt sind alle für die Synchronisation der sechs Übertragungsstrecken relevanten Komponenten und Signale. Zusätzlich zum Datenpfad (data) existiert auch ein Info-Bus (info), über den Statusinformationen gesendet werden. Ein interner Datengenerator kann zum Test des FPGA-Designs verwendet werden, wenn keine Front-end-Box betriebsbereit ist. Der Receiver enthält außerdem Elemente zur Überwachung, die hier nicht dargestellt sind.

stellt sicher, dass die beliebige Phasenlage sowie die Laufzeitunterschiede zwischen den einzelnen Übertragungsstrecken kompensiert werden. Neben dem Datenpfad (data) existiert noch ein zweiter Signalbus (info) im Receiver. Durch ihn werden alle relevanten Informationen über den Status des optischen Übertragungsvorganges innerhalb eines 16 Bit-Wortes an den Multiplexer gesendet. Der Multiplexer ist durch mehrere Finite State Machines (FSM) realisiert und übernimmt folgende Aufgaben:

- Steuerung des Ausleseprozesses des Rx-Buffers
- Konsistenzprüfungen der Event-Fragmente
- Erstellung der Event-Info-Bank (Error bank)
- Generierung der GOL-Header sowie des OT-spezifischen Headers als Bestandteile der Zero-Suppressed-Bank (ZS bank)
- Erstellung der RAW-Bank (nZS bank)
- Generierung eines Event-Kontroll-Wortes



**Abbildung 4.8:** Ablauf des Datentransfers durch den Rx-Buffer (Simulation). Wenn sich ein komplettes Event-Fragment im Rx-Buffer befindet und ein Trigger-Wort vom TTC-System vorliegt (`event_valid = '1'`), wird dieser mit dem nächsten Startsignal (`read_data`) nacheinander ausgelesen. Das Auslesen nimmt trotz des Multiplexens weniger Zeit in Anspruch, als das Schreiben des Event-Fragments.

Den Ausgang des Multiplexers bildet ein komplexes Bussystem, wobei für jede Daten-Bank mindestens ein separater Bus vorhanden ist. Da es vom Trigger-Typ und der Konfiguration des TELL1 abhängt, welche Daten-Bank erzeugt wird<sup>7</sup>, sind nicht immer alle Busse aktiv. Im fehlerfreien Normalbetrieb werden nur über den `event_data`-Bus Daten zum Daten-Prozessor gesendet<sup>8</sup>. Die Länge des Event-Fragmentes beträgt an dieser Stelle nur noch 64 Worte, da die OTIS-Header-Informationen entfernt wurden. Sie sind weiterhin im GOL-Header enthalten.

Im Daten-Prozessor findet die zeitliche Derandomisierung und die Null-Unterdrückung der Event-Fragmente statt. Weiterhin erfolgt hier die Erzeugung von Hitmap- und Driftzeithistogrammen. Für die Derandomisierung ist ein großer Puffer notwendig, der 64 Event-Fragmente aufnehmen kann. In der ersten Studie wurde der Derandomizer nach der Verarbeitung (Null-Unterdrückung) der Daten angeordnet (siehe Abbildung 4.9). Das Auslesen des Rx-Buffers im Receiver erfolgte dabei vollständig parallel, d. h. mit der vollen Busbreite von 192 Bit (kein Multiplexing von even und odd). Die Daten konnten damit schneller verarbeitet werden. Ein weiterer Vorteil bestand darin, dass der Derandomizer mehr Event-Fragmente speichern konnte, da deren Länge durch die Null-Unterdrückung im Allgemeinen geringer ist. Die Größe des reduzierten Event-Fragments ist aber von der Occupancy im Detektor abhängig und kann für jede Übertragungsstrecke verschieden sein. Dies setzte die Aufspaltung des Derandomizers in 12 Teile (2 pro Übertragungsstrecke) voraus, da in den einzelnen Derandomizern unterschiedliche Füllstände auftraten, für deren Auslese eine komplexe Logik benötigt wurde. Durch diese Teilung konnte der Derandomizer innerhalb des FPGA nur durch das Zusammensetzen kleiner, räumlich getrennter Speicherblöcke (z. B. M512 oder M4K)

<sup>7</sup>Für ein Event können auch alle Bänke generiert werden (siehe Abschnitt 4.1.6).

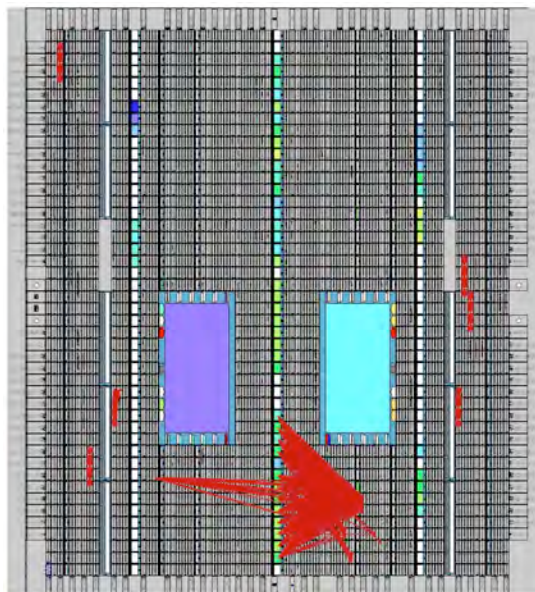
<sup>8</sup>Zusätzlich werden die 6 GOL-Header und ein Event-Kontroll-Wort über einen speziellen Bus gesendet.





**Abbildung 4.9:** Blockschaltbild des Daten-Prozessors einer ersten Studie. Der L0-Derandomizer befindet sich hier nach der Null-Unterdrückung der Daten. Auf Grund der Busverbreiterung während der Verarbeitung ist der Derandomizer im FPGA stark fragmentiert. Ein Linker sorgt für das Multiplexen der Daten und die Erzeugung der ZS-Bank.

realisiert werden und daher er stark fragmentiert war. Dies hatte zur Folge, dass die Schaltung im FPGA unter Einhaltung aller Forderungen an die Signallaufzeiten nicht umgesetzt werden konnte (siehe Abbildung 4.10). Nachteilig wirkte sich hierbei auch aus, dass die parallele Verarbeitung der Daten einen hohen Bedarf an Logikblöcken hat. Die Anwendung von Optimierungsfunktionen sowie der in der Quartus II Software enthaltene Design Space Explorer, welcher den Place & Route-Vorgang mit verschiede-



**Abbildung 4.10:** Timing Closure Floorplan des PP-FPGA nach dem Place & Route der ersten Studie. Innerhalb der Matrix aus Logikblöcken sind Bereiche mit speziellen Funktionen eingebettet. Dies sind zum Beispiel die beiden M-RAM-Blöcke in der Mitte des FPGA. Kleinere Speicherblöcke (M4K) sind in Spalten angeordnet. Die roten Linien markieren Verbindungen, auf denen die maximale Signallaufzeitdifferenz nicht eingehalten wird.

nen Startwerten (seeds) wiederholt, brachten eine maximale Verbesserung um nur 3%. Daher wurde dieser Ansatz verworfen.

Im finalen Design des Daten-Prozessors befindet sich der Derandomizer vor der Verarbeitungsstufe. Bei seinem Entwurf wurde darauf geachtet, dass er durch einen großen zusammenhängenden M-RAM-Block realisiert wird. Da dieser jedoch eine maximale Breite von 144 Bit besitzt, findet im Receiver ein Multiplexing der Daten statt. Dies erfolgt durch die Teilung des Rx-Buffers in die Komponenten even bzw. odd, die nacheinander ausgelesen werden. Gleichzeitig wird dadurch der Bedarf an Logikblöcken für den Verarbeitungsprozess reduziert. Im Derandomizer besitzen die Event-Fragmente eine Länge von 64 Worten. Mit der Tiefe des M-RAM-Blocks von 4096 Worten, ergibt sich eine maximale Speicherkapazität von 64 Event-Fragmenten. Um Speicherüberläufe zu verhindern, wird ab einem bestimmten Füllstand ein Throttle-Signal generiert und an den Readout-Supervisor gesendet. Dieser Schwellenwert kann mittels eines ECS-Registers verändert werden.

Für jede Daten-Bank, die GOL-Header sowie das Event-Kontroll-Wort existiert jeweils ein separater Derandomizer (siehe Abbildung 4.11). Der Derandomizer für die RAW-Bank besteht aus dem zweiten im FPGA vorhandenen M-RAM-Block. Da die Länge der RAW-Bank hier 89 Worte<sup>9</sup> pro Event-Fragment beträgt, kann dieser FIFO nur maximal 46 Event-Fragmente aufnehmen. Ab einem Füllstand von 23 Event-Fragmenten<sup>10</sup> wird ebenfalls ein Throttle-Signal erzeugt. Der RAW-Bank-Linker multiplext die Rohdaten auf eine Breite von 32 Bit und sendet sie in einen Ausgabe-Puffer (Output FIFO). Dort werden sie später vom PP-Bank-Linker ausgelesen.

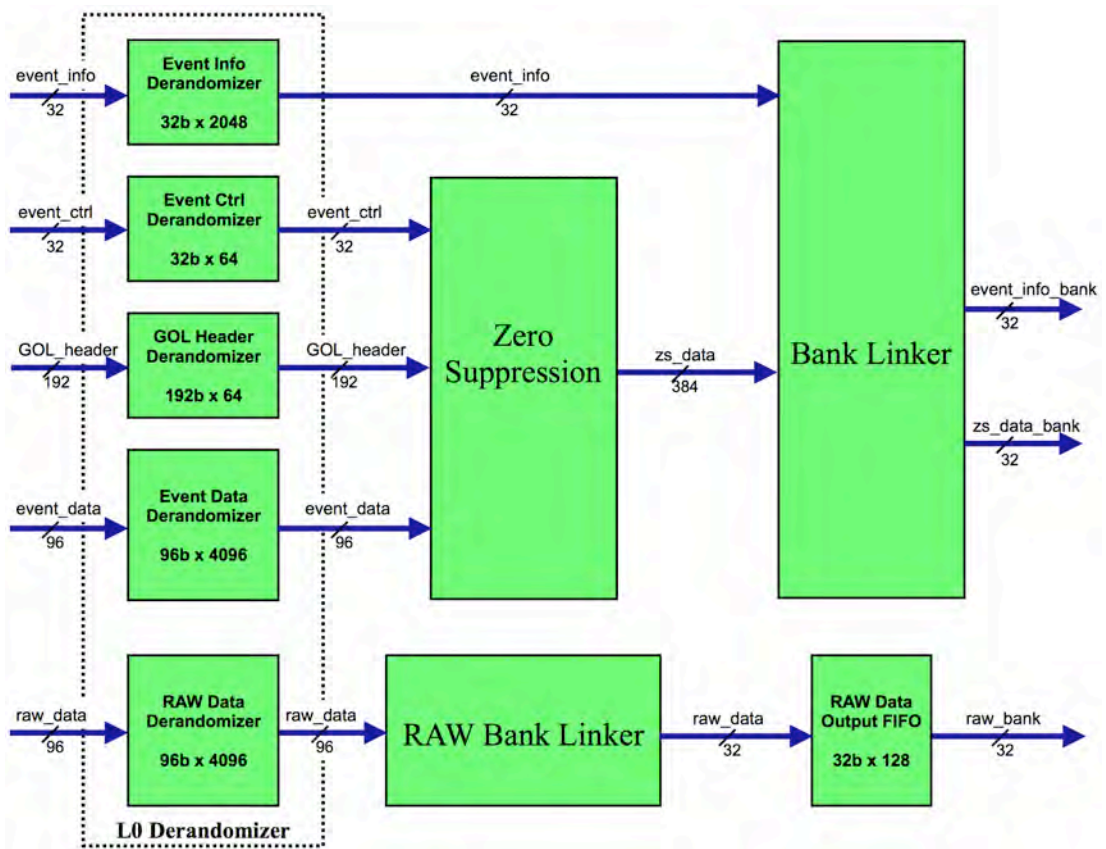
Die Null-Unterdrückung Zero Suppression reduziert die Event-Daten, indem nur die Driftzeiten der getroffenen Kanäle weitergeleitet werden. Alternativ ist auch die Erzeugung einer Hitmap möglich (Konfigurations-Register `OT_OTIS_CTRL_REG: data type`). Der Operationsmodus ist neben der Liste aktiver Übertragungstrecken und der Information, ob die Summe der getroffenen Kanäle in OTIS 0 und 1 ungerade ist, im Event-Kontroll-Wort enthalten (siehe auch Abschnitt 4.1.5). Die null-unterdrückten Daten gelangen in den Bank-Linker, welcher intern aus mehreren Puffer-Stufen besteht. Dort werden sie zur ZS-Bank zusammengesetzt und in einem Ausgangs-Puffer bis zum Auslesen durch den PP-Bank-Linker vorgehalten. Gleichzeitig wird vom Bank-Linker auch die Event-Info-Bank in ihr endgültiges Format gebracht.

Im Zero-Suppression-Block werden auch die Histogramme erzeugt. Dies sind 6 Hitmap-Histogramme mit jeweils 128 Bins und einer Tiefe von 32 Bit pro Bin und ein Driftzeit-Histogramm mit 192 Bins zu je 32 Bit. In die Hitmap-Histogramme werden alle Treffer in jedem der 128 Kanäle einer Frontend-Box eingefüllt. Das Driftzeit-Histogramm kann nur für einen einzelnen Kanal erstellt werden, dessen Nummer in einem Konfigurationsregister angegeben ist. Das Ursprüngliche Design sah vor, für jeden OTIS ein separates, über alle 32 Kanäle integriertes Driftzeit-Spektrum zu erzeugen. Eine Studie zeigte allerdings, dass eine Implementierung mit Problemen behaftet ist. Die Histogramme sind als RAM realisiert, der über das ECS auslesbar ist. Während des

---

<sup>9</sup>72 Worte Rohdaten + 17 Worte Event Info

<sup>10</sup>Diese Schwelle ist nicht über ein ECS-Register konfigurierbar.



**Abbildung 4.11:** Blockdiagramm des Daten-Prozessors. Für jeden Datenbus existiert ein separater L0-Derandomizer, wobei der Event-Data- sowie der RAW-Data-Derandomizer mit je einem M-RAM-Block realisiert sind und damit nicht fragmentiert sind. Nach der Derandomisierung der Daten erfolgt die Null-Unterdrückung und die Formatierung in die Bankstruktur.

Füllens der Histogramme wird der Wert eines Bins aus dem Speicher ausgelesen, bei einem Treffer in diesem inkrementiert und wieder an die selbe Speicheradresse zurück geschrieben. Bei den Hitmap-Histogrammen wird die Adresse eines Bins durch die Kanalnummer repräsentiert. Da die Reihenfolge der Kanäle a priori gegeben ist, kann der Speicher sequentiell gelesen bzw. beschrieben werden. Anders verhält es sich bei den Driftzeit-Histogrammen. Hier ist die Adresse eines Bins durch die Driftzeit gegeben und erst bei der Verarbeitung bekannt. Weiterhin sind die Driftzeiten meist zufällig im Histogramm verteilt, was einen wahlfreien Speicherzugriff zur Folge hat. Da ein vollständiger Schreib-Lesezyklus 4 Takte benötigt, ist eine Verarbeitung aller Daten bei hoher Occupancy in Echtzeit nicht mehr möglich. Typischerweise wendet man in diesem Fall eine Taktvervielfachung um den entsprechenden Faktor (Anzahl der Zyklen) an. Dies ist im FPGA jedoch nicht zu realisieren, da die Taktfrequenz 480 MHz betragen würde, was die maximal mögliche Frequenz innerhalb des FPGA überschreitet [54].

Um dieses Problem zu umgehen, wurde ein Ansatz mit einem Cache-Speicher zwischen RAM und dem Histogramm-Kontroll-Block verfolgt, der allerdings nicht zur vollständigen Funktionsfähigkeit gelangte. Stattdessen ist die Anzahl der Driftzeit-Histogramme auf einen Kanal beschränkt, was dem Zweck der L0-Latency-Bestimmung mit einem Testpuls während der Inbetriebnahmephase (siehe Kapitel 5) genügt. Die dadurch frei gewordenen FPGA-Ressourcen ermöglichten die Implementierung eines zusätzlichen, registerintensiven Überwachungssystems für die OTIS-Header (siehe Abschnitt 4.1.7). Der PP-Bank-Linker stellt, als letztes Glied im Datenpfad des PP-FPGA, alle generierten Daten-Bänke zur Übertragung zum Sync-Link-FPGA zusammen. Das Format folgt dabei der Vorgabe in Abbildung 4.4. Da der PP-Bank-Linker eine generalisierte Komponente ist, d. h. er wird im PP-Design aller Sub-Detektoren verwendet, kann er mehr Bänke verarbeiten, als für das Äußere Spurkammersystem benötigt werden. Dem entsprechend existieren unbenutzte Eingänge, an die ein fester Wert angelegt ist. Auch ist die Bezeichnung der Bänke durch die verschiedenen Sub-Detektoren geprägt, wobei mehrere Namen für die gleiche Bank benutzt werden. Tabelle 4.3 gibt einen Überblick über die möglichen Daten-Bänke und synonyme Bezeichnungen. Trotz der

**Tabelle 4.3: Daten-Bänke im PP-Bank-Linker**

Bezeichnung der Bank im PP-Bank-Linker	Inhalt	synonyme Bezeichnung
Info Bank	Status- und Fehlerinformationen	Error Bank
Cluster Bank	null- unterdrückte Daten	Zero Suppressed Bank (ZS bank), Processed Bank
ADC Bank	nicht benutzt	
RAW Bank	Rohdaten mit OTIS-Headern	Non Zero Suppressed Bank (nZS bank)
Pedestal Bank	nicht benutzt	

generalisierten Struktur des PP-Bank-Linkers, musste für das Äußere Spurkammersystem eine eigene Version dieser Komponente erstellt werden. Der Grund dafür liegt im Inhalt des detektorspezifischen Bank-Headers (siehe Abb. 4.4 Detector info), der statt der Gesamtzahl der getroffenen Kanäle die Anzahl der aktiven Übertragungstrecken enthalten muss [55].

Weiterhin werden für die Erzeugung der Bank-Header Informationen über die Banklängen benötigt. Da die Bänke in ihrer Länge variabel sind, besitzt der PP-Bank-Linker neben den Datenbussen für jede Bank einen weiteren Eingang, über den die Längeninformation übermittelt wird. Für die unbenutzten Bänke ist dieser Wert Null. Die Längen der RAW- und der Info-Bank haben im Falle ihrer Generierung einen festen Wert von 932 Byte bzw. 56 Byte. Der Occupancy-abhängige Wert für die null-unterdrückte Bank wird vom Bank-Linker im Daten-Prozessor bestimmt.



Schließlich konnte das Design mit den im FPGA verfügbaren Ressourcen realisiert werden. Tabelle 4.4 zeigt den Nutzungsgrad der einzelnen Ressourcen.

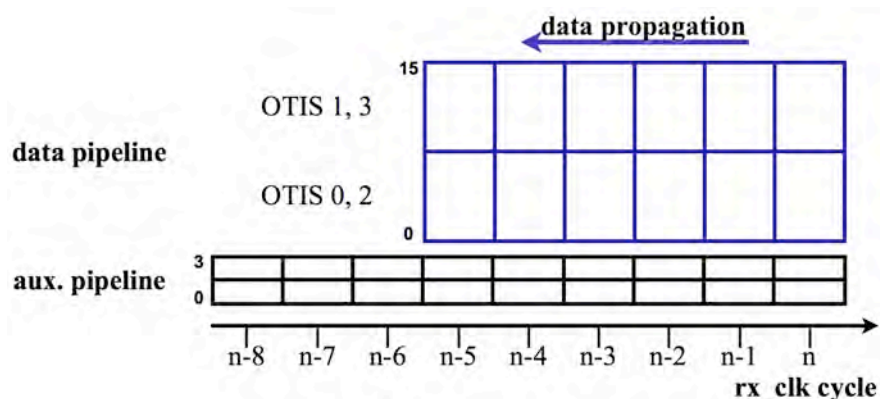
**Tabelle 4.4: Genutzte Ressourcen des Altera Stratix EP1S25F780C7 [54]**

Element	Anzahl
Logikblock	19 587 / 25 660 (76 %)
M512 RAM Block (32 x 18 Bit)	6 / 224 (3 %)
M4K RAM Block (128 x 36 Bit)	107 / 138 (78 %)
M-RAM Block (4K x 144 Bit)	2 / 2 (100 %)
RAM gesamt [Bit]	1 132 880 / 1 944 576 (58 %)
DSP Block 9 Bit Elemente	0 / 80
PLL	1 / 6 (17 %)
nutzbare I/O Pins	380 / 598 (64 %)
Clock Pins	8 / 16 (50 %)
globale Clocks	12 / 16 (75 %)
regionale Clocks	0 / 16
regionale Clocks (fast)	0 / 8

#### 4.1.4 Synchronisation der Eingangsdaten

Der fehlerfreie Empfang der vom Detektor gesendeten Event-Fragmente und besonders die korrekte Erkennung ihres Beginns (OTIS-Header) ist entscheidend für die gesamte Verarbeitung im TELL1-Board und die Ereignisrekonstruktion. Da die Länge der Event-Fragmente 36 LHC-Taktzyklen (ca. 900 ns) beträgt, existiert bei der maximalen L0-Triggerrate von 1,11 MHz kein IDLE-Charakter<sup>11</sup> zwischen zwei Event-Fragmenten, der für die Synchronisation benutzt werden kann. So kann auch das `rx_dv`-Signal nicht wie üblich als Schreibfreigabe (write enable) für den Empfangs-Puffer verwendet werden. Bei einem Fehler in der Frontend-Elektronik (z. B. bei einem Single Event Upset, ausgelöst durch die erhöhte radioaktive Strahlung) hätte dies den Verlust der Synchronisation im TELL1-Board zur Folge. Deshalb wird zur Synchronisation eine Mustererkennung auf den Datenstrom angewandt. Dabei wird ausgenutzt, dass sich der wesentliche Bestandteil des OTIS-Headers, die OTIS-ID, während der Datennahme nicht ändert [56]. Das `rx_dv`-Signal wird daher nur als Status-Bit behandelt. Alle Eingangssignale (`rx_data`, `rx_dv` und `rx_err`) werden zuerst in ein Auffangregister (latch) geschrieben, um einen definierten Signalzustand sowie einheitliche Signallaufzeiten zu gewährleisten. Zur Mustererkennung durchlaufen die Daten (`rx_data`) eine Pipeline (Data Pipeline) auf die eine Maske angewendet wird. Die Breite der Pipeline beträgt 16 Bit, ihre Tiefe 6 `rx_clk`-Taktzyklen (siehe Abbildung 4.12). Sie enthält somit die vollen `rx_data`-Worte

<sup>11</sup>Ist die Übertragungsstrecke im IDLE-Zustand, führt `rx_data` den Wert 0xBC50, `rx_dv` und `rx_err` sind LOW.



**Abbildung 4.12:** Signalpipeline-System zur Mustererkennung im Datenstrom. Zur Erkennung der Event- Fragment-Header werden die Eingangssignale durch zwei Pipelines geleitet und mit Masken verglichen. Dabei existiert eine Data Pipeline für `rx_data[15..0]` und eine Auxiliary Pipeline, die reduzierte Informationen enthält.

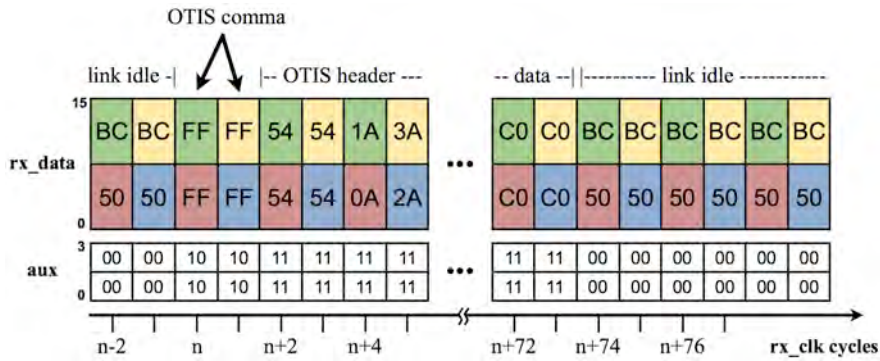
der letzten 6 Taktzyklen. Um einen vollständigen Beginn eines Event-Fragments zu erkennen, der für einen einzelnen L0-Trigger aus 2 IDLE-Worten, 2 OTIS-Komma-Worten sowie den ersten 4 OTIS-Header-Worten besteht (siehe Abbildung 4.13), ist allerdings eine Tiefe von mindestens 8 `rx_clk`-Taktzyklen notwendig. Damit die Tiefe der Pipeline so gering wie möglich ist, existiert eine zweite Pipeline (Auxiliary Pipeline). Diese ist 4 Bit breit, 9 Worte tief und enthält reduzierte Informationen von `rx_data` sowie den Status der optischen Übertragung (`rx_dv` und `rx_err`). Sie ist sensitiv auf das OTIS-Komma (0xFF), den Datenwert 0x00<sup>12</sup> und die Validität der Daten (siehe Tabelle 4.5). Die Einführung der Auxiliary Pipeline spart im Vergleich zu der in [46] beschriebenen Synchronisationsstufe 50 Logikblöcke pro Übertragungsstrecke (9,6%). Beide Pipelines sind logisch in einen oberen und einen unteren Bereich geteilt, womit die Daten der ungeradzahligen bzw. geradzahligen OTIS-ICs getrennt behandelt werden.

<sup>12</sup>Der Wert 0x0000 ersetzt den IDLE-Character 0xBC50, falls das `rx_dv`-Signal durch eine Fehlfunktion in der Frontend-Elektronik ständig HIGH ist. Dieses Feature entstammt der Verwendung von OTIS-ICs der Version 1.0, die kein `rx_dv`-Signal bereitstellen.

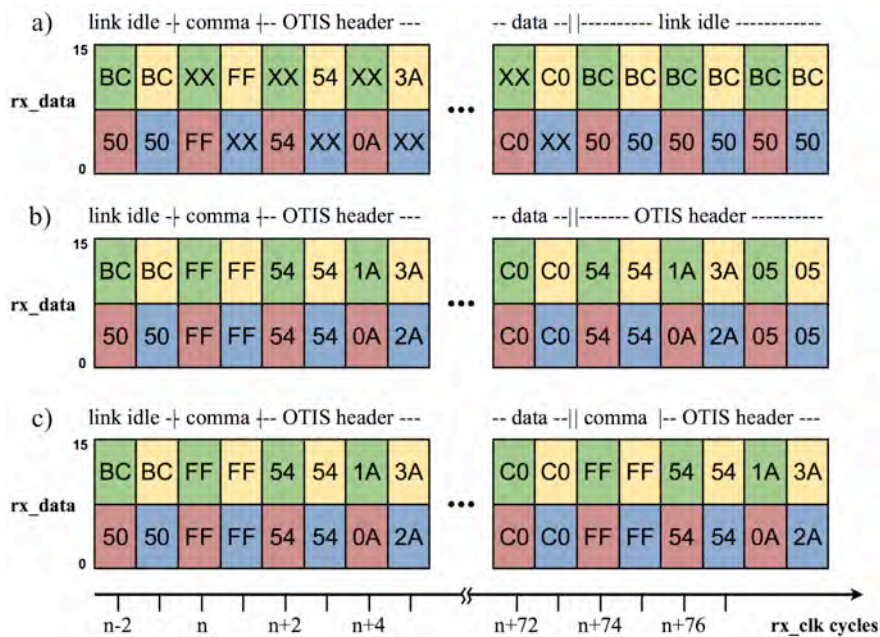
**Tabelle 4.5: Reduzierte Eingangssignale in der Auxiliary Pipeline**

Inhalt der Aux. Pipeline	Bedeutung (Beispiel für geradzahlige OTIS-ICs)
"00"	Daten nicht gültig oder Übertragungsfehler
"01"	<code>rx_data[7..0]</code> ist 0x00
"10"	<code>rx_data[7..0]</code> ist 0xFF (OTIS-Komma)
"11"	<code>rx_data[7..0]</code> ist gültig aber nicht 0x00 oder 0xFF

Abbildung 4.13 zeigt den Beginn eines möglichen Event-Fragmentes sowie den entsprechenden Inhalt der Auxiliary Pipeline. Weitere Datenströme, die von der Synchronisationsstufe erkannt werden müssen, sind in Abbildung 4.14 dargestellt. Besonders

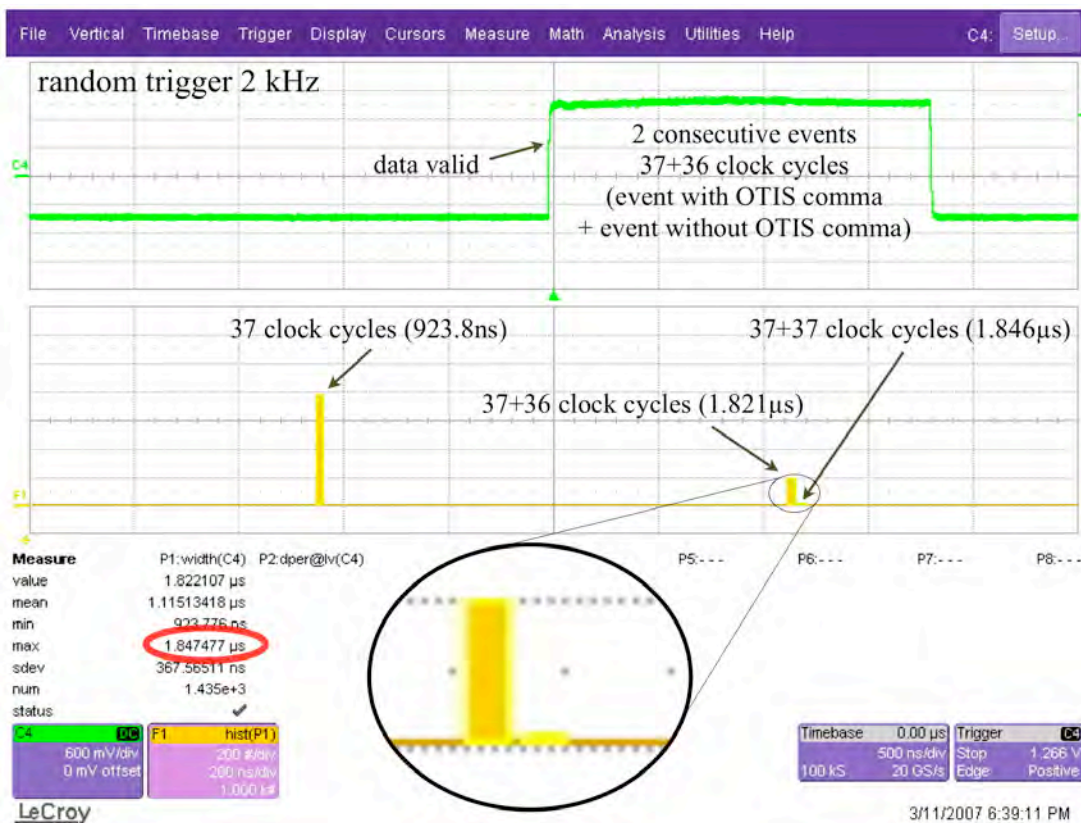


**Abbildung 4.13:** Event-Fragment im Pipeline-System. Ein typisches Event-Fragment besteht aus dem OTIS-Komma (2 Wörter), den OTIS-Headern (8 Wörter) und den Driftzeiten (64 Wörter). Die Auxiliary Pipeline enthält die reduzierten Informationen von rx\_data, rx\_dv und rx\_err (siehe Tabelle 4.5).



**Abbildung 4.14:** Mögliche Event-Fragmente im Datenstrom. Bild a) zeigt ein einzelnes Event-Fragment von einer halben Frontend-Box, in der nur OTIS 0 und 3 vorhanden sind. Unter b) und c) sind aufeinander folgende Event-Fragmente dargestellt, wobei sich im letzten Fall ein OTIS-Komma zwischen den beiden Event-Fragmenten befindet.

interessant ist der unter c) abgebildete Fall. Hierbei handelt es sich um zwei aufeinander folgende Event-Fragmente, zwischen denen sich ein OTIS-Komma befindet. Laut Definition des OTIS-Kommas wird dieses nur bei nicht konsekutiven Event-Fragmenten an dessen Anfang gestellt [32]. Hier besteht allerdings ein Widerspruch, da es sich im dargestellten Fall streng genommen um konsekutive Event-Fragmente handelt. Dieser Sachverhalt äußerte sich zunächst durch Synchronisationsfehler und verloren gegangene Event-Fragmente. Anhand der Länge des `rx_dv`-Signals kann man diesen Effekt beobachten (siehe Abbildung 4.15). Bei einem zufälligen L0-Trigger mit einer mittleren Rate von 2 kHz liegt die Wahrscheinlichkeit seines Auftretens beispielsweise bei ca. 1:1000. Durch eine Anpassung der Synchronisationsstufe, wird nun auch dieser Fall korrekt behandelt.



**Abbildung 4.15:** Länge des Data-Valid-Signals. Die Länge des `rx_dv`-Signals ist proportional zur Anzahl der gesendeten Worte (ca. 25 ns/Wort). Bei einer Random-Triggerrate von 2 kHz werden ca. 80% aller Event-Fragmente einzeln (37 LHC-Clocks) und ca. 20% als aufeinander folgende Event-Fragmente (37+36 LHC-Clocks) gesendet. In seltenen Fällen treten aufeinander folgende Event-Fragmente auf, zwischen denen sich ein OTIS-Komma befindet (37+37 LHC-Clocks).

In der Synchronisationsstufe sind drei verschiedene Arbeitsmodi implementiert:

- non zero mode
- OTIS ID synchronisation mode
- autofind OTIS ID synchronisation mode

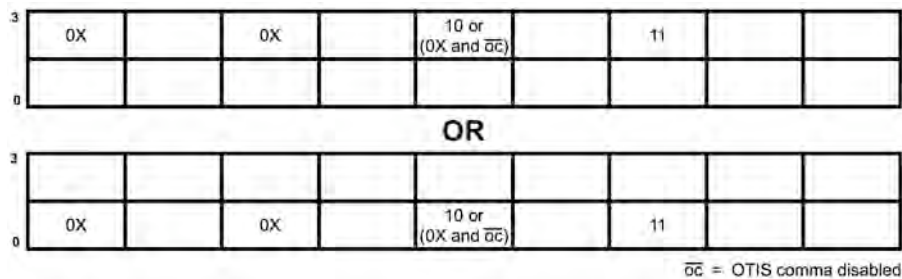
Der entsprechende Modus ist über ein Konfigurationsregister (`OT_OTIS_CTRL_REG`, siehe Anhang A) wählbar. Neben der Vorgabe einer OTIS-ID<sup>13</sup>, die zur Synchronisation genutzt werden soll, können darin auch einzelne OTIS-ICs von der Synchronisation ausgeschlossen werden. Alle drei Betriebsmodi arbeiten nach dem selben Prinzip (vgl. [56]). Der Beginn eines Event-Fragmentes wird durch Vergleich des Datenstromes mit einer Maske erkannt. Anschließend werden die nachfolgenden 72 Worte demultiplext und in den Empfangs-Puffer geschrieben. Die Erkennungsroutine, d. h. der Maskenvergleich, bleibt dabei bis zum Ende des Fragmentes deaktiviert, um eine zufällige Synchronisation auf die Daten (Driftzeiten) auszuschließen. Tritt während der Übertragung der Event-Fragmente ein Fehler auf (`rx_dv = "0"` oder `rx_err = "1"`), wird ein entsprechendes Fehlerbit gesetzt und im Event-Info-Wort parallel zu diesen übertragen. Die Synchronisationsstufe bleibt für 160 LHC-Maschinentaktzyklen<sup>14</sup> nach einem L0-Elektronik-Reset deaktiviert, da die restlichen Daten im Speicher der L0-Frontend-Elektronik in diesem Fall nicht mehr gültig sind [24].

Der **non zero mode** wird ausgewählt, indem das gleichnamige Konfigurationsbit auf "1" gesetzt ist. Dieser Modus benutzt ausschließlich die Auxiliary Pipeline, um den Beginn eines Event-Fragmentes zu erkennen. Dabei wird nach einem Übergang des `rx_dv`-Signals von LOW nach HIGH gesucht und als erstes Datenwort explizit das OTIS-Komma erwartet (falls dieses im OTIS-IC aktiviert ist). Da das erste Wort des OTIS-Headers laut Adressschema [23] nie 0x00 oder 0xFF ist, wird dies zusätzlich verlangt. Im Falle von aufeinander folgenden Event-Fragmenten, ersetzt ein Wortzähler den Wert "0X" in der Maske (siehe Abbildung 4.16). Der non zero mode ist hauptsächlich zur Fehlersuche bei der optischen Übertragung gedacht. Er wird aber auch zur Synchronisation des ersten Event-Fragmentes nach einem Reset-Signal vom autofind OTIS ID synchronisation mode benutzt.

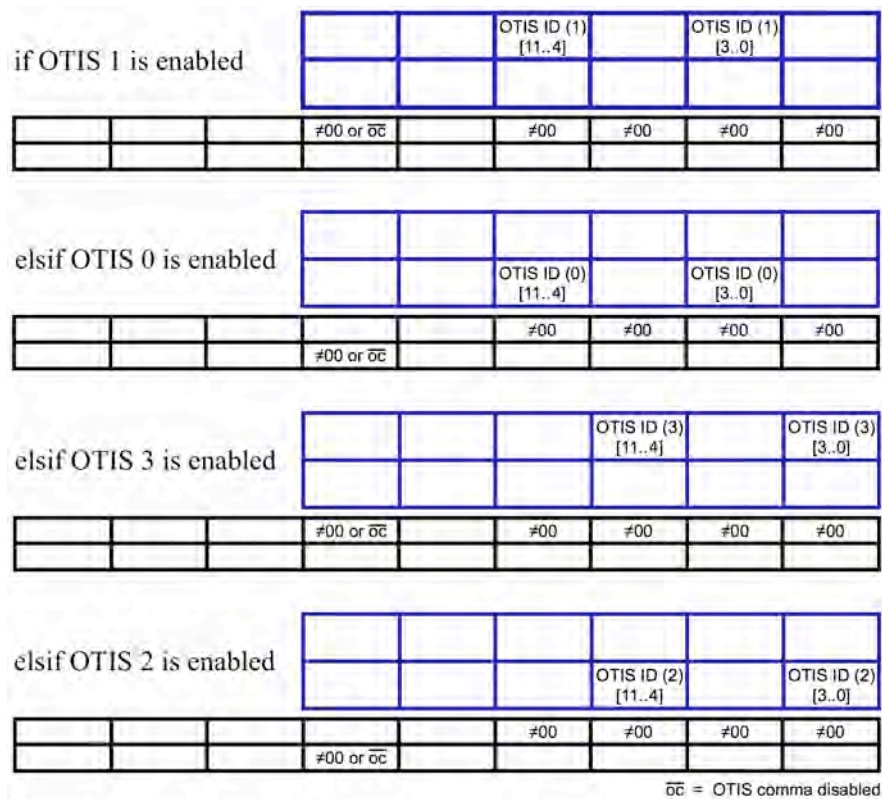
Im **OTIS ID synchronisation mode** werden beide Pipelines für die Erkennung eines Event-Fragment-Headers benutzt. Da sich in den halben Frontend-Boxen (zum Auslesen der S3-Module) nur zwei OTIS-ICs (OTIS 0 und 3) befinden, müssen die Header von jedem OTIS separat behandelt werden. Dies spiegelt sich in der Existenz vier verschiedener Masken wider, deren Anwendung auf die Pipelines einer Hierarchie unterliegt (siehe Abbildung 4.17). Sobald eine OTIS-ID (12 Bit) erkannt wurde, gilt das gesamte Event-Fragment als synchronisiert. Dies ermöglicht den sicheren Betrieb,

<sup>13</sup>Konfigurierbar ist nur die ID von OTIS 0 (12 Bit). Die übrigen drei IDs werden durch Inkrementieren von dieser abgeleitet.

<sup>14</sup>Dieser Wert ist im ECS-Register `OT_OTIS_CTRL_REG` konfigurierbar.



**Abbildung 4.16:** Daten-Masken zur Synchronisation im Non-Zero-Modus. Mit diesen auf die Auxiliary Pipeline angewandten Masken wird der Beginn eines Event-Fragmentes gesucht. Stimmt die Maske mit dem Muster im Datenstrom überein, wird das erkannte Event-Fragment in den Empfangs-Puffer geschrieben.



**Abbildung 4.17:** Daten-Masken zur Synchronisation im OTIS-ID-Modus. Die vier OTIS-Header werden im gemultiplexten Datenstrom separat mit je einer Maske verglichen. Die Anwendung der Masken geschieht in der gezeigten Reihenfolge (von oben nach unten), vorausgesetzt der jeweilige OTIS-IC ist aktiviert. Sobald der Vergleich mit einer Maske positiv ist, gilt das Event-Fragment als synchronisiert.



auch wenn nur ein OTIS-IC Daten sendet oder ein OTIS-Header durch einen Übertragungsfehler verändert ist. Zusätzlich zur OTIS-ID wird auch das OTIS-Komma bzw. die Validität sowie die Fehlerfreiheit der übertragenen Header gefordert. Der OTIS ID synchronisation mode ist für den kontrollierten Dauerbetrieb während der Datennahme bestimmt. Er wird ausgewählt, indem die Konfigurationsbits `non_zero_mode = '0'` und `autofind_ID = '0'` im Register `OT_OTIS_CTRL_REG` gesetzt werden.

Ein dritter Synchronisationsmodus, der **autofind OTIS ID synchronisation mode**, ist eine Kombination aus den beiden zuvor beschriebenen Modi. Er benutzt nicht die im Konfigurationsregister vorgegebene OTIS-ID zur Synchronisation, sondern findet alle vier OTIS-IDs der angeschlossenen Frontend-Box automatisch. Dazu wird das erste, nach einem L0-Reset gesendete Event-Fragment mit Hilfe des non zero mode synchronisiert und die OTIS-ID aus dem Event-Fragment-Header extrahiert. Diese IDs werden bereits für die Erkennung des nächsten Event-Fragments mit Hilfe des OTIS ID synchronisation mode verwendet. Da die Möglichkeit einer fehlerhaften Übertragung der ersten Daten nicht ausgeschlossen werden kann, sind die gefundenen OTIS-IDs noch variabel. Ändert sich eine ID in einem der folgenden Event-Fragmente, werden alle OTIS-IDs neu in die internen Register übernommen und der Zähler für die Anzahl positiver Vergleiche zurück gesetzt. Erst nachdem sie mehrfach<sup>15</sup> hintereinander durch den parallel laufenden non zero mode bestätigt wurden, gelten die OTIS-IDs als sicher erkannt. Der non zero mode beachtet hierbei ausschließlich Event-Fragmente, vor deren Beginn die Übertragungsstrecke im IDLE-Zustand war. Sind die OTIS-IDs sicher erkannt, wird er deaktiviert.

Ein weiteres Merkmal dieses Betriebsmodus ist das automatische Maskieren von OTIS-ICs innerhalb des Datenstroms. Die maskierten OTIS-ICs werden dabei nicht zur Synchronisation benutzt und sowohl bei der im Multiplexer stattfindenden Konsistenzprüfung, als auch bei der Null-Unterdrückung ignoriert. Die folgenden vier verschiedenen Ursachen der Maskierung sind unterscheidbar:

- OTIS ist über das Konfigurationsregister deaktiviert
- OTIS-ID ist nicht die für dieses Event-Fragment erwartete (Übertragungsfehler. Erst aktiv, wenn die OTIS-ID sicher erkannt wurde.)
- gefundene OTIS-ID hat den Wert 0x000 (OTIS sendet keine Daten oder existiert nicht.)
- OTIS sendet ständig Daten, auch wenn kein L0-Trigger an die Frontend-Box gesendet wird (Fehlfunktion)

Für den zuletzt genannten Fall wird der Inhalt der beiden Pipelines zu zwei Zeitpunkten innerhalb der ersten 160 LHC-Maschinentaktzyklen nach einem L0-Elektronik-Reset untersucht. Enthalten die Pipelines zu beiden Zeitpunkten valide, von 0x00 verschiedene Daten, werden die zugehörigen OTIS-ICs maskiert. Aufgrund des Multiplexens von

<sup>15</sup>Die Anzahl der positiven Vergleiche ist über das ECS-Register `OT_SYNC_CTRL_REG` konfigurierbar.

`rx_data[15..0]`, kann die korrekte Zuordnung des maskierten OTIS erst beim Eintreffen des ersten Event-Fragments vorgenommen werden (siehe [46]).

Der autofind OTIS ID synchronisation mode ist der komplexeste der drei implementierten Synchronisationsmodi. Er wird durch die Konfiguration `non_zero_mode = '0'` und `autofind_ID = '1'` ausgewählt. Mit den beschriebenen Erkennungsmechanismen ist dieser Modus in der Lage, auf Änderungen in der Konfiguration der L0-Frontend-Elektronik zu reagieren und eine eventuelle Fehlersuche zu beschleunigen. Dies gilt insbesondere für die Vertauschung von optischen Fasern der Übertragungsstrecken sowie für falsch adressierte Frontend-Boxen (OTIS-ID). Deshalb ist der autofind OTIS ID synchronisation mode besonders für die Phase der Inbetriebnahme des Detektors relevant.

#### 4.1.5 Null-Unterdrückung

Die Reduktion des empfangenen Datenvolumens ist auf Grund der begrenzten Bandbreite am Ausgang des TELL1-Boards sowie bei der Übertragung zwischen Pre-Processing-FPGA und Sync-Link-FPGA von großer Bedeutung. Dies gilt im Besonderen für den Betrieb des Detektors bei maximaler mittlerer L0-Triggerrate. Da der Informationsgehalt in den Daten von der Occupancy im Detektor abhängt, d. h. proportional zur Anzahl getroffener Kanäle ist, besteht diese Abhängigkeit auch für den Datenreduktionsfaktor. Die Verwendung eines wörterbuchbasierenden Kompressionsalgorithmus, wie z. B. ZL77 [57], ist hierbei nicht sinnvoll. Gründe dafür liegen in seiner Komplexität und den erwarteten Driftzeiten, deren Werte im Normalbetrieb des Detektors gleichverteilt sind.

Im Daten-Prozessor des PP-FPGA wurden zwei verschiedene Algorithmen implementiert, die für jede Übertragungsstrecke durch ein Konfigurationsregister separat wählbar sind:

- Prozess-Modus = '0': Hitmap-Generierung (konstantes Datenvolumen)
- Prozess-Modus = '1': Null-Unterdrückung in den Daten (Occupancy-abhängig)

Bei der Hitmap-Generierung werden vier 32 Bit-Worte erzeugt (jeweils eins pro OTIS), sobald ein Kanal innerhalb des entsprechenden Moduls getroffen wurde. Jedes Bit innerhalb der Hitmap entspricht einem Kanal und nimmt im Falle eines Treffers den Wert '1' an (siehe Tabelle 4.7 und Abschnitt 4.1.6). Die Werte der Driftzeiten gehen dabei aber verloren, weshalb die Trajektorien der geladenen Teilchen über den Radius der Driftröhrchen nicht weiter aufgelöst werden können. Dieser Betriebsmodus ist daher für eine hohe Spuranzahl im Detektor sinnvoll, wenn das Auslesen bei maximaler mittlerer L0-Triggerrate stattfinden soll.

Dem Funktionsprinzip der Null-Unterdrückung liegt die Weiterleitung von Driftzeiten zugrunde, wenn diese einen Wert kleiner als  $0xC0$ <sup>16</sup> besitzen, d. h. wenn der jeweilige Detektorkanal getroffen wurde. Am Ausgang des Daten-Prozessors entsteht dabei ein

---

<sup>16</sup>Der Wertebereich für die Driftzeiten liegt zwischen 0 und 191 (0x00 und 0xBF). Der Wert 192 (0xC0) wird gesendet, falls der Kanal im gewählten Zeitfenster (1 bis 3 BX) nicht getroffen wurde. [32]

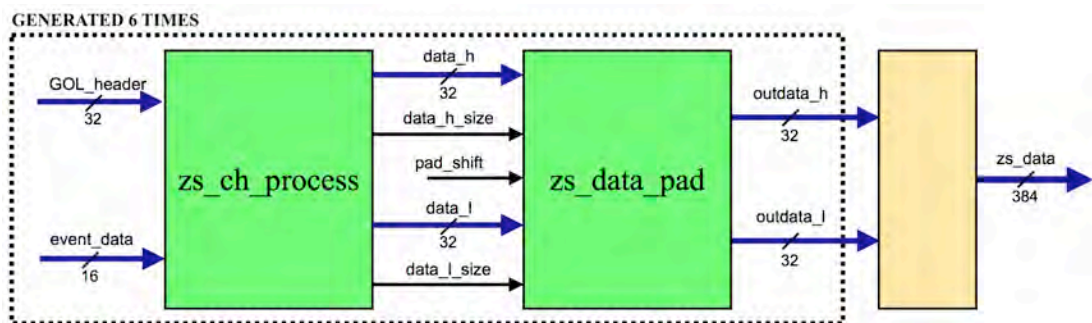


Tabelle 4.6: Aufbau der null-unterdrückten Driftzeit

Bit	Inhalt
Bit(15)	'1'
Bit(14..13)	OTIS ID[1..0]
Bit(12..8)	Kanalnummer
Bit(7..0)	Driftzeit

komprimiertes Event-Fragment, in dem die Driftzeiten aneinandergereiht sind. Hierbei wird die Information über deren Ursprung (Kanalnummer), die als Position im Datenstrom vorliegt, in ein Adressbyte umgewandelt und der Driftzeit vorangestellt (siehe Tabelle 4.6). Dies führt allerdings zu einer Verdopplung der Datenmenge und begrenzt damit die prozessierbare Datenmenge bei maximaler mittlerer L0-Triggerrate. Eine genaue Berechnung findet sich im anschließenden Abschnitt 4.1.6, da das Datenformat bzw. die Header-Worte mit berücksichtigt werden müssen.

Die Nullunterdrückung ist in zwei Prozessblöcke unterteilt, die nacheinander angeordnet sind (siehe Abbildung 4.18). Im ersten Block (`zs_ch_process`) findet die Generierung der Hitmap bzw. der Adressen für die getroffenen Kanäle statt. Der zweite Block (`zs_data_pad`) übernimmt das Aneinanderreihen der Daten, wobei eventuelle Leerstellen, die durch eine ungerade Anzahl von Treffern entstehen, mit dem Wert 0x0000 aufgefüllt werden (padding). Um die Ordnung der Driftzeiten in der Zero Suppressed Bank nach OTIS- und Kanalnummer (jeweils aufsteigend) zu erreichen, findet die Verarbeitung der Daten für jeden OTIS getrennt statt. Aus diesem Grund ist der Eingangsdatenbus in `data_h` (OTIS 2 und 3) und `data_l` (OTIS 0 und 1) unterteilt. In-



**Abbildung 4.18:** Blockschaltbild der Null-Unterdrückung. Die Null-Unterdrückung in den Daten wird für jede Übertragungsstrecke in zwei Prozessschritten durchgeführt. Im Block `zs_ch_process` findet die Generierung der Hitmap bzw. die Adressierung der Driftzeiten getroffener Kanäle statt. Der Block `zs_data_pad` sorgt für die korrekte Verknüpfung der Driftzeiten zu vollen 32 Bit-Worten. Anschließend werden die prozessierten Daten von allen sechs Übertragungsstrecken im `zs_data`-Bus zusammengefasst.

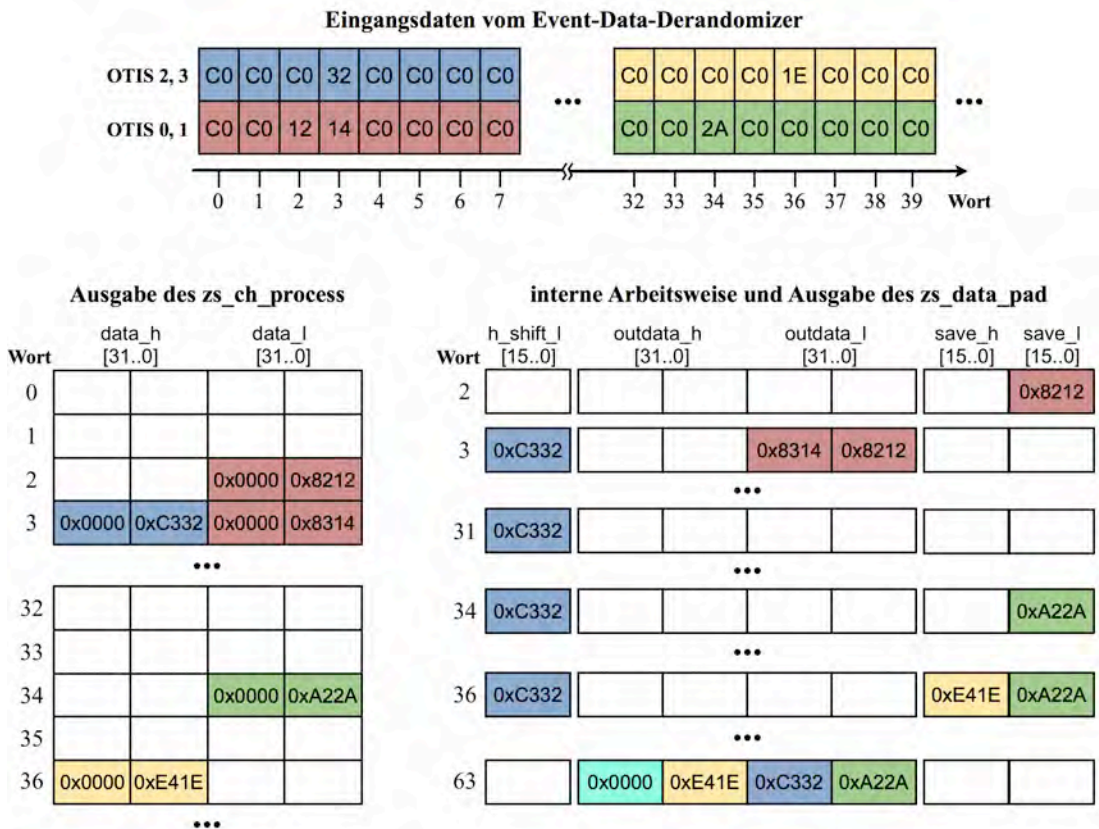
Tabelle 4.7: Aufbau der Hitmap (4 words á 32 bits)

Bit	Inhalt
Wort 1 Bit(31..0)	Hitmap von OTIS 0 je ein Bit pro Kanal ( = '1' wenn Kanal getroffen wurde) (Bit(31) = Kanal 31, Bit(0) = Kanal 0)
Wort 2 Bit(31..0)	Hitmap von OTIS 1 je ein Bit pro Kanal ( = '1' wenn Kanal getroffen wurde) (Bit(31) = Kanal 31, Bit(0) = Kanal 0)
Wort 3 Bit(31..0)	Hitmap von OTIS 2 je ein Bit pro Kanal ( = '1' wenn Kanal getroffen wurde) (Bit(31) = Kanal 31, Bit(0) = Kanal 0)
Wort 4 Bit(31..0)	Hitmap von OTIS 3 je ein Bit pro Kanal ( = '1' wenn Kanal getroffen wurde) (Bit(31) = Kanal 31, Bit(0) = Kanal 0)

nerhalb des ersten Prozessblockes wird die Breite der beiden Teilbusse auf jeweils 32 Bit (um den Faktor 4) erhöht, wodurch die Übertragung der Hitmap, der GOL-Header und der adressierten Driftzeiten über den selben Bus möglich ist. Die Information, ob es sich bei dem übertragenen Wort um ein halbes (Driftzeit) oder ein ganzes (Hitmap oder GOL-Header) handelt, wird dem folgenden Prozessblock (`zs_data_pad`) durch ein entsprechendes Signal übermittelt.

Die Generierung der Hitmap ist nach der Verarbeitung des jeweils letzten OTIS-Kanals abgeschlossen, weshalb die Hitmap von OTIS 0 und 2 nach dem 31 Wort bzw. die von OTIS 1 und 3 nach dem 63 Datenwort gesendet wird. In diesem Modus findet im `zs_data_pad`-Block nur deren Weiterleitung an den Bank-Linker statt. Die spezielle Funktion dieses Blocks kommt erst bei der Null-Unterdrückung zum Einsatz. Er realisiert die Zusammenfassung der 16 Bit breiten Driftzeitworte zu 32 Bit-Wörtern. Dabei muss eine einzelne Driftzeit bis zum Eintreffen einer weiteren im internen Puffer (`save_h` bzw. `save_l`) gespeichert werden. Befindet sich am Ende eines Event-Fragments noch ein Driftzeitwort im Speicher, wird diesem ein Padding-Wort (0x0000) oder das Datenwort aus dem Puffer `h_shift_l` vorangestellt. In letzterem wird nur dann die erste Driftzeit von OTIS 2 oder 3 gespeichert, wenn in `data_l` eine ungerade Anzahl getroffener Kanäle existiert, d. h. wenn die Summe getroffener Kanäle von OTIS 0 und OTIS 1 ungerade ist. Hintergrund hierfür ist die Aneinanderreihung der Daten aus `data_l` und `data_h` im Bank-Linker, wobei sich kein Padding-Wort zwischen diesen, sondern nur am Ende befinden darf (siehe Abschnitt 4.1.6). Da die Information über die Parität der Trefferanzahl bereits beim Beginn der Verarbeitung eines Event-Fragments vorliegen muss, wird diese noch vor der Derandomisierung durch den Multiplexer erzeugt (vgl. Abb. 4.7). Nach ihrer Extraktion aus dem Event-Kontroll-Wort ist sie als entsprechendes Signal (`pad_shift`) verfügbar. In Abbildung 4.19 ist der beschriebene

Vorgang anhand eines Beispiels dargestellt, in dem ein Event-Fragment fünf getroffene Kanäle enthält.



**Abbildung 4.19:** Arbeitsweise der Null-Unterdrückung. Als Beispiel dient ein Event-Fragment aus einem Modul, in dem fünf Driftzeiten gemessen wurden (0x12, 0x14, 0x32, 0x2A und 0x1E - 0xC0 steht für 'kein Treffer'). Die Driftzeiten der getroffenen Kanäle werden im `zs_ch_process`-Block mit einer Adresse versehen, welche die OTIS-ID sowie die Kanalnummer enthält und an den `zs_data_pad`-Prozess weitergeleitet. Für die farblos dargestellten Datenworte wird kein Validitätssignal gesendet, weshalb sie von der jeweils nachfolgenden Verarbeitungsstufe ignoriert werden. Um eine paarweise Ausgabe (32 Bit) zu erreichen, findet eine Zwischenspeicherung einzelner Driftzeiten bis zum Eintreffen einer nächsten statt (z. B. wird 0x8212 aus Wort 2 in `save_l` gespeichert). Da die Summe der Treffer in OTIS 0 und 1 (`data_l`) ungerade ist, wird die erste Driftzeit von OTIS 2 (0xC332) vorgehalten und statt dem Padding-Wort (0x0000) neben die Driftzeit von OTIS 1 (0xA22A) geschrieben. Damit wird über den `outdata_h`-Bus nur eine Driftzeit von OTIS 3 (0xE41E) übertragen, weshalb diese mit einem Padding-Wort versehen ist.

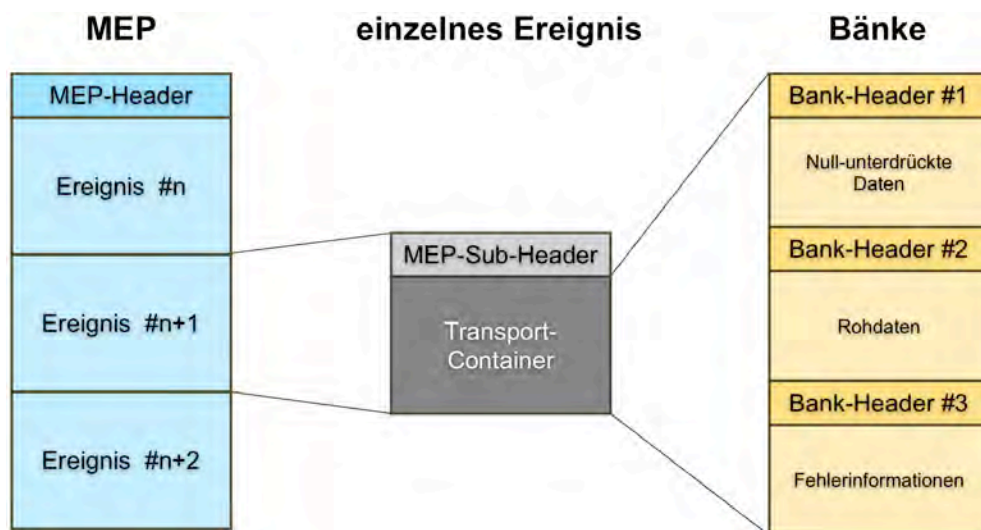
#### 4.1.6 DAQ-Datenformat für das Äußere Spurkammersystem

Das TELL1-Board sendet die vorverarbeiteten Event-Fragmente über vier Giga-Bit-Ethernet-Verbindungen in das Datenerfassungsnetzwerk (DAQ-Netzwerk). Dabei werden die Event-Fragmente mehrerer Ereignisse in Multiple Event Packages (MEPs) zusammengefasst. Die Generierung der MEPs erfolgt im Sync-Link-FPGA nach den Richtlinien von [58] und wird hier nicht näher behandelt. Vielmehr soll der Schwerpunkt dieses Abschnittes auf der Beschreibung des Formats eines Ereignisses und dessen Bankstruktur liegen. Diese wird bereits im Pre-Processing-FPGA erzeugt und besitzt daher einen für das Äußere Spurkammersystem spezifischen Inhalt.

Ein Multiple Event Package besteht aus einem MEP-Header und aufeinander folgenden Ereignissen, welche jeweils die Daten von Event-Fragmenten beinhalten, die zum selben Ereignis gehören (siehe Abbildung 4.20). Abhängig vom MEP-Faktor kann die Anzahl von Ereignissen in einem MEP variieren. Jedes Ereignis beginnt mit einem MEP-Sub-Header auf den mehrere Daten-Bänke folgen können<sup>17</sup>. Für das Äußere Spurkammersystem existieren drei verschiedene Banktypen:

- Null-unterdrückte Bank, Banktyp 12 (0xC)
- Rohdaten-Bank, Banktyp 32 (0x20)
- Fehler-Bank, Banktyp 33 (0x21)

<sup>17</sup>Im fehlerfreien Normalbetrieb besteht ein Ereignis nur aus dem MEP-Sub-Header und der null-unterdrückten Bank.



**Abbildung 4.20:** Aufbau eines Multiple Event Package (MEP). Ein MEP ist eine Zusammenfassung mehrerer Ereignisse, die aus Daten-Bänken bestehen. Jede Hierarchieebene besitzt dabei ihren eigenen Header (vgl. [58]). Während die null-unterdrückten Daten immer im Ereignis enthalten sind, werden die Rohdaten bzw. die Fehlerinformationen nur bei Bedarf gesendet.

Während die null-unterdrückte Bank in jedem Ereignis vorhanden ist, wird die Rohdaten-Bank nur bei einem speziellen Triggertyp und die Fehler-Bank nur im Falle eines detektierten Fehlers erzeugt. Die Reihenfolge der Bänke ist festgelegt und folgt dem in Abbildung 4.20 gezeigten Schema. Genau wie die beiden höheren Hierarchieebenen (MEP bzw. Ereignis) beginnt auch eine Bank mit einem Header. In Abbildung 4.21 sind die verschiedenen Header sowie deren Inhalt dargestellt. Jeder Header enthält die Länge der nach ihm gesendeten Daten in Byte. Für den MEP-Header sowie für den Bank-Header schließt dieser Wert auch die Größe des Headers mit ein.

In der **Null-unterdrückten Bank** (Zero Suppressed Bank) sind die gemessenen Driftzeiten von allen am TELL1-Board angeschlossenen Detektormodulen bzw. von allen Pre-Processing-FPGAs zusammengefasst. Beim Äußeren Spurkammersystem sind dies jeweils 9 von 24 möglichen Modulen pro TELL1-Board, d. h. eine komplette Modullage eines Quadranten. Die 9 optischen Übertragungsstrecken sind in Gruppen von je 6 und 3 an die Eingänge der Pre-Processing-FPGAs angeschlossen, wobei die Daten aus den 3 Modulen in unmittelbarer Nähe des Strahlrohres von PP-FPGA1 (PP1) verarbeitet werden, die übrigen 6 von PP0. Dies verhindert, dass die dort erwartete höhere Spurdichte zu einem Engpass bei der Datenübertragung zum Sync-Link-FPGA führt. [23] Nach dem Bank-Header folgt ein Sub-Detektor-spezifischer Header, der unter anderem die Anzahl der aktivierten Übertragungsstrecken enthält (siehe Tabelle 4.8). Im Anschluss daran befinden sich die Messwerte, welchen pro Modul ein GOL-Header<sup>18</sup>

<sup>18</sup>GOL steht hier für den gleichnamigen Gigabit-Optical-Link-Chip, der als Serialisierer in der Frontend-Box eingesetzt ist. Auf dieser Abstraktionsebene wird GOL synonym für die optische Übertragungsstrecke, die FE-Box oder das Spurkammermodul verwendet.

#### MEP-Header

L0-EvID des ersten Ereignisses im MEP, 32b	
MEP-Gesamtlänge (Byte), 16b	Anzahl der Ereignisse, 16b
Partitions-ID, 32b	

#### MEP-Sub-Header

Ereignislänge (Byte), 16b	L0-EvID, 16b
---------------------------	--------------

#### Bank-Header

Banklänge (Byte), 16b	"0xCBCB" (Magic pattern), 16b	
Quell-ID, 16b	Version, 8b	Banktyp, 8b

**Abbildung 4.21:** Aufbau der Header im MEP. Die verschiedenen Header bestehen aus 1 bis 3 32 Bit-Worten und enthalten neben der Länge der nachfolgenden Daten auch die Ereignis-ID (L0-EvID), den MEP-Faktor (Anzahl der Ereignisse im MEP) sowie den Banktyp. Um redundante Daten zu vermeiden, wird im MEP-Header die vollständige L0-EvID (32 Bit) des ersten Ereignisses im MEP gesendet, während im MEP-Sub-Header nur die 16 niederwertigsten Bits der L0-EvID enthalten sind (vgl. [58]).

**Tabelle 4.8: OT spezifischer Header in der Null-unterdrückten Bank**

Bit	Inhalt
Bit(31..28)	L0-EvID[3..0] vom TFC-System
Bit(27..25)	Triggertyp
Bit(24)	Genereller Fehler in einem PP-FPGA oder <code>force_error_bank = '1'</code>
Bit(23..16)	Bunch-ID
Bit(15..0)	Anzahl aktivierter Übertragungsstrecken

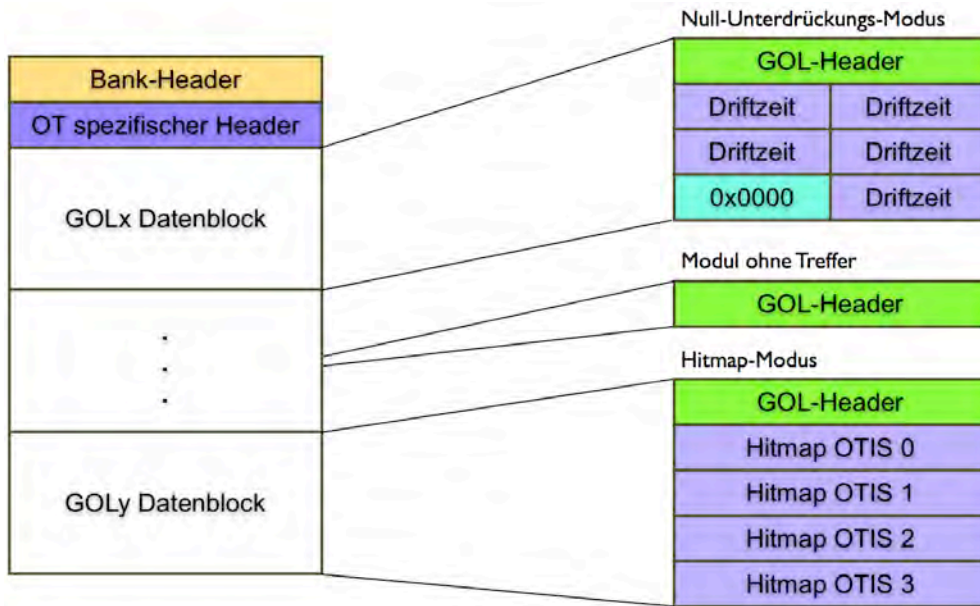
**Tabelle 4.9: GOL-Header**

Bit	Inhalt
Bit(31..24)	Anzahl der Treffer im Modul
Bit(23)	optische Übertragung fehlerfrei ( = '1' )
Bit(22)	Prozess-Modus (0: Hitmap-Modus / 1: Null-Unterdrückungs-Modus)
Bit(21..19)	OTIS 3 Status aus OTIS-Header (SEU, buffer overflow, truncation)
Bit(18..16)	OTIS 2 Status aus OTIS-Header (SEU, buffer overflow, truncation)
Bit(15..13)	OTIS 1 Status aus OTIS-Header (SEU, buffer overflow, truncation)
Bit(12..10)	OTIS 0 Status aus OTIS-Header (SEU, buffer overflow, truncation)
Bit(9..0)	GOL ID ( = OTIS-ID[11..2] )

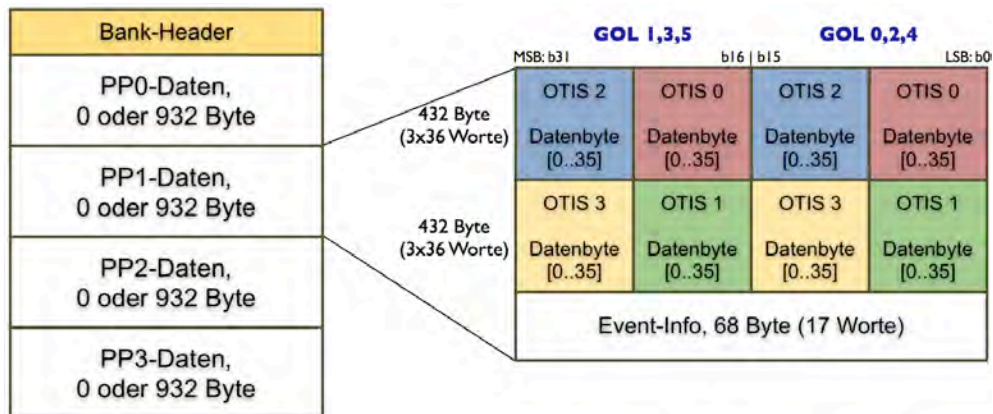
vorangestellt ist. Dieser enthält die Anzahl der getroffenen Kanäle, Statusinformationen der OTIS-ICs, den Prozess-Modus und die GOL-ID (siehe Tabelle 4.9). Der GOL-Header wird auch dann gesendet, wenn für das Ereignis keine Treffer im entsprechenden Modul existieren. Je nach Wahl des Prozess-Modus, sind die Messwerte als Hitmap (Prozess-Modus = '0') oder als adressierte Driftzeiten (Prozess-Modus = '1') in der Bank enthalten (siehe Abbildung 4.22).

Die **Rohdaten-Bank** (RAW Bank) beinhaltet die gesamten Event-Fragmente, wie sie von der L0-Frontend-Elektronik gesendet wurden. Dies schließt auch die OTIS-Header mit ein. Nach dem Bank-Header folgt für jedes aktive PP-FPGA ein Datenblock mit einer Größe von 932 Byte (siehe Abbildung 4.23). Dieser enthält die Event-Fragmente von bis zu 6 Frontend-Boxen, wobei für deaktivierter Übertragungsstrecken anstelle der Daten der Wert Null gesendet wird. Bedingt durch das Multiplexing sind die Daten der geradzahigen OTIS-ICs vor denen der ungeradzahigen OTIS-ICs angeordnet. Deren Reihenfolge innerhalb des Datenblocks ist in Abbildung 4.24 dargestellt. Am Ende jedes PP-FPGA-Datenblocks befindet sich ein 17 Worte langer Event-Info-Block, der sämtliche Informationen für eine Fehleranalyse enthält.

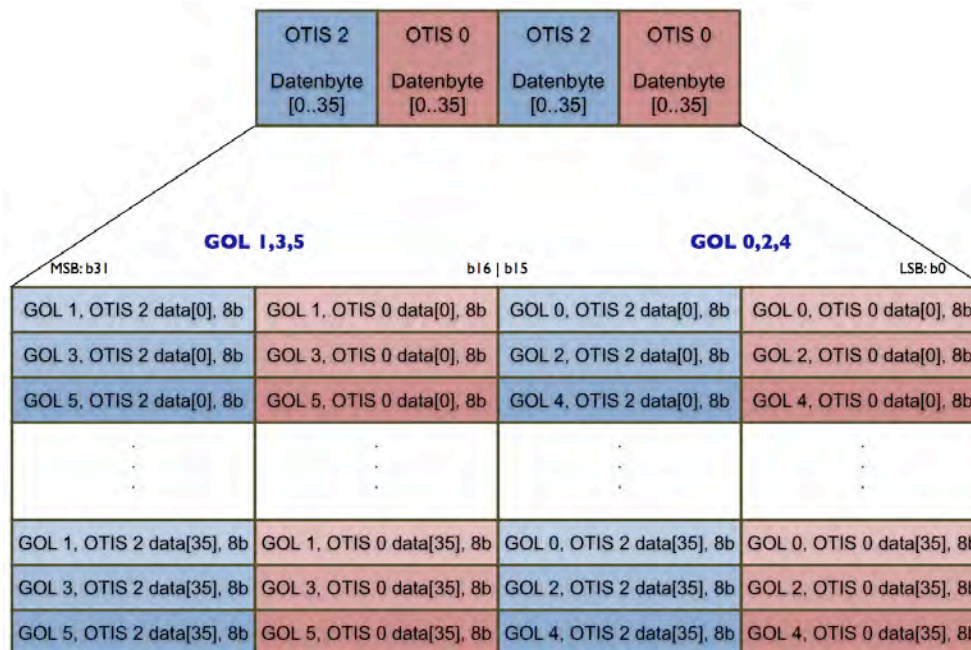




**Abbildung 4.22:** Aufbau der Null-unterdrückten Bank. Je nach Konfiguration der Register im PP-FPGA sind die vorverarbeiteten Daten als Hitmap oder adressierte Driftzeiten kodiert. Dabei kann jedes Detektormodul separat konfiguriert werden, d. h. beide Kodierungsarten können in der Null-unterdrückten Bank zusammen auftreten. Im Normalbetrieb wird jedoch der Null-Unterdrückungs-Modus verwendet. Ist in einem Modul kein Kanal getroffen, wird nur der GOL-Header gesendet.



**Abbildung 4.23:** Aufbau der Rohdaten-Bank. Für jedes aktivierte PP-FPGA wird ein Datenblock gesendet, welcher die 36 Datenbytes jedes OTIS-ICs der L0-Frontend-Elektronik enthält. Wird ein PP-FPGA nicht benutzt, entfällt der jeweilige Datenblock (0 Byte). Für das Äußere Spurkammersystem werden in der Regel PP2 und PP3 nicht benutzt. Ein Event-Info-Block, der alle relevanten Informationen für eine mögliche Fehleranalyse enthält, bildet das Ende jedes Datenblocks.



**Abbildung 4.24:** Anordnung der Daten in der Rohdaten-Bank. Die 36 Byte von jedem OTIS-IC liegen gemultiplext vor. Gezeigt ist hier nur der Datenblock für die geradzahligen OTIS-ICs.

W1	EvCTRL	
W2	EvID	
W3	OT spezifischer Header	
W4	Event-Synchronisation Status 0	
W5	Event-Synchronisation Status 1	
W6	OTIS1 Status	OTIS0 Status
W7	OTIS3 Status	OTIS2 Status
W8	OTIS5 Status	OTIS4 Status
W9	OTIS7 Status	OTIS6 Status
W10	OTIS9 Status	OTIS8 Status
W11	OTIS11 Status	OTIS10 Status
W12	OTIS13 Status	OTIS12 Status
W13	OTIS15 Status	OTIS14 Status
W14	OTIS17 Status	OTIS16 Status
W15	OTIS19 Status	OTIS18 Status
W16	OTIS21 Status	OTIS20 Status
W17	OTIS23 Status	OTIS22 Status

**Abbildung 4.25:** Aufbau des Event-Info-Blocks in der Rohdaten-Bank. Die Statusinformationen aller 24 OTIS-ICs (6 Frontend-Boxen á 4 OTIS-ICs) enthalten alle relevanten Daten über den Zustand der L0-Frontend-Elektronik. Die OTIS-ICs sind von 0 bis 23 durchnummeriert, wobei OTIS 0 - 3 zur ersten FE-Box gehören, OTIS 4 - 7 zur zweiten und so weiter.

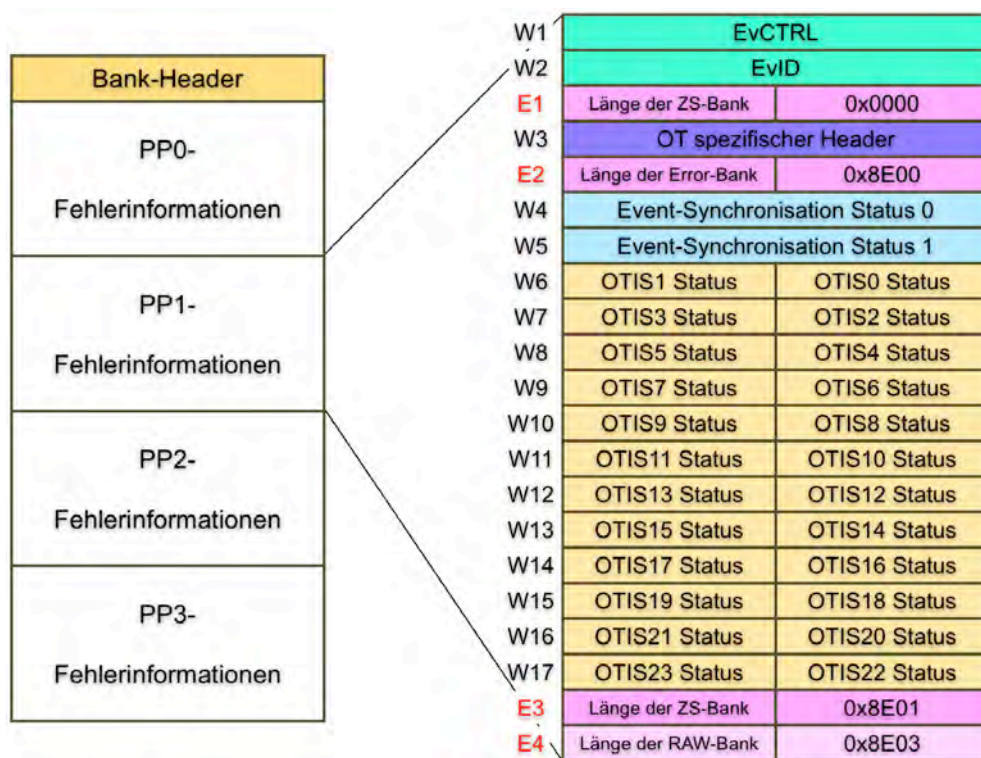


Tabelle 4.10: Inhalt des Event-Info-Blocks in der Rohdaten-Bank

<b>W1 (EvCTRL)</b>	
Bit(31)	Fehler im PP-FPGA detektiert oder <code>force_error_bank_enable = '1'</code>
Bit(30)	TELL1-interner Datengenerator aktiviert
Bit(29)	<code>force_error_bank_enable</code>
Bit(28..24)	unbenutzt, alle Bits sind 0
Bit(23..21)	Triggertyp
Bit(20..16)	Bankliste [ <code>'0' &amp; RAW bank &amp; "01" &amp; not(force_error_bank.disable)</code> ]
Bit(15..12)	Sub-Detektor-ID (0x3 für OT)
Bit(11..0)	Bunch-ID
<b>W2 (EvID)</b>	
Bit(31..0)	32 Bit L0-Event-ID
<b>W3 (OT spezifischer Header)</b>	
Bit(31..28)	L0-Event-ID[3..0] vom TFC-System
Bit(27..25)	Triggertyp
Bit(24)	Fehler im PP-FPGA detektiert
Bit(23..16)	Bunch-ID
Bit(15..0)	Anzahl der aktivierten Übertragungsstrecken für dieses PP-FPGA
<b>W4 (Event-Synchronisation Status 0)</b> (jeweils ein Bit pro FE-Box für 6 Bit-Vektoren)	
Bit(31..30)	Chip-Adresse des PP-FPGA (" <code>00</code> " für PP0, ... " <code>11</code> " für PP3)
Bit(29..24)	Speicherüberlauf im Empfangs-Puffer bei diesem Ereignis
Bit(23..18)	Empfangs-Puffer leer bei diesem Ereignis
Bit(17..12)	unbenutzt, alle Bits sind 0
Bit(11..6)	Fehler bei der optischen Übertragung
Bit(5..0)	OTIS-ID[11..2] von OTIS 3, 2, 1 und 0 nicht identisch
<b>W5 (Event-Synchronisation Status 1)</b> (jeweils ein Bit pro FE-Box für 6 Bit-Vektoren)	
Bit(31..18)	unbenutzt, alle Bits sind 0
Bit(17..12)	Modul hat Treffer
Bit(11..6)	<code>rx_clock</code> nicht aktiv
Bit(5..0)	optischer Eingang deaktiviert
<b>W6-W17 enthalten den OTIS-Chip-Status</b> (16 Bit pro OTIS)	
Bit(15)	Self Test Failed oder DLL lock lost oder Single Event Upset
Bit(14)	Buffer overflow
Bit(13)	Truncation
Bit(12)	OTIS deaktiviert
Bit(11)	OTIS Bunch-ID ungleich der Referenz vom TTC-System
Bit(10)	OTIS L0-Event-ID ungleich der Referenz vom TTC-System
Bit(9)	OTIS-Header[21..12] falsch (nicht " <code>00</code> "... " <code>11</code> " + <code>0xA0*</code> )
Bit(8)	OTIS-ID ist verschieden von der erwarteten
Bit(7)	OTIS von der Synchronisationsstufe maskiert
Bit(6)	keine OTIS-ID ungleich <code>0x000</code> gefunden
Bit(5..0)	Anzahl der getroffenen Kanäle in diesem OTIS
*)	Der Wert kann im SYNC_CTRL-Register geändert werden.

Die **Fehler-Bank** (Error Bank) wird nur für die Event-Fragmente generiert, bei deren Verarbeitung ein Fehler in einem der PP-FPGAs detektiert wurde. Dies können beispielsweise Fehler bei der optischen Übertragung, differierende L0-Event- oder Bunch-IDs im OTIS-Header sowie Speicherüberläufe im Empfangs-Puffer sein. Eine ausführliche Beschreibung der Fehlerdetektion und deren Behandlung wird in Abschnitt 4.1.7 gegeben. Die Erzeugung der Fehler-Bank kann aber auch durch Konfiguration der Bits `force_error_bank_enable` und `force_error_bank_disable` im Register `PP_CTRL_REG1` erzwungen bzw. verhindert werden, wobei letzteres die höhere Priorität besitzt.

Die Fehler-Bank setzt sich aus dem Bank-Header und vier Datenblöcken zusammen. Jeder Datenblock enthält die gesamten Fehlerinformationen eines aktivierten PP-FPGAs. Für deaktivierte PP-FPGAs werden nur die Worte W1, W2, E1, W3, E2, E3 und E4 gesendet, wobei das Wort E4 in jedem Fall nur dann existiert, wenn die Rohdaten-Bank im Ereignis vorhanden ist. Der Inhalt der Worte W1-W17 ist identisch mit dem Event-Info-Block der Rohdaten-Bank (siehe Tabelle 4.10). Die Bedeutung der Worte E1 - E4 ist in Tabelle 4.11 erläutert.



**Abbildung 4.26:** Aufbau der Fehler-Bank. Für jedes PP-FPGA existiert ein Datenblock, der alle Fehlerinformationen enthält und aus 20 bzw. 21 (wenn RAW-Bank im Ereignis) Worten besteht. Ist ein PP-FPGA deaktiviert, werden nur die ersten fünf und die letzten beiden Worte gesendet. Die W-Worte besitzen dabei den selben Inhalt, wie der Event-Info-Block der Rohdaten-Bank. Die Worte E2 - E4 sind die Bank-Header des internen Datenformates (siehe Abbildung 4.4).

Tabelle 4.11: Inhalt der E-Worte innerhalb der Fehler-Bank

<b>E1</b>	
Bit(31..16)	Länge der null-unterdrückten Bank für dieses PP-FPGA
Bit(15..0)	0x0000 (Länge der ADC-Bank)
<b>E2</b> (Interner Bank-Header der Info-Bank)	
Bit(31..16)	Ist das PP-FPGA aktiviert und wurde ein Fehler detektiert, ist dieser Wert 0x0038. Andernfalls ist er 0x0000 und die Worte W4-W17 existieren nicht. (Länge der Info-Bank)
Bit(15..0)	0x8E00
<b>E3</b> (Interner Bank-Header der Null-unterdrückten Bank)	
Bit(31..16)	Länge der null-unterdrückten Bank für dieses PP-FPGA
Bit(15..0)	0x8E01
<b>E4</b> (Interner Bank-Header der RAW-Bank - nur, wenn RAW-Bank existiert!)	
Bit(31..16)	Länge der RAW-Bank. 0x03A4, wenn dieses PP-FPGA aktiviert ist, andernfalls 0x0000.
Bit(15..0)	0x8E03

Die **Größe eines Ereignisses** am Ausgang des TELL1-Boards hängt von der Occupancy im Detektor, der Anzahl der gesendeten Bänke (Triggertyp) und der Detektion von Fehlern im PP-FPGA ab. Im Normalbetrieb, d. h. während der Aufnahme von Daten physikalisch relevanter Ereignisse, werden nur die null-unterdrückte Bank und gegebenenfalls die Fehler-Bank gesendet. Da die Bandbreite am Ausgang des TELL1-Boards begrenzt ist, hat die Occupancy im Detektor auch einen Einfluss auf die maximale mittlere L0-Triggerrate. Unter der Annahme, dass die vier Gigabit-Ethernet-Verbindungen im Dauerbetrieb zu ca. 75 % ausgelastet werden können, ergibt sich bei einer L0-Triggerrate von 1,11111 MHz die maximale Datenmenge pro Ereignis und TELL1-Board zu:

$$N_{Event}^{max} = \frac{R_{GBE}^{max}}{R_{L0-Trigger}} = \frac{0,75 \cdot 4 \cdot 10^9 \text{ Bit/s}}{1,11111 \text{ MHz} \cdot 8 \text{ Bit/Byte}} = 337,5 \text{ Byte} \quad (4.1)$$

Unter Verwendung des Null-Unterdrückungs-Modus besitzt ein Ereignis pro TELL1-Board folgende Größe, wenn es nur die null-unterdrückte Bank enthält:

$$N_{Event}^{ZS} = N_{Header} + \sum_{i=0}^8 \left( 2 \cdot n_{hit}^i + \left( 1 - (-1)^{n_{hit}^i} \right) \right) \quad (4.2)$$

Dabei ist  $N_{Header}$  die Größe der Header pro Ereignis und  $n_{hit}^i$  die Anzahl getroffener Kanäle im i-ten Modul. Der Term  $(1 - (-1)^{n_{hit}^i})$  sorgt für die korrekte Behandlung

**Tabelle 4.12: Beitrag der Header zur Ereignisgröße**

	12	Byte / 12	(MEP-Header/MEP-Faktor)
+	4	Byte	(MEP Sub-Header)
+	8	Byte	(Bank-Header)
+	4	Byte	(OT spezifischer Header)
+	36	Byte	(9 GOL-Headers)
=	53	Byte	(Gesamtbeitrag/Ereignis)

des Padding-Wortes, wenn ein Modul eine ungerade Anzahl von Treffern aufweist. Die Größe der Header pro Ereignis setzt sich wie in Tabelle 4.12 gezeigt zusammen. Der Beitrag des MEP-Headers ist abhängig vom MEP-Faktor, der in diesem Beispiel mit 12 angenommen wurde. Eine weitere Erhöhung des MEP-Faktors, z. B. auf 32, hat keinen starken Einfluss auf die Ereignisgröße.

Zur Bestimmung der Abhängigkeit der maximal möglichen mittleren L0-Triggerrate von der Occupancy im Detektor kann die Ereignisgröße auch dargestellt werden als:

$$N_{Event}^{ZS} = N_{Header} + N_{Padding}^{max} + N_{Hit}^{max} \cdot Occupancy \quad (4.3)$$

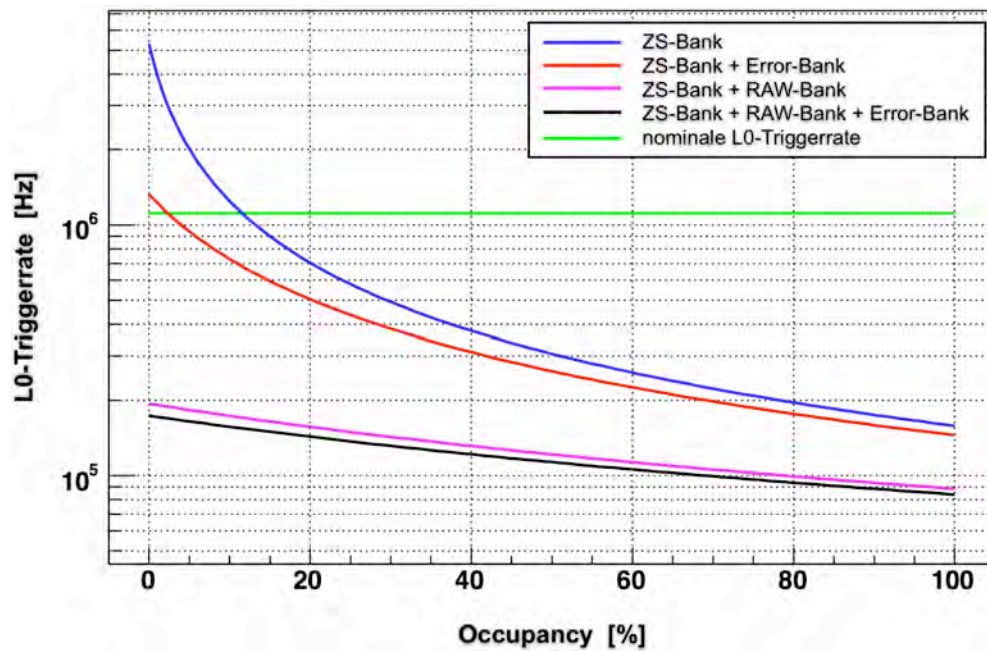
Die Behandlung der Padding-Worte geschieht hier durch Annahme des ungünstigsten Falles, bei dem in allen Modulen eine ungerade Anzahl von getroffenen Kanälen existiert ( $N_{Padding}^{max} = 18$  Byte). Der Koeffizient  $N_{Hit}^{max}$  bezeichnet die Gesamtheit aller Detektorkanäle pro TELL1-Board ( $9 \cdot 128$ ) multipliziert mit der Größe einer Driftzeit in der ZS-Bank (2 Byte). Durch das Gleichsetzen von (4.1) und (4.3) kann der gesuchte Zusammenhang ermittelt werden:

$$N_{Event}^{ZS} = N_{Event}^{max} \quad (4.4)$$

$$R_{L0-Trigger} = \frac{R_{GBE}^{max}}{N_{Header} + N_{Padding}^{max} + N_{Hit}^{max} \cdot Occupancy} \quad (4.5)$$

In Abbildung 4.27 ist dieser Zusammenhang grafisch dargestellt. Bei der mittleren L0-Triggerrate von 1,1111 MHz ist ein Dauerbetrieb bis zu einer Detektor-Occupancy von 11,56 % möglich. Werden im PP-FPGA Fehler detektiert, so enthält das entsprechende Ereignis die Fehler-Bank und die maximale Triggerrate kann bei dieser Occupancy bis auf 682,4 kHz abfallen.

Wird die Null-Unterdrückung im Hitmap-Modus betrieben, beträgt die Ereignisgröße im fehlerfreien Fall höchstens 197 Byte, was deutlich unter der erreichbaren Bandbreite liegt. In Tabelle 4.13 sind einige Beispiele für den Betrieb des TELL1-Boards sowie die entsprechenden Ereignisgrößen und L0-Triggerraten aufgeführt.



**Abbildung 4.27:** Zusammenhang zwischen L0-Triggerrate und Detektor-Occupancy. Durch die Bandbreitenbegrenzung am Ausgang des TELL1-Boards hängt die maximal mögliche L0-Triggerrate von der Ereignisgröße ab. Die Abhängigkeit von der Detektor-Occupancy ist auf die variable Länge der ZS-Bank im Null-Unterdrückungs-Modus zurückzuführen.

**Tabelle 4.13:** Ereignisgröße bei verschiedenen Betriebszuständen

Bänke im Ereignis	ZS-Modus (HM oder ZS)	Occupancy	max. Größe [Byte]	max. Triggerrate
ZS-Bank	ZS	11,56 %	337,5	1,11111 MHz
ZS-Bank	ZS	50 %	1223	306,6 kHz
ZS-Bank	HM	unabhängig	197	1,9035 MHz
ZS-Bank und Error-Bank	ZS	11,56 %	549,5	682,4 kHz
ZS-Bank und RAW-Bank	ZS	50 %	3087	121,4 kHz
ZS-, RAW- und Error-Bank	ZS	50 %	3315	113,1 kHz
ZS-, RAW- und Error-Bank	HM	unabhängig	2289	163,8 kHz

### 4.1.7 Konsistenzprüfungen

Während des Betriebs des Detektors kann das Auftreten fehlerhafter Daten nicht vollständig ausgeschlossen werden. Die Palette möglicher Probleme reicht dabei von Single Event Upsets (SEU) in der L0-Frontend-Elektronik, Bitfehlern bei der Datenübertragung und Speicherüberläufen im TELL1-Board bis hin zum Ausfall einzelner Komponenten. Diese Fehlerkonditionen müssen erkannt und dem Benutzer in geeigneter Weise angezeigt werden.

Die in den FPGAs implementierten Algorithmen stellen alle Informationen bereit, um ein aufgetretenes Problem zu detektieren und zu analysieren. Dazu werden drei verschiedene Ansätze benutzt:

- Prüfung der empfangenen Daten auf Konsistenz und Validität
- Überwachung detektierter Fehler mittels Fehlerzählern
- Überwachung des Datenflusses durch das TELL1-Board

Die Fehlerinformationen werden innerhalb der Fehler-Bank (siehe Abschnitt 4.1.6) an das DAQ-Netzwerk gesendet und dem Experiment-Kontroll-System über dedizierte Register bereitgestellt. Die Belegung aller im folgenden genannten Register ist in Anhang A aufgeführt.

Die erste Stufe, in der die empfangenen Daten geprüft werden, ist die Synchronisationsstufe (siehe Abbildung 4.7). Für die Erkennung des Beginns eines Event-Fragmentes wird nur eine OTIS-ID verwendet. Die übrigen drei werden mit dem erwarteten Wert verglichen. Gleichzeitig findet eine Überwachung der Signale `rx_dv` und `rx_err` statt. Diese müssen für die gesamte Zeit, in der das Event-Fragment empfangen wird, die Werte `rx_dv = '1'` und `rx_err = '0'` führen. Für jede Abweichung wird ein entsprechendes Fehlerbit im Event-Info-Wort (16 Bit) gesetzt und dieses parallel zu den Daten an den Empfangs-Puffer gesendet. Den Inhalt des Event-Info-Wortes zeigt Tabelle 4.14. Die weitere Prüfung der Rohdaten findet im Multiplexer-Block statt (vgl. Abbildung 4.7). Bevor dieser die Daten aus dem Empfangs-Puffer ausliest, erhält er vom L0-Trigger-Dekoder ein Trigger-Info-Wort. Darin sind unter anderem die L0-Event-ID<sup>19</sup> sowie die Bunch-ID enthalten, die als Referenzwerte für den Vergleich mit den entsprechenden IDs in den OTIS-Headern dienen. Weiterhin werden die 10 höchstwertigen Bits aller OTIS-IDs aus der selben Frontend-Box auf Gleichheit geprüft. Die übrigen 2 Bits der OTIS-IDs werden mit den erwarteten Werten<sup>20</sup> "00" - "11" verglichen, da diese in der FE-Box fest kodiert sind. Die OTIS-Header-Bits [19..12] stellen die Status- und Fehlerbits des OTIS dar. Auch sie werden mit einem Erwartungswert (0xA0) verglichen. Da die Status-Bits bereits in der L0-Frontend-Elektronik überwacht werden, findet im TELL1-Board keine separate Behandlung selbiger statt. Sie sind aber ein

---

<sup>19</sup> Anders als in [24] gefordert, setzt der OTIS-IC die Event-ID nach einem L0-Elektronik-Reset für den ersten L0-Trigger auf 1. Deshalb wird der Referenzwert des TFC-Systems im Multiplexer vor dem Vergleich inkrementiert.

<sup>20</sup> Die Vergleichswerte sind über das Register `OT_SYNC_CTRL` konfigurierbar.

Tabelle 4.14: Inhalt des Event-Info-Wortes

Bit	Bedeutung
Bit(15..13)	unbenutzt, alle Bits sind 0
Bit(12)	Übertragungsfehler ( $rx\_dv \neq '1'$ oder $rx\_err \neq '0'$ )
Bit(11)	OTIS(3) - ID nicht die erwartete, wenn '1'
Bit(10)	OTIS(3) - von der Synchronisation ausmaskiert, wenn '1'
Bit(9)	OTIS(3) - ID nicht gefunden (0x000), wenn '1'
Bit(8..6)	OTIS(2) - wie OTIS(3)
Bit(5..3)	OTIS(1) - wie OTIS(3)
Bit(2..0)	OTIS(0) - wie OTIS(3)

Bestandteil der GOL-Header<sup>21</sup> und tauchen auch in der Fehler-Bank auf. Zusätzlich zu den OTIS-Headern und den Statussignalen `rx_dv` und `rx_err` wird die Aktivität der `rx_clk` geprüft. Dies geschieht im Block `ot_opt_clk_checker` durch Zählen der Takte der `rx_clk` in einem Zeitintervall von 32768 (0x8000) LHC-Maschinentaktzyklen und dem anschließenden Vergleich mit dem Referenzwert ( $65536 \pm 2$ ). Dabei sind die doppelte Frequenz der `rx_clk` und ihre Phasenverschiebung berücksichtigt.

Ein OTIS wird von den Konsistenzprüfungen ausgeschlossen, falls

- die Übertragungsstrecke im Register `ORX_CTRL_REG` deaktiviert ist,
- die `rx_clk` nicht aktiv ist,
- der OTIS im Register `OT_OTIS_CTRL_REG` deaktiviert ist oder
- der OTIS von der Synchronisationsstufe ausmaskiert wurde.

Zur Überwachung der Fehlerhäufigkeit existieren pro OTIS drei Fehlerzähler, die bei jedem negativen Vergleich der OTIS-ID, der L0-Event-ID und der Bunch-ID inkrementiert werden. Sie sind über das Experiment-Kontroll-System auslesbar<sup>22</sup>. Die Zähler besitzen eine Größe von 8 Bit, was der Unterscheidung von drei möglichen Szenarien genügt:

- kein Fehler
- einige Fehler mit geringer Rate ( $\sim 1$  Hz), z. B. SEU, Übertragungsfehler, usw.
- systematische Fehler - L0-Frontend-Elektronik benötigt ein Reset (Zähler hält den Maximalwert)

<sup>21</sup>Ist ein OTIS deaktiviert oder ausmaskiert, werden seine Status-Bits im GOL-Header auf '0' gesetzt.

<sup>22</sup>`OT_OTIS_ID_MON_REG`, `OT_OTIS_BXID_MON_REG` und `OT_OTIS_EVID_MON_REG`

Ein weiteres Register<sup>23</sup> (32 Bit) dient als Indikator in dem ein entsprechendes Bit gesetzt ist, wenn ein Zählerstand ungleich Null ist. Dies gewährleistet ein effektives Auslesen der insgesamt 72 Zählerwerte pro PP-FPGA (6·3·32 Bit). Im Gegensatz zu diesen für die Überwachung der Datennahme wichtigen ECS-Registern, enthält die Fehler-Bank ereignisspezifische Informationen. Dazu gehören die Konfiguration des TELL1-Boards, der Zustand der Frontend-Elektronik sowie der Status der Empfängerstufe im PP-FPGA zum Zeitpunkt der Verarbeitung. Die Fehler-Bank wird nur dann als Teil des Ereignisses erzeugt, wenn mindestens einer der folgenden Fehlerzustände detektiert wurde,

**- vorausgesetzt der OTIS ist nicht ausmaskiert:**

- Bunch-ID ist ungleich der Referenz vom TFC-System
- L0-Event-ID ist ungleich der Referenz vom TFC-System
- die Bits [1..0] der OTIS-ID sind ungleich dem erwarteten Wert
- die Bits [19..12] des OTIS-Headers sind ungleich dem erwarteten Wert
- die OTIS-ID (12 Bit) ist ungleich dem erwarteten Wert (vom Synchronisations-Block)

**- vorausgesetzt die Übertragungsstrecke ist nicht deaktiviert:**

- Übertragungsfehler (vom Synchronisations-Block)
- rx.clk ist nicht aktiv
- der Empfangs-Puffer war beim Auslesen voll (Überlauf)
- der Empfangs-Puffer war beim Auslesen leer (Unterlauf)

In Tabelle 4.15 sind alle relevanten Fehlerbits und ihre Position in der Fehler-Bank zusammengefasst (vgl. Tabelle 4.10).

Dem Experiment-Kontroll-System werden mit Hilfe von Überwachungsregistern auch Informationen über den Datenfluss durch das TELL1-Board zur Verfügung gestellt. Damit sind Probleme bei der Verarbeitung der Daten leicht lokalisierbar und identifizierbar. Auf dem Weg durch das TELL1-Board durchlaufen die Daten mehrere Überwachungspunkte. Angefangen bei der Synchronisationsstufe, wo die zur Synchronisation benutzten OTIS-IDs aus zwei Status-Registern<sup>24</sup> jederzeit abrufbar sind, findet am Ein- und Ausgang des Empfangs-Puffers eine Registrierung der passierenden Event-Fragmente statt. Dabei wird auch die maximale Ausnutzung des Puffers gespeichert sowie ein eventueller Über- oder Unterlauf des Speichers bis zum Eintreffen eines L0-Elektronik-Resets festgehalten<sup>25</sup>. Weiterhin wird die Anzahl der Triggerworte

---

<sup>23</sup>OT\_OTIS\_CNTSTAT\_MON\_REG

<sup>24</sup>OT\_OTIS\_STATUS\_AB\_REG und OT\_OTIS\_STATUS\_CD\_REG

<sup>25</sup>ORX\_LINK\_PROBE\_REG und ORX\_LINK\_SYNC\_REG



Tabelle 4.15: Position der Fehlerbits in der Fehler-Bank

Fehler	Position in der Fehler-Bank
genereller Fehler	W1 Bit(31), W3 Bit(24)
Empfangs-Puffer voll (Überlauf)	W4 Bit(29..24)
Empfangs-Puffer leer (Unterlauf)	W4 Bit(23..18)
Übertragungsfehler	W4 Bit(11..6)
Bits [11..2] der 4 OTIS-IDs ungleich	W4 Bit(5..0)
rx_clk nicht aktiv	W5 Bit(11..6)
OTIS-Status-Bits	W6-W17 Bit(15..13)/Bit(31..29)
Bunch-ID fehlerhaft	W6-W17 Bit(11)/Bit(27)
L0-Event-ID fehlerhaft	W6-W17 Bit(10)/Bit(26)
OTIS-Header-Bits [21..12] fehlerhaft	W6-W17 Bit(9)/Bit(25)
OTIS-ID nicht der erwartete Wert	W6-W17 Bit(8)/Bit(24)

überwacht, die der Multiplexer vom L0-Trigger-Derandomisierer anfordert bzw. vom L0-Trigger-Dekoder empfängt. Am Ausgang des Multiplexers werden ebenfalls alle gesendeten Ereignisse gezählt<sup>26</sup>.

Nach dem oben beschriebenen Schema findet auch die Überwachung der Speicher des Daten-Prozessors statt (siehe Abbildung 4.11). Für jedes ein- und ausgehende Event-Fragment wird ein entsprechender Zähler (16 Bit) inkrementiert und die maximale Ausnutzung sowie Über- oder Unterläufe der einzelnen Speicher erfasst<sup>27</sup>.

Die letzte Station, welche die Daten im Pre-Processing-FPGA durchlaufen, ist der PP-Bank-Linker. Dort wird die Anzahl der verarbeiteten Bänke sowie der an das Sync-Link-FPGA übertragenen Ereignisse festgehalten<sup>28</sup>.

#### 4.1.8 Anbindung an das Experiment-Kontroll-System (ECS)

Mit Hilfe des Experiment-Kontroll-Systems können die Überwachungs- und Konfigurationsregister des TELL1-Boards gelesen bzw. beschrieben werden. Der Zugriff auf die Register erfolgt dabei durch den Credit-Card-PC (CCPC). Dieser ist durch einen PCI-Bus mit einer Schnittstellenkarte (Glue-Card) verbunden, die über ein lokales Bus-system (LBUS) an die FPGAs angeschlossen ist.

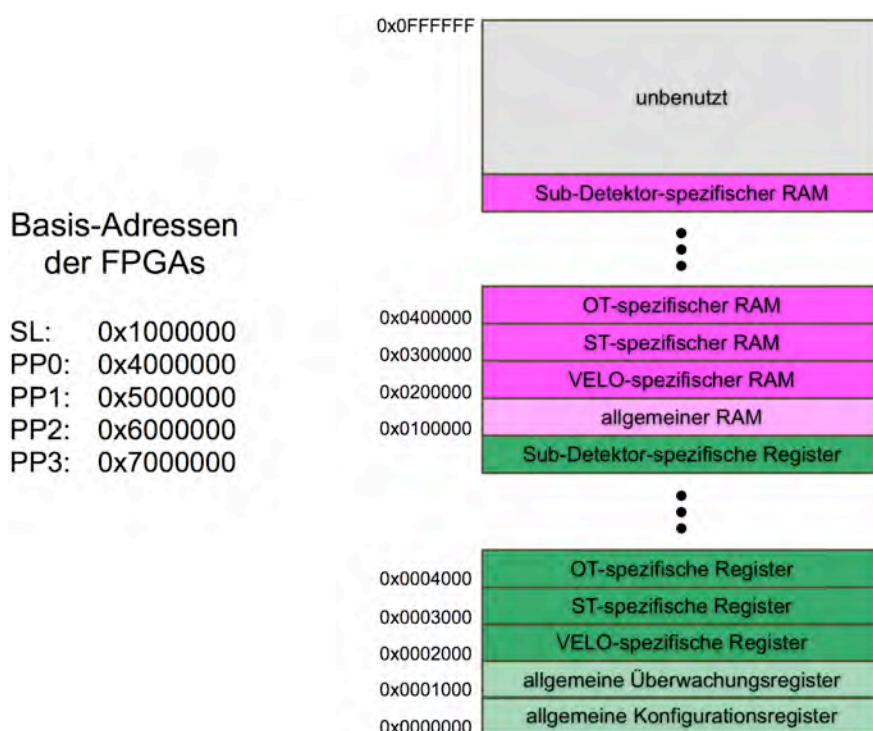
Alle Register und Speicherzellen der FPGAs sind in einem gemeinsamen Adressbereich organisiert. Die Register werden in Sub-Detektor-spezifische und allgemeine Register unterteilt. Letztere sind in den PP-FPGA-Designs aller Sub-Detektoren vorhanden und deshalb an der selben Speicheradresse abgelegt. Die Register des SL-FPGAs besitzen alle den Status "allgemein", da das SL-FPGA-Design für alle Sub-Detektoren<sup>29</sup>

<sup>26</sup>PP\_TRIGGER\_CNT\_REG und EVT\_ASSEM\_CNT\_REG

<sup>27</sup>FIFO\_STATUS\_REG\_N - FIFO\_STATUS\_REG\_N+3 und OT\_ZS\_LINKER\_ERROR\_V\_REG

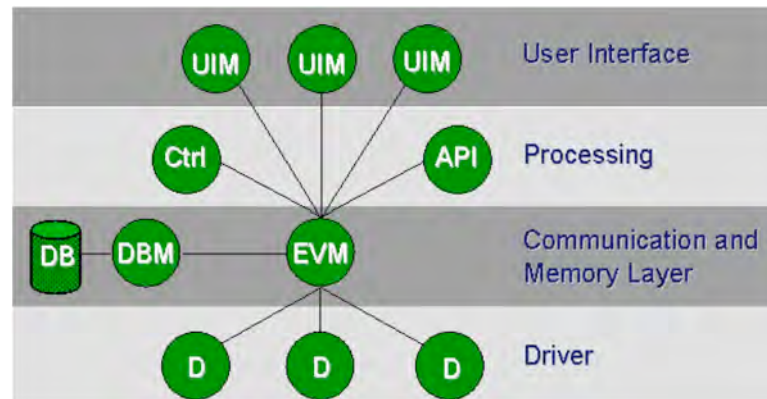
<sup>28</sup>PP\_BANK\_CNT\_REG0, PP\_BANK\_CNT\_REG1 und PP\_EVENT\_CNT\_REG

<sup>29</sup>Eine Ausnahme bildet der Beam-Conditions-Monitor (BCM), da dieser asynchron zum LHC-Maschinentakt betrieben wird und deshalb nicht an das DAQ-Netzwerk angeschlossen ist (Hauptaufgabe des SL-FPGAs).



**Abbildung 4.28:** Organisation des Speicherbereiches der FPGAs [59]. Der gesamte Speicherbereich der FPGAs ist in einem gemeinsamen Adressraum zusammengefasst. Die einzelnen FPGAs werden anhand der Basisadresse unterschieden. Jeder Sub-Detektor besitzt neben dem allgemeinen seinen spezifischen Register- und RAM-Bereich.

identisch ist. In Abbildung 4.28 ist die Einteilung des Adressbereiches dargestellt. Für das Äußere Spurkammersystem stehen 16 spezifische Register zur Verfügung, von denen 8 als Konfigurations- (beschreibbar) und 7 als Überwachungsregister (nur lesbar) benutzt werden. Sie sind in der Datei `user_TELL1_type_map_pkg.vhd` der Bibliothek `user_TELL1_lib` definiert, wo allen beschreibbaren Registern auch ein Startwert (default) zugewiesen ist. Der Sub-Detektor-spezifische RAM-Bereich wird für das Äußere Spurkammersystem zur Speicherung der Histogramme verwendet. Aufgrund der parallelen Verarbeitung von jeweils zwei OTIS-Datensätzen (siehe Abschnitt 4.1.3) werden die Einträge eines Histogramms in zwei verschiedenen RAM-Blöcken abgelegt und bei ihrer Darstellung entsprechend zusammengesetzt. Eine weitere Besonderheit ist auch bei einigen Überwachungsregistern zu finden. Da die Anzahl der zu überwachenden Werte die Zahl der zur Verfügung stehenden Register übersteigt, werden einige Register mehrfach belegt. Dies eignet sich besonders für Größen, die bei jeder der 6 Übertragungstrecken (pro PP-FPGA) auftreten. Die Unterscheidung erfolgt durch den Wert `read_link_select`, der über das Register `PP_CTRL_REG0` konfigurierbar ist. Eine typische Abfrage dieser speziellen Überwachungsregister geschieht damit in zwei Schritten, dem Schreiben des Registers `PP_CTRL_REG0` sowie dem anschließenden Lesen des



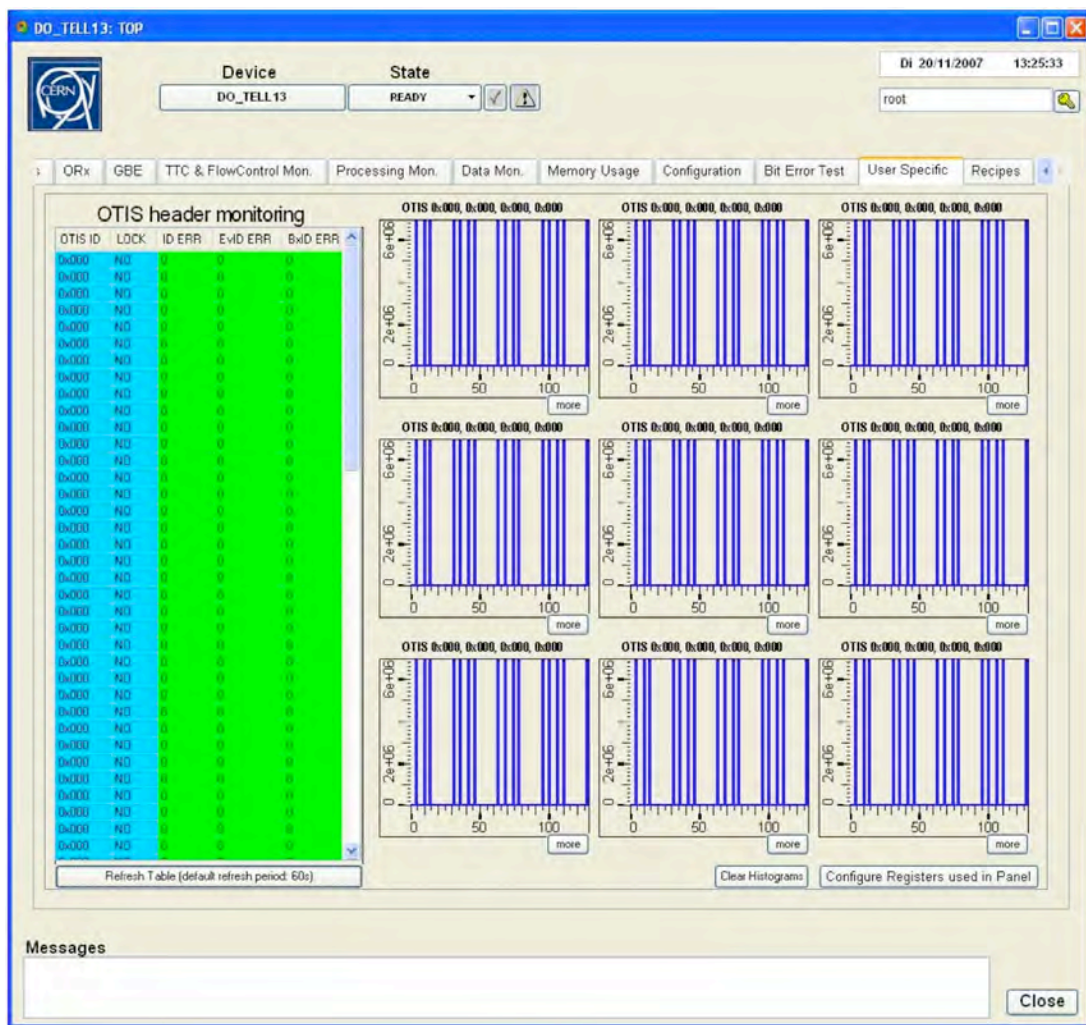
**Abbildung 4.29:** Ebenenstruktur des PVSS-Systems [60]. Die Kontrollsoftware zwischen Benutzer und Hardware besteht aus mehreren Prozessen (Managern), die, je nach Funktionalität und Hardwarenähe, verschiedene Ebenen bilden. Ein zentraler Ereignis-Manager (EVM) steuert den Datenaustausch zwischen allen Prozessen.

Überwachungsregisters. Beispiele für solche Register sind z. B. `OT_OTIS_ID_MON_REG` und `ORX_LINK_PROBE_REG` (siehe Anhang A).

Die Benutzeroberfläche des Experiment-Kontroll-Systems wird durch die kommerzielle Software PVSS II realisiert. Sie besteht aus einzelnen Prozessen, die als Manager bezeichnet werden. PVSS ist in vier Ebenen strukturiert, um den Benutzer nicht mit der Komplexität der Hardware zu konfrontieren (siehe Abbildung 4.29). Die Schnittstellen zum Anwender (UIM) bilden die oberste, die Hardware-spezifischen Treiber (D) die unterste Ebene des Systems. Alle Manager sind mit dem Event-Manager (EVM) verbunden, der den Datenaustausch zwischen den einzelnen Prozessen steuert. Die gesamte Hardware wird auf sogenannte Datenpunkte abgebildet. Dabei handelt es sich um Objekte in denen die Inhalte der Register und Speicherzellen zusammen mit Metainformationen organisiert sind. Die Datenpunkte werden in einer Datenbank (DB) gespeichert und vom Datenbank-Manager (DBM) verwaltet. Auf der Prozessebene stellen der Control-Manager (Ctrl) und der API-Manager<sup>30</sup> dem Benutzer eine Umgebung zur internen Verarbeitung der Daten bereit. PVSS ist ein Ereignis-gesteuertes System, d. h. alle Aktionen werden durch Zustandsänderungen (Ereignisse) ausgelöst. Dies kann beispielsweise die Änderung eines Wertes in einem Hardware-Register sein.

Genau wie beim TELL1-FPGA-Framework existiert auch ein generalisiertes TELL1-PVSS-Projekt für alle Sub-Detektoren. Mit ihm wird der Status des TELL1-Boards sowie der Datenfluss durch das Board visualisiert. Für die Sub-Detektor-spezifischen Komponenten (Register, RAM, usw.) ist ein dediziertes Fenster vorgesehen, dessen Gestaltung vom jeweiligen Sub-Detektor vorgenommen wird. Das benutzerspezifische Fenster für das Äußere Spurkammersystem beinhaltet eine Tabelle, in der Informationen

<sup>30</sup>Application Programming Interface

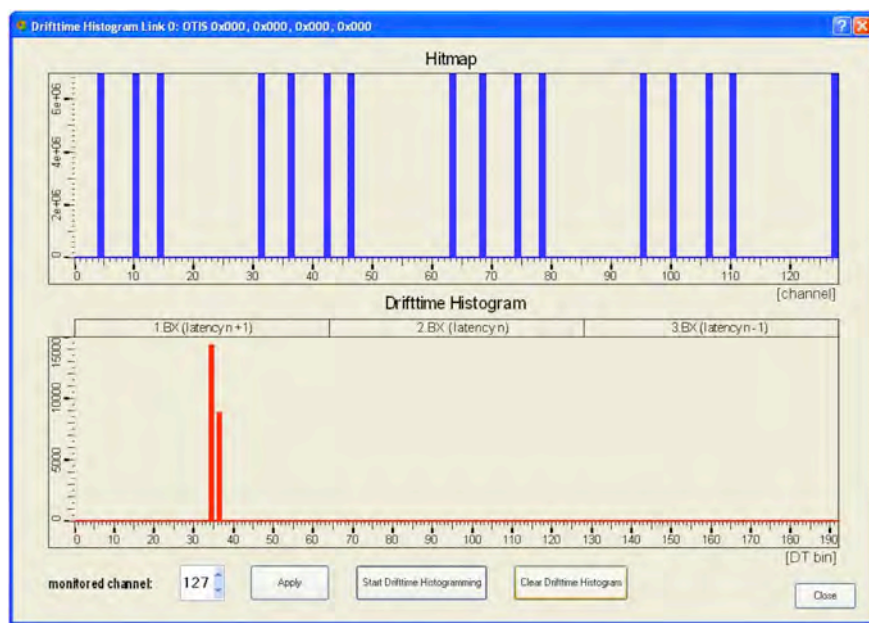


**Abbildung 4.30:** OT-spezifisches Kontroll-Fenster (Übersicht). Die Tabelle auf der linken Seite zeigt alle zur Synchronisation benutzten OTIS-IDs sowie die Anzahl der Fehler, welche in den OTIS-Headern aufgetreten sind. Alle getroffenen Kanäle werden modulweise als Hitmap-Histogramm dargestellt. Die Abbildung zeigt den Betrieb mit dem internen Datengenerator, weshalb alle Histogramme das selbe Muster aufweisen und das OTIS-Header-Monitoring inaktiv ist.

über die angeschlossenen Frontend-Boxen zusammengefasst sind, sowie die Hitmap-Histogramme der (ersten) neun Spurkammermodule (siehe Abbildung 4.30). In der ersten Spalte der Tabelle sind alle zur Synchronisation der Event-Fragmente benutzen OTIS-IDs aufgeführt, sofern der entsprechende Eingang aktiviert ist. Die Farbe einer Zelle zeigt den Zustand des Inhaltes an. Bei der OTIS-ID ist der Hintergrund hellblau, wenn der Initialwert (0x000) vorliegt, d.h. eine valide OTIS-ID noch nicht gefunden wurde (siehe Abschnitt 4.1.4). Die Farben grün und rot markieren den Normalzustand

bzw. das Auftreten eines Fehlers beim Lesen des Registers. Gleiches gilt auch für die Spalte LOCK, in der angezeigt wird, ob eine OTIS-ID sicher erkannt ist. Die übrigen drei Spalten beinhalten die Anzahl der im OTIS-Header detektierten Fehler. Überprüft werden dabei die OTIS-ID, die L0-Event-ID und die Bunch-ID (siehe Abschnitt 4.1.7). Zeigt der Wert null Fehler an, ist er grün hinterlegt, andernfalls rot. Die Tabelle wird in Abständen von 60 Sekunden automatisch aktualisiert, es besteht aber auch die Möglichkeit eines manuellen Auslesens (Schaltfläche "Refresh Table").

Mit Hilfe der Hitmap-Histogramme kann die Occupancy im Detektor qualitativ beurteilt werden. Die obere Reihe stellt die Module 1 bis 3 dar (äußerer Teil des Detektors), die unterste Reihe die Module 7 bis 9 (in unmittelbarer Nähe des Strahlrohrs). Da jedes Modul aus zwei Lagen von 64 Driftröhrchen besteht, liegen die Bins 127 - 64 im Detektor hinter den Bins 0 - 63, d. h. für die korrekte Topologie müssten die Histogramme in der Mitte gefaltet werden. Die Überschriften der Hitmap-Histogramme bilden die OTIS-IDs der jeweils dargestellten Frontend-Boxen. Sie werden bei der Erzeugung des Fensters aus den OT\_OTIS\_STATUS\_AB(CD)\_REG-Registern des TELL1-Boards ausgelesen. Für eine größere Darstellung des Hitmap-Histogramms existiert jeweils eine Schaltfläche "more", mit der ein neues Fenster aufgerufen wird. Dort sind die einzelnen Bins besser differenzierbar und in einem Driftzeit-Histogramm abbildbar (siehe Abbildung 4.31). Es wird immer nur der eingestellte Kanal histogrammiert, wobei die Aufnahme jederzeit gestoppt bzw. gestartet werden kann. Eine Änderung der Kanalnummer ohne anschließendes Löschen des Histogramms, führt zu einer Vermischung der Spektren beider Kanäle.



**Abbildung 4.31:** OT-spezifisches Kontroll-Fenster (Driftzeitspektrum). Für einen ausgewählten Kanal eines Hitmap-Histogramms kann ein Driftzeitspektrum aufgenommen und in diesem Fenster (unteres Histogramm) angezeigt werden. Das Driftzeithistogramm zeigt 2 diskrete Driftzeiten, die mit dem internen Datengenerator erzeugt wurden.

## 4.2 Der TELL1-Teststand

Während der Entwicklung der spezifischen Komponenten für das TELL1-FPGA-Design spielt die Überprüfung ihrer Funktionen eine wichtige Rolle. Eventuell auftretende Fehler sollen dabei schnell erkannt und analysiert werden. Nach der logischen Simulation der Schaltungen im Computer, geschieht dies vorzugsweise durch Testläufe in einer realen Hardware-Umgebung. Zu diesem Zweck wurde ein TELL1-Teststand aufgebaut, der aus Komponenten der Ausleseelektronik besteht, die letztlich auch am Detektor eingesetzt werden. Da sich diese Komponenten selbst noch im Stadium der Entwicklung befanden, kamen zuerst Prototypen und Testboards zum Einsatz, die später durch weiterentwickelte Versionen ersetzt wurden. Der folgende Abschnitt erläutert den Aufbau des TELL1-Teststandes mit den zuletzt verwendeten Komponenten.

### 4.2.1 Aufbau

Der Hauptteil des TELL1-Teststandes befindet sich in einem 19"-Rack, in das ein TELL1-Crate sowie ein 6U VME-Crate eingebaut sind. Das TELL1-Crate enthält ein TELL1-Board (Version 2, Ser.-Nr. 13), einen Readout-Supervisor ODIN (FINAL Version 2, Ser.-Nr. v2.19) und einen Optical-Pattern-Generator<sup>31</sup> (Ser.-Nr. 02), der allerdings nur für Bit-Error-Rate-Tests (siehe Kapitel 5) verwendet wurde und deshalb im Schema des Aufbaus (Abbildung 4.32) nicht aufgeführt ist. Im 6U VME-Crate befindet sich ein TTCvx-Board, das die Kodierung, Serialisierung und die Wandlung der TFC-Signale vom Readout-Supervisor (LHC-Clock, TTC Channel A, TTC Channel B) in ein optisches Signal ( $\lambda = 1310$  nm) vornimmt. Dieses wird über Single-Mode-Glasfasern an das TELL1-Board und die Distribution-Card (IF16-0) geleitet. Letztere ist mit einem SCSI-II-Kabel (6 m) an die Frontend-Box (Ser.-Nr. 001) angeschlossen. Neben den TFC-Signalen enthält dieses Kabel auch einen I<sup>2</sup>C-Bus, über den die Frontend-Box mit Hilfe des Frontend-Control-PCs konfiguriert werden kann. Die I<sup>2</sup>C-Verbindung vom PC zur Distribution-Card erfolgt dabei durch ein 4-poliges Kupferkabel und eine I<sup>2</sup>C-Interface-Box des Herstellers ELV, welche an die parallele Schnittstelle (LPT) des PCs angeschlossen ist. Die Betriebsspannungen für die Frontend-Box und die Distribution-Card (jeweils +5 V und -5 V) werden von einem Labornetzteil (Typ EA-PS2316-050) bereitgestellt.

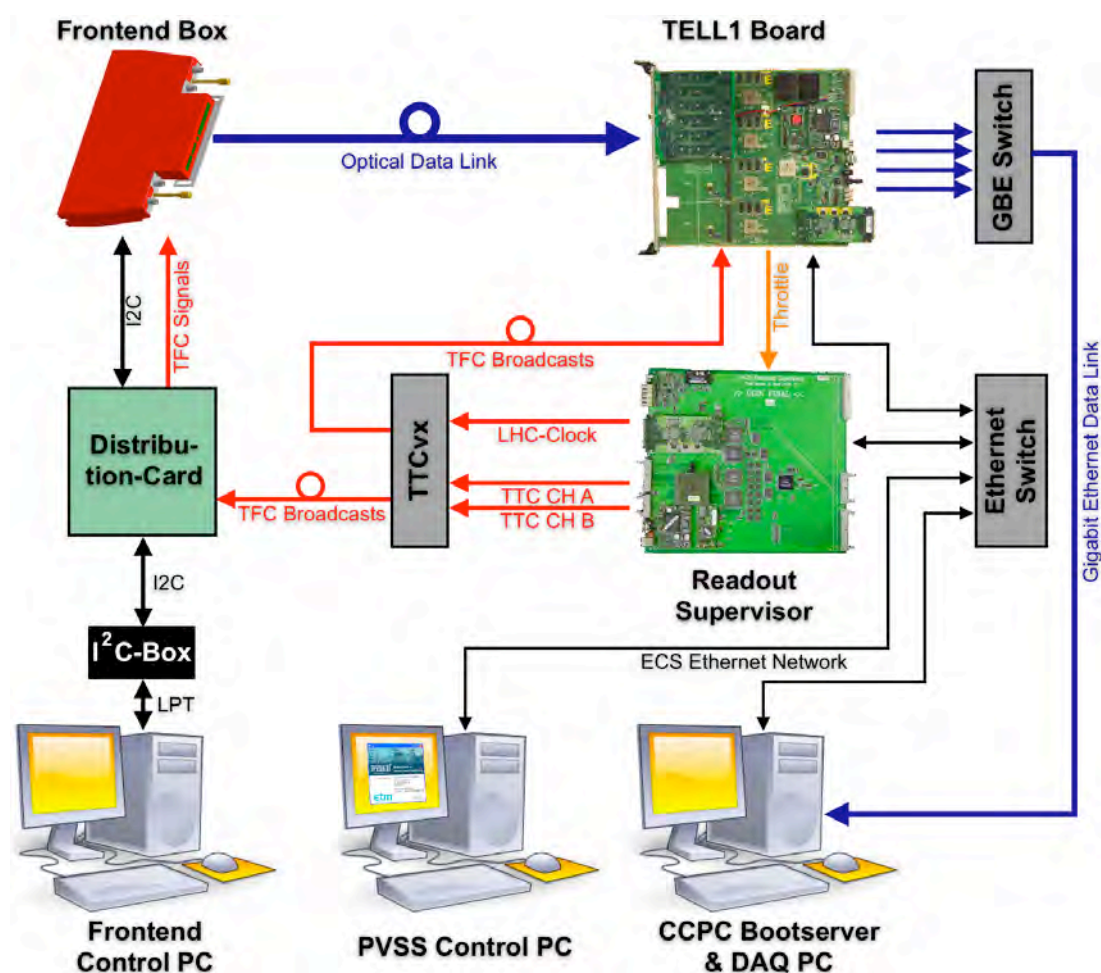
Da es beim Test des TELL1-FPGA-Designs auf den Empfang und die Verarbeitung der Event-Fragmente ankommt, spielt die Art der gemessenen Driftzeiten zunächst keine Rolle. Die Frontend-Box wird daher ohne Spurkammermodul betrieben, wobei zur Generierung von Treffersignalen das thermische Rauschen der Elektronik genutzt wird. Die Werte der gesendeten Driftzeiten sind somit rein zufällig, während die Anzahl der signalführenden Kanäle (die Occupancy) durch Variation der Diskriminatorschwelle im ASDBLR beeinflussbar ist (siehe Abschnitt 4.2.3). Die Frontend-Box ist mit einem Multimode-Glasfaserkabel direkt an die Interfacekarte (O-RxCard) des TELL1-Boards angeschlossen. Die Wellenlänge des Signals beträgt entsprechend  $\lambda = 850$  nm. Wegen

<sup>31</sup>Der Optical-Pattern-Generator dient als Hardware-Emulator der L0-Frontend-Elektronik. Er kann Daten (emulierte Event-Fragmente) in 24 optische Übertragungsstrecken einspeisen. [61]



des 12-fach optischen Empfängers auf der O-RxCARD, wird dazu ein optisches Breakout-Kabel (12 x FSMA auf 1 x MTP/MPO, 1,5 m) verwendet, das mit einem 12-fach optischen Kabel (1 x MTP/MPO auf 1 x MTP/MPO, 20 m) verlängert ist.

Die Quad-Gigabit-Ethernet-Card am Ausgang des TELL1-Boards ist mit vier Ethernet-Patchkabeln (CAT 6, 2 m) an einen Switch (GBE Switch) angeschlossen. Prinzipiell ist der Betrieb mit nur einer angeschlossenen Gigabit-Ethernet-Verbindung möglich. Ist auf dem TELL1-Board aber mehr als ein GBE-Port aktiviert, werden die gesendeten Multiple-Event-Packets fragmentiert und erst beim Empfänger wieder zusammengesetzt. Das Fehlen von GBE-Verbindungen führt dann zum Datenverlust, der sich durch inkonsistente MEPs äußert. Der Gigabit-Ethernet-Switch ist schließlich an den DAQ-



**Abbildung 4.32:** Schema des TELL1-Teststands. Der Tell1-Teststand enthält fast alle Komponenten, die auch am LHCb-Detektor eingesetzt werden. Eine Ausnahme bildet die Distribution-Card, die als Schnittstelle zwischen Frontend-Box und Frontend-Control-PC fungiert. Sie ersetzt in diesem Aufbau die Control-Box (siehe Abschnitte 3.1.6 und 3.1.7).



PC angeschlossen (CAT-6-Patchkabel, 2 m). Dieser dient gleichzeitig als Bootserver für die Credit-Card-PCs (CCPCs), welche jeweils auf dem TELL1, dem ODIN sowie dem OPG vorhanden sind. Alle CCPCs, der CCPC-Bootserver und der PVSS-Control-PC sind durch einen Ethernet-Switch (100 Mbit/s) sowie entsprechende Patchkabel (CAT 5) miteinander verbunden.

Auf der Software-Ebene kommen verschiedene Programme zum Einsatz. Die Konfiguration der Frontend-Box erfolgt mit Hilfe des Labview-Projekts `I2C_GOL_OTIS_v1.0.vi`, das im Physikalischen Institut der Universität Heidelberg für das Teststrahl-Experiment am DESY entwickelt wurde. Die Steuerung des Readout-Supervisors geschieht mit der PVSS-Framework-Komponente `fwTFC`. Diese ist auf dem PVSS-Control-PC im PVSS-Projekt `TFC` installiert und stellt unter anderem Fenster zur Konfiguration des ODIN, zum Starten und Stoppen der Datennahme (L0-Trigger) sowie zum Senden einzelner TFC-Signale (z.B. L0-Elektronik-Reset, L0-Trigger, etc.) bereit. Für das TELL1-Board existiert ebenfalls ein PVSS-Projekt, in dem die Framework-Komponente `fwTELL1` installiert ist. Seine Benutzeroberfläche wird in diesem Teststand hauptsächlich zur Überwachung benutzt. Beide PVSS-Projekte enthalten auch einen DIM-Client, der mit dem jeweiligen DIM-Server<sup>32</sup> auf dem CCPC kommuniziert. Der Datenaustausch findet dabei über einen DNS-Server statt, der als Prozess auf dem PVSS-Control-PC gestartet ist. Auf den CCPCs ist dementsprechend die Systemvariable `DIM_DNS_NODE` mit der IP-Adresse des PVSS-Control-PCs definiert.

Zur Konfiguration des TELL1-Boards werden Programme aus der C-Code-Bibliothek `tell1lib` verwendet. Diese sind über eine ssh-Verbindung auf dem TELL1-CCPC ausführbar. Der Empfang der Daten vom TELL1-Board erfolgt mit dem DAQ-PC. Dazu wird ein Programm, der sogenannte `gbe_sniffer`, aus der `tell1lib` benutzt. Alternativ können die Daten mit einem Netzwerk-Diagnose-Programm, z. B. `ethereal` bzw. `wireshark`, empfangen werden. Für diese existiert bereits ein Plug-in, welches das MEP-Format erkennt und die verschiedenen Bänke separiert. Bei den Testläufen mit dem Teststand kommt aber vorwiegend der `gbe_sniffer` zum Einsatz, da dieses C-Programm leichter erweiterbar ist und die MEPs direkt im Text-Format ausgeben kann. Damit können auch längere Testläufe ohne Datenspeicherung durchgeführt werden, bei denen beispielsweise die Konsistenz der MEPs sowie die korrekte Inkrementierung der L0-Event-ID überprüfbar sind. Zusätzlich ist ein direkter Vergleich der Daten aus der Null-unterdrückten Bank mit denen aus der Rohdaten-Bank möglich, um eventuelle Fehler bei der Verarbeitung der Daten zu erkennen.

### 4.2.2 Messungen an der optischen Übertragungsstrecke

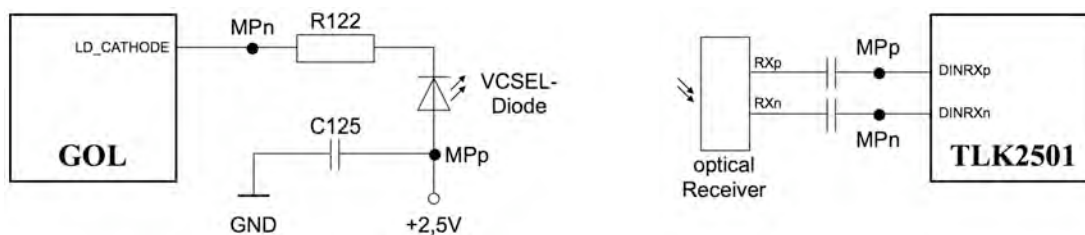
Die optischen Übertragungsstrecken, über die der Datentransport von der Frontend-Box zum TELL1-Board erfolgt, sind eine mögliche Quelle für Datenübertragungsfehler. Zur Charakterisierung der Signalintegrität während des Betriebs des TELL1-Teststandes wurden Augendiagramme der seriellen elektrischen Signale aufgenommen und Bitfehlerrentests (BERT) durchgeführt. Neben der Abweichung dieser digitalen Signale vom

---

<sup>32</sup>Die DIM-Server heißen `ccserv` für das TELL1 bzw. `TFC_server` für den ODIN.

idealen Rechtecksignal, z. B. durch Jitter, Dispersion oder Reflexion, spielt auch die Leistung bzw. Intensität des optischen Signals eine wichtige Rolle bei der fehlerfreien Übertragung. Eine Dämpfung der Intensität entsteht dabei vor allem an Kupplungen durch Versatz der Faserkerne (bedingt durch die mechanische Verbindung), Streuung an Schmutzpartikeln auf den Steckerflächen oder durch Deformation der Faser (Unterschreitung der zulässigen Biegeradien oder Faserbruch). Dämpfungen von 6 dB bis 9 dB führen in der Regel noch nicht zum Ausfall der optischen Übertragungsstrecke, wirken sich jedoch auf die Bitfehlerrate aus. [62]

Zur Aufnahme der Augendiagramme diente ein digitales Speicheroszilloskop (LeCroy SDA 5000A) mit einem aktiven differentiellen Tastkopf (WL600/D600A-AT). Da das zu messende digitale Signal eine Frequenz von 1,6 GHz besitzt und die Bandbreite des Oszilloskops (inklusive Tastkopf) auf 5 GHz begrenzt ist, sind vom Signal nur die Grundwelle (1,6 GHz) sowie die erste Oberwelle (4,8 GHz) erfassbar. Für eine qualitative Beurteilung der Signalform ist dies allerdings ausreichend. Gemessen wurde am Ausgang des GOL sowie nach der optischen Übertragung am differentiellen Eingang des TLK2501. Abbildung 4.33 zeigt das Schaltbild der Sender- und Empfängerseite sowie die jeweiligen Messpunkte MPp und MPn. Das Ergebnis der seriellen Signalanalyse

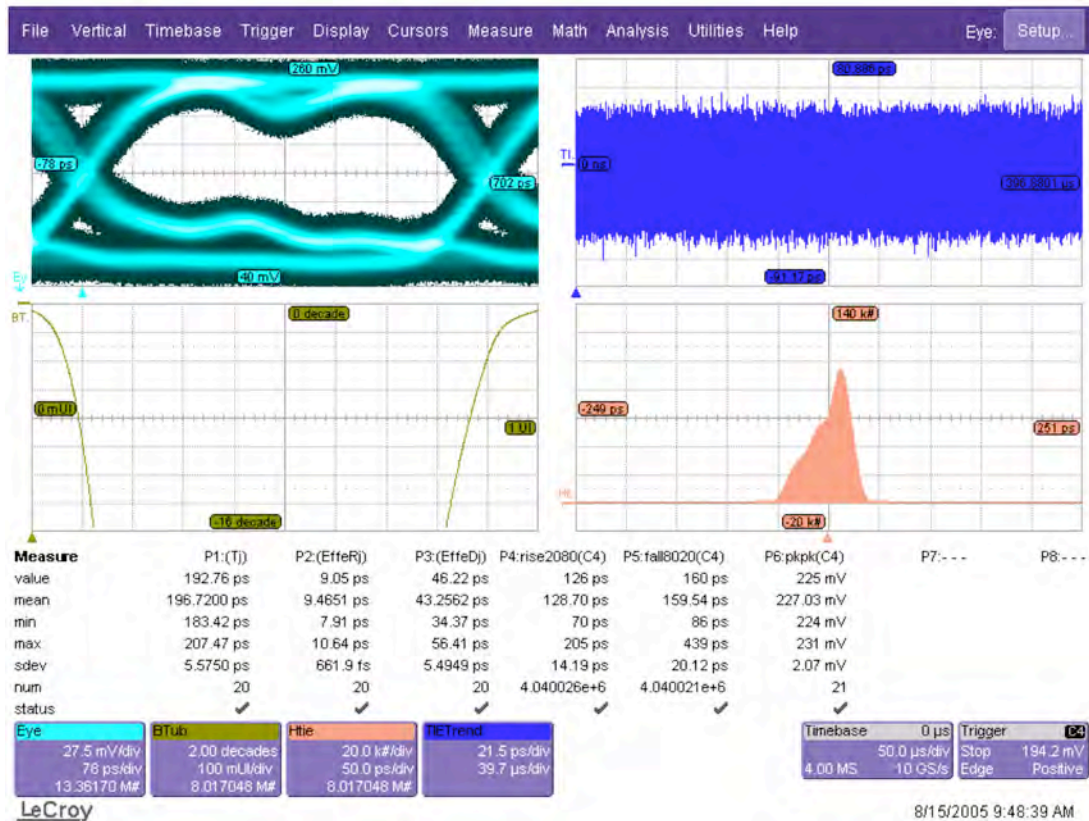


**Abbildung 4.33:** Schaltbild der optischen Übertragungsstrecke [63], [64]. Die Senderseite befindet sich auf dem GOL-AUX-Board (IF13-2), wo eine Laser-Diode (VCSEL,  $P_{\text{opt}} = 0,4 \text{ mW}$ ,  $\lambda = 850 \text{ nm}$ ) das optische Signal erzeugt. Auf der ORx-Card (IF14-1) sorgt ein optischer Empfänger (Emcore MRX9512) für die Rückwandlung in ein elektrisches Signal. Die Messpunkte sind mit MPp und MPn gekennzeichnet.

ist eine Übersicht mit Augendiagramm, Badewannenkurve (Bitfehlerrate), Jitter-Trend und Jitter-Histogramm. Weiterhin werden die Anstiegs- und Abfallzeiten der Signalflanken<sup>33</sup> sowie die Signalamplitude histogrammiert. Die Mittelwerte und Standardabweichungen der Verteilungen sind ebenfalls ausgewiesen.

Die Messergebnisse zeigen eine gute Öffnung der Augen in einem Bereich von ca. 550 ps auf der Senderseite (Abbildung 4.34) bzw. von ca. 470 ps auf der Empfängerseite (Abbildung 4.35), in welchem eine Bitfehlerrate  $< 10^{-16}$  erreicht wird. Auf der Senderseite ist die Signalamplitude in der Mitte des Augendiagramms etwas vermindert, was auf eine Reflexion des Signals hindeutet. Auffallend ist auch die lange, abfallende Signalflanke, die durch parasitäre Kapazitäten verursacht wird. Dieser Effekt kann mit einer

<sup>33</sup> Aufgrund der Bandbreite des Oszilloskops ist die minimal messbare Anstiegs- oder Abfallzeit auf ca. 100 ps begrenzt. [65]



**Abbildung 4.34:** Analyse des seriellen Signals auf der Senderseite. Das Augendiagramm (oben links) enthält alle Informationen zur Charakterisierung des Signals. Die Augenöffnung ermöglicht eine qualitative Beurteilung, die Breite der Flanken wird durch das Jitter-Histogramm (unten rechts) wiedergegeben. Durch den Fit zweier Gaussfunktionen an die linke und rechte Seite der Jitter-Verteilung wird die sogenannte Badewannenkurve (unten links) erzeugt. An ihr kann die zu erwartende Bitfehlerrate abgelesen werden. Die Messung wurde auf einem GOL-AUX-Board (IF13-2) und ohne L0-Trigger durchgeführt.

Erhöhung des Signal-Biasstroms, dessen Wert im GOL einstellbar ist, unterdrückt werden (siehe Abbildung 4.36 links). Eine Korrelation der Flankensteilheit von Sender- und Empfängerseite ist nicht beobachtbar. Grund dafür ist die Diskriminierung des optischen Signals im Empfänger, sodass die Fall- und Steigzeiten seines Ausgangssignals unabhängig vom Biasstrom der Sende-Diode sind (siehe Abbildung 4.36 rechts). Weiterhin wurde der Einfluss der Biasstromänderung auf den Signaljitter untersucht, wobei nur eine geringe Abhängigkeit feststellbar ist (siehe Abbildung 4.37). Eine weitaus größere Rolle spielt aber die Art der übertragenen Daten. Ist die optische Übertragungsstrecke im IDLE-Zustand, wird immer das gleiche 20 Bit lange Datenmuster gesendet. Die Jitterwerte schwanken dabei um 200 ps. Werden aber Zufallsdaten bei maximaler L0-Triggerrate erzeugt, steigt das Jitter-Niveau ca. um das Zweifache an. Dies lässt

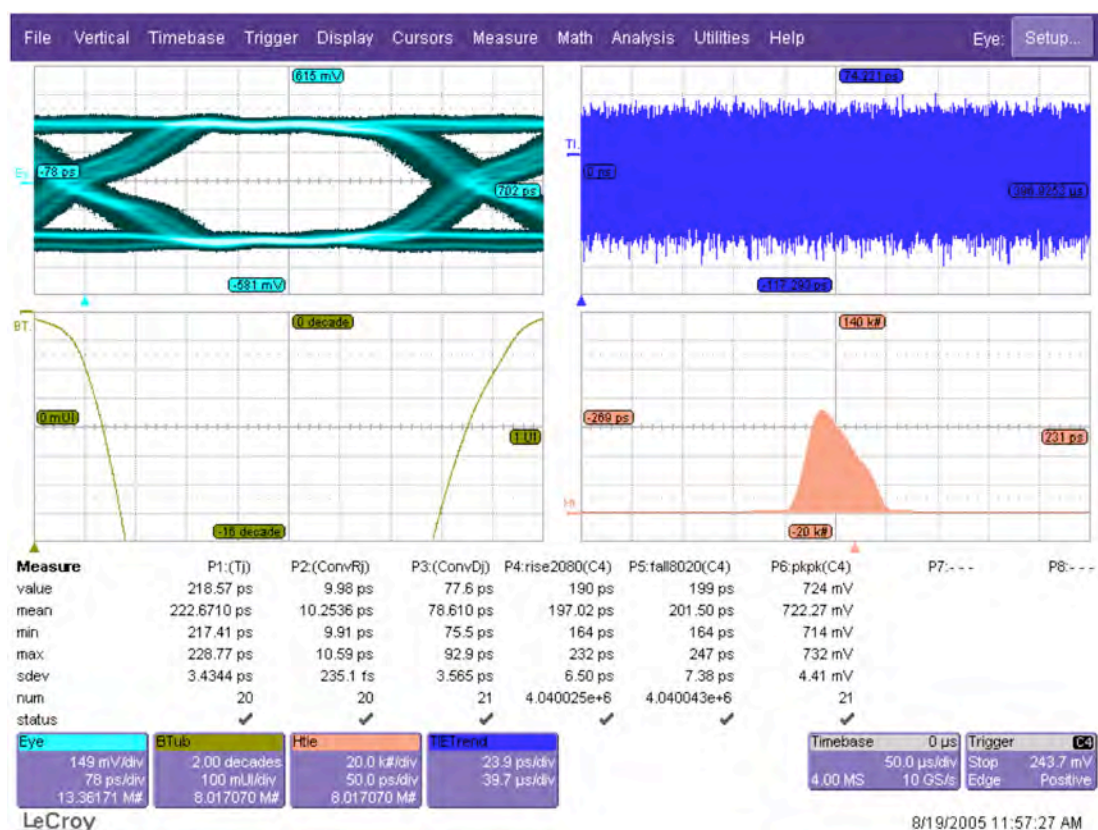


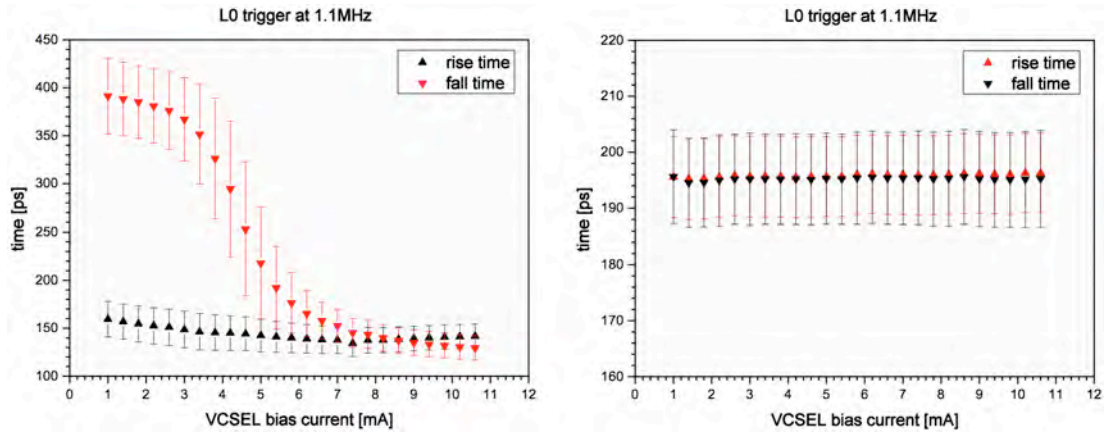
Abbildung 4.35: Analyse des seriellen Signals auf der Empfängerseite. Die Messung wurde auf einer ORx-Card (IF14-1) mit einem optischen Empfänger (Emcore MX9512) und ohne L0-Trigger durchgeführt.

den Schluss zu, dass es sich hauptsächlich um deterministischen, datenabhängigen Jitter handelt. Da dieser per Definition begrenzt ist, trägt er zur Bitfehlerrate nicht wesentlich bei.

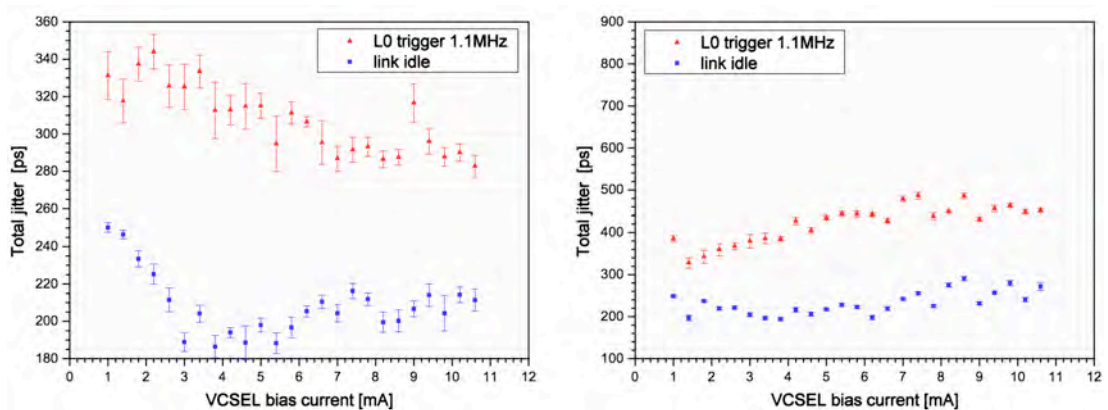
Eine weitere Möglichkeit zur Bestimmung der Bitfehlerrate ist die Überprüfung der empfangenen Daten auf ihren zuvor determinierten Wert. Ein solcher Testmodus ist bereits im GOL implementiert, wobei die Daten einen 16-Bit-Zählerwert repräsentieren, der mit jedem LHC-Takt inkrementiert wird (siehe [35]). Der entsprechende Bit-Error-Tester befindet sich im PP-FPGA auf dem TELL1-Board. Neben einem Fehlerzähler (32 Bit) existiert in ihm auch je ein Zähler für die Anzahl empfangener sowie fehlender Datenworte. Um lange Messzeiten beim Bitfehlerrateentest zu vermeiden<sup>34</sup>, werden zusätzliche Dämpfungsglieder (3, 6 oder 9 dB) in die optische Übertragungsstrecke eingebaut. Für die Prüfung der optischen Verbindungen wird gefordert, dass diese mit einer zusätzlichen Dämpfung von 6 dB funktionsfähig sind und dabei eine Bitfehlerrate

<sup>34</sup>Für die Detektion von Fehlerraten  $< 10^{-14} \text{ s}^{-1}$  wäre eine Messzeit von  $10^6 \text{ s}$  notwendig.

$< 10^{-12} \text{ s}^{-1}$  erreichen. Der TELL1-Teststand erfüllt diese Anforderung.



**Abbildung 4.36:** Steig- und Abfallzeiten des seriellen Signals in Abhängigkeit des Biasstroms der VCSEL-Diode. Auf der Senderseite besteht eine Abhängigkeit der Steig- und Fallzeiten vom Biasstrom durch parasitäre Kapazitäten (links). Die Empfängerseite wird dadurch nicht beeinflusst (rechts).

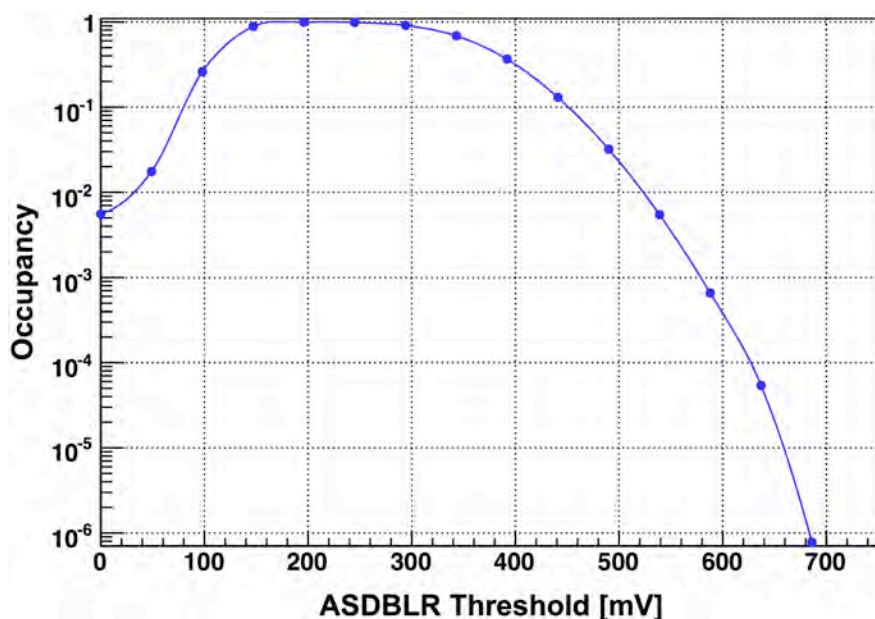


**Abbildung 4.37:** Signaljitter in Abhängigkeit des Biasstroms der VCSEL-Diode. Im Vergleich zum Anstieg der Jitterwerte bei maximaler L0-Triggerrate ist die Abhängigkeit des Jitters vom Biasstrom der VCSEL-Diode eher gering. Der größte Jitteranteil auf der Senderseite (links) als auch auf der Empfängerseite (rechts) ist deterministisch und datenabhängig. (Vgl. auch die Werte ConvRj (random jitter) und ConvDj (deterministic jitter) in Abbildung 4.34 und 4.35.)

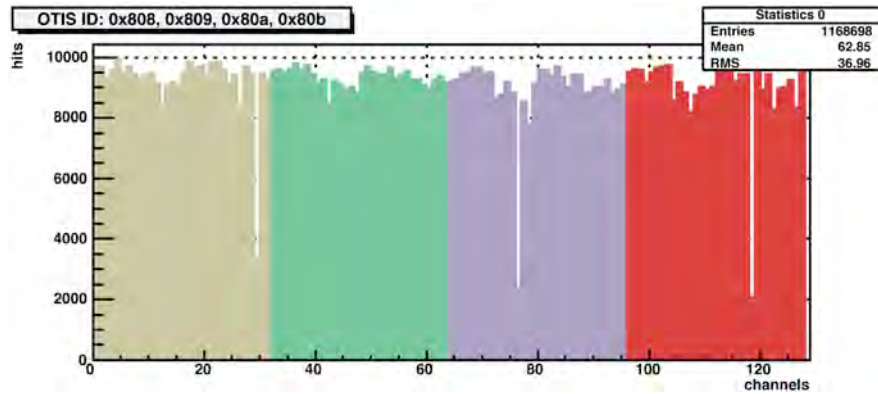


### 4.2.3 Weitere Messungen mit dem Teststand

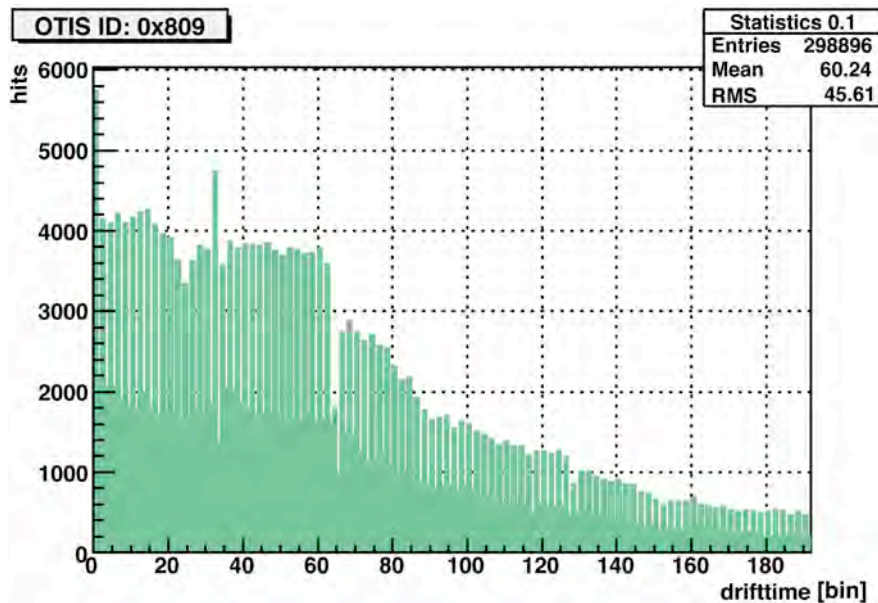
Während der Testläufe zur Funktionsprüfung wurde die Frontend-Box ohne Spurkammermodul betrieben. Dies ist möglich, da die Verarbeitung der auf dem TELL1-Board empfangenen Event-Fragmente unabhängig von der Art der Daten ist. Beim Test der Null-Unterdrückung wurde das Rauschen des Verstärkers im ASDBLR genutzt, um eine zufällige Verteilung von Treffern zu generieren. Die Anzahl der Treffer wird dabei durch die Diskriminatorschwelle bestimmt. Abbildung 4.38 zeigt diese Abhängigkeit für die benutzte Frontend-Box. Der Arbeitsbereich des ASDBLR beginnt bei einer Schwellenspannung von ca.  $U_{thr} = 200$  mV. Die Occupancy folgt ab diesem Wert im Wesentlichen einer Fehler-Funktion (siehe [66]). Die Treffer sind über alle 128 Kanäle der Frontend-Box (Abbildung 4.39) gleichverteilt. Im Driftzeit-Spektrum gilt dies jedoch nur teilweise. Die Verteilung der Driftzeiten ist sehr stark von der Diskriminatorschwelle und damit von der Rauschimpulsrate abhängig. Ist die Rate sehr hoch, d. h. gibt es viele Impulse innerhalb des gemessenen Zeitraums (3 Bunch-Crossings), fällt der hintere Teil des Spektrums durch die Bevorzugung der jeweils kleineren Driftzeit exponentiell ab (Abbildung 4.40). Mit der Verminderung der Rauschimpulsrate konvergiert das Spektrum gegen eine Gleichverteilung.



**Abbildung 4.38:** Abhängigkeit der Occupancy von der Diskriminatorschwelle. Die Kurve zeigt den Schwellen-Scan einer Frontend-Box ohne Spurkammermodul und spiegelt das thermische Rauschen im Verstärker des ASDBLR wider. Jeder Messpunkt repräsentiert eine Mittlung über 10 000 Ereignisse sowie alle 128 Detektorkanäle.



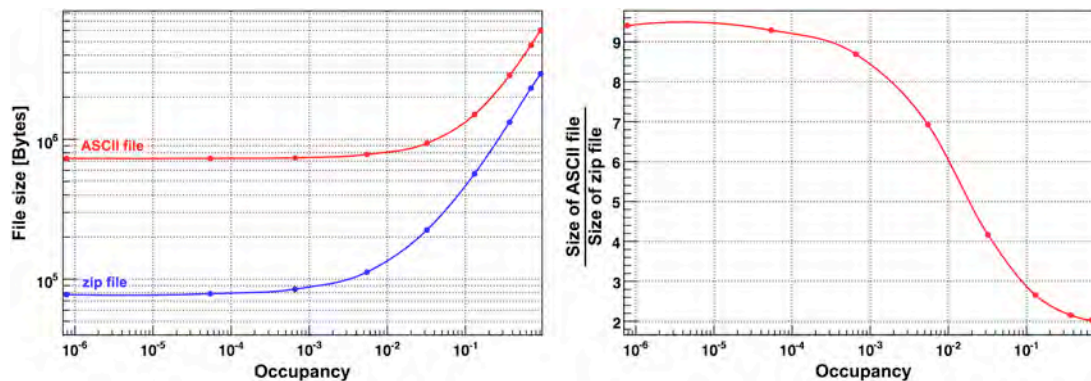
**Abbildung 4.39:** Hitmap der Frontend-Box bei der Rauschmessung. Die Anzahl der Einträge ist über die 128 Kanäle der Frontend-Box gleichverteilt. Geringe Unterschiede der Mittelwerte aus jeweils 8 benachbarten Kanälen sind auf die Sensitivität der ASDBLR-ICs zurückzuführen (je 8 Eingänge). Die Grundlage der Verteilung bilden die Daten des Messpunktes bei  $U_{\text{thr}} = 294 \text{ mV}$  aus Abbildung 4.38.



**Abbildung 4.40:** Driftzeit-Spektrum der Frontend-Box bei einer Rauschmessung. Die Form des Spektrums hängt stark von der Rauschrate ab. Bei sehr geringer Rate ist es gleichverteilt, bei höherer Rate exponentiell abfallend. Da die Breite der geradzahligen Zeit-Bins im OTIS größer ist als die der ungeradzahligen Bins, gibt es in jedem zweiten Bin weniger Einträge [46]. Die Grundlage dieses Spektrums bilden die Daten des Messpunktes bei  $U_{\text{thr}} = 294 \text{ mV}$  aus Abbildung 4.38, wobei nur die Driftzeiten von OTIS 1 (ID 0x809) verwendet wurden.



Zur Beurteilung der Effizienz des Null-Unterdrückungs-Algorithmus kann die Dateigröße herangezogen werden. Im untersuchten Fall wurden für die verschiedenen Diskriminatorschwellen jeweils 10 000 Ereignisse mit dem `gbe_sniffer` aufgenommen und in einer Text-Datei gespeichert. Diese enthält für jedes Ereignis ein Multiple-Event-Packet (MEP-Faktor = 1), in dem nur die null-unterdrückte Bank existiert. Der Vergleich der Dateigrößen von der ASCII-Datei mit einem daraus erzeugten ZIP-Archiv zeigt zunächst die Überlegenheit des ZIP-Algorithmus (Abbildung 4.41 links). Das Archiv enthält in erster Näherung den minimierten Informationsgehalt der Datei, während in der ASCII-Datei durch wiederholte Header-Informationen eine hohe Datenredundanz herrscht. Mit der Occupancy steigt auch die Größe der Dateien (siehe Abschnitt 4.1.6). Allerdings sinkt dabei die Effizienz des ZIP-Algorithmus stark ab, da es sich hierbei, wie auch beim Betrieb von LHCb, um quasi-zufällige<sup>35</sup> Daten (Driftzeiten) handelt. (Abbildung 4.41 rechts). Dies zeigt, dass der gewählte Null-Unterdrückungs-Algorithmus für den Zweck der Datenreduktion gut geeignet ist.



**Abbildung 4.41:** Dateigrößen in Abhängigkeit der Occupancy. Entsprechend dem Ausgangs-Datenformat des TELL1-Boards steigt die Dateigröße mit zunehmender Occupancy an (links). Zum Vergleich wurde aus den selben Dateien jeweils ein ZIP-Archiv erstellt. Da die Dateien zufällige Driftzeiten und keine mehrfach auftretenden Werte enthalten, wie z. B. bei einer Messung mit Testpulsen, sinkt die Effizienz des ZIP-Algorithmus bei hoher Occupancy ab (rechts).

<sup>35</sup>Die Abstände der Teilcentrajektorien vom Anodendraht sind über den Radius der Driftröhrchen in erster Näherung gleichverteilt, sodass alle gemessenen Driftzeiten innerhalb einiger Ereignisse verschieden sind.

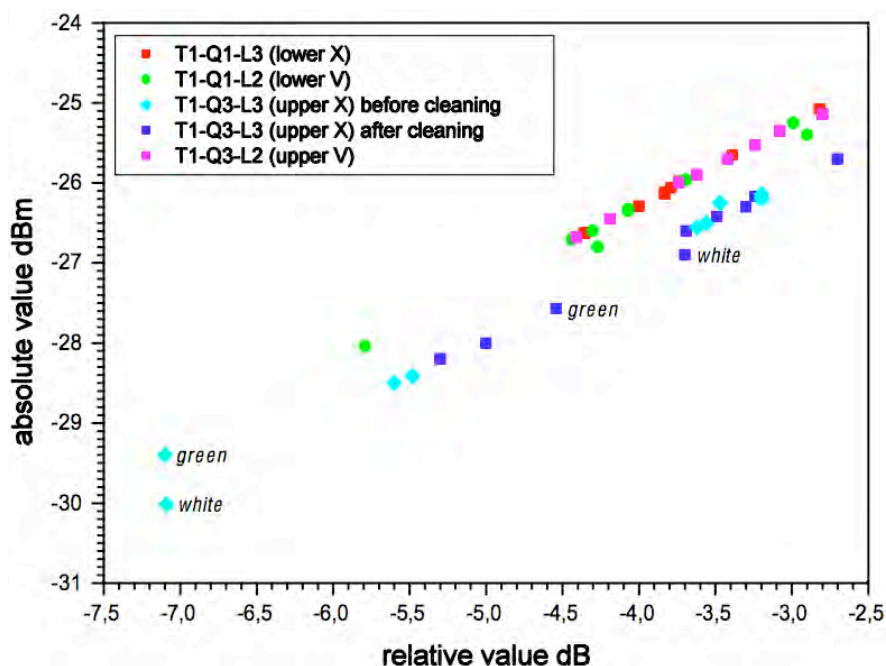
## Kapitel 5

# Inbetriebnahme des Äußeren Spurkammersystems

Während der Phase der Inbetriebnahme des Äußeren Spurkammersystems wird eine schrittweise Überprüfung der Funktion aller Komponenten durchgeführt. Für die meisten Testmessungen kam dabei das TELL1-Board als wesentlicher Bestandteil der Ausleseelektronik zum Einsatz. Insbesondere sind dies Bitfehlerraten tests (BERT) zur Prüfung der optischen Übertragungstrecken, sowie Messungen zur Ermittlung des Rauschverhaltens und der Linearität der L0-Frontend-Elektronik (OTIS TDC). Durch den Aufbau eines Triggers auf kosmische Myonen, konnten schließlich erste Teilchenspuren mit dem Äußeren Spurkammersystem nachgewiesen und der gemeinsame Betrieb einer größeren Anzahl von Detektorkomponenten getestet werden. Dieses Kapitel gibt einen Überblick über die durchgeführten Messungen und erläutert einige Ergebnisse.

### 5.1 Messungen während der Installation

Zur Überprüfung der optischen Kabel, die sich innerhalb der C-Rahmen befinden, wurden bei der Installation der Spurkammermodule Messungen mit einem optischen Leistungsmessgerät durchgeführt. Dieses besteht aus zwei Teilen - einem Sender mit definierter Lichtstärke und einem Empfänger, der die absolute Lichtleistung ermittelt. Zu Beginn einer Messreihe kann der Empfänger auf den Sender abgestimmt werden, was eine relative Messung ermöglicht. In Abbildung 5.1 sind die Ergebnisse einer solchen Messung für einen kompletten C-Rahmen (36 Fasern) dargestellt. Gemessen wurden jeweils der absolute und der relative Leistungswert. Die bestimmten Dämpfungswerte reichen dabei von 2,5 dB bis 6 dB und sind stark von der Reinheit der Steckeroberflächen abhängig. Ein Vergleich mit dem Messprotokoll des Herstellers, der typische Dämpfungswerte von 0,2 dB bis maximal 1 dB für eine Faser angibt, lässt auf eine hohe Dämpfung an den Kupplungen schließen. Um eine exaktere Aussage über den Zustand der optischen Kabel treffen zu können, wurden Bitfehlerraten tests mit dem TELL1-Board durchgeführt. Die Frontend-Elektronik war zu diesem Zeitpunkt nicht vollständig betriebsbereit, weshalb als Signalquelle der Optical-Pattern-Generator (OPG) zu Einsatz



**Abbildung 5.1:** Dämpfungsmessung der optischen Breakout-Kabel im C-Rahmen. Durch die Kalibrierung zu Beginn einer Messung hängen der absolute und der relative Wert linear von einander ab. Die gemessenen Dämpfungen werden hauptsächlich durch Einkopplungsverluste bestimmt. Der Einfluss einer Reinigung der Steckerflächen ist hier am Beispiel zweier Fasern (grün und weiss) gezeigt.

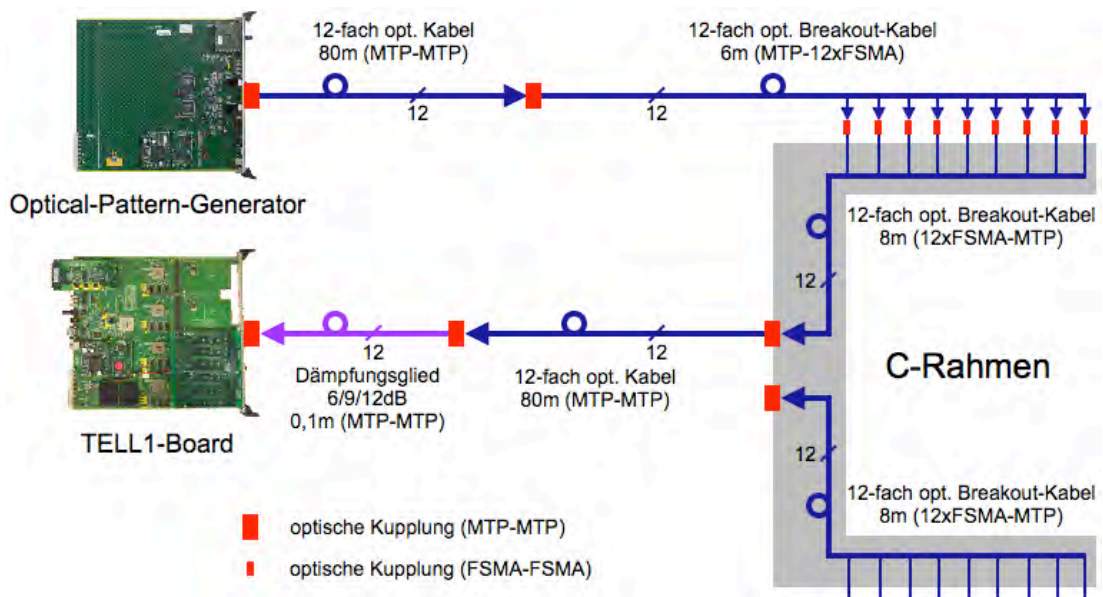
kam. Das TELL1-Board und der OPG befanden sich in einem mobilen Commissioning-Rack<sup>1</sup>, das von der LHCb-Online-Gruppe zur Verfügung gestellt wurde. Es enthält alle Komponenten zum Betrieb der Detektor-Elektronik eines kompletten C-Rahmens. Die optischen Signale wurden über mehrere Lichtwellenleiter an das zu messende Kabel angeschlossen. Bei diesem handelt es sich um ein 12-fach optisches Breakout-Kabel, das auf einer Seite zwölf einzelne FSMA-Stecker<sup>2</sup> besitzt, während am anderen Ende alle 12 Fasern in einem MTP-Stecker zusammengefasst sind. Abbildung 5.2 zeigt den schematischen Aufbau der Messstrecke.

Für diesen Bitfehlerratenest wird eine spezielle TELL1-Firmware (`tell1_OT_v1.8.4`) verwendet, in der die Fehler-Zähler von ursprünglich 32 Bit auf 64 Bit erweitert sind. Dies ermöglicht die Messung einer Bitfehlerrate auch bei der Verwendung einer zusätzlichen Dämpfung von 12 dB. Tabelle 5.1 zeigt die Ergebnisse der Messung eines Breakout-Kabels<sup>3</sup> mit drei verschiedenen Dämpfungsgliedern. Neben der Funktionsprüfung der optischen Fasern im C-Rahmen war es ein weiteres Ziel der Messung, die Korrelation

<sup>1</sup>Eine ausführliche Beschreibung des Commissioning-Racks wird in [67] gegeben.

<sup>2</sup>Die Bauform der verwendeten Steckverbinder zeigt Abbildung 5.4.

<sup>3</sup>Da sich jeweils neun Module auf einer Seite des C-Rahmens befinden, werden von den 12 Fasern nur 9 benutzt.



**Abbildung 5.2:** Schematischer Aufbau der Bitfehlerraten-Tests am C-Rahmen. Mit Hilfe des Optical-Pattern-Generators wird ein definiertes Bitmuster erzeugt, das als optisches Signal in die Messstrecke eingespeist wird. Der auf dem TELL1-Board implementierte Bitfehlerraten-Tester wertet die empfangenen Bitmuster aus und zählt eventuelle Übertragungsfehler.

zwischen Bitfehlerraten und gemessenen Dämpfungen zu testen. Dies würde mit der Kenntnis der Bitfehlerrate die Angabe der Kabel-Dämpfung (inklusive Kupplungen) ermöglichen, da die Bitfehlerrate mit Hilfe des implementierten Testmodus jederzeit ermittelbar ist. Eine Korrelation konnte aber weder mit den Messwerten bei 9 dB noch bei 12 dB zusätzlicher Dämpfung nicht gefunden werden (siehe Abbildung 5.3). Dies ist vor allem auf die Messmethode zurückzuführen. Die an den optischen Kupplungen auftretenden Dämpfungen sind zwar im Ergebnis des Bitfehlerraten-Tests enthalten, können aber bei der Ermittlung des Dämpfungswertes der gesamten Faserstrecke nicht quantitativ erfasst werden. Der aufgetragene Dämpfungswert setzt sich daher aus den folgenden Werten zusammen:

- Dämpfungswert der Fasern beider 80 m-Kabel (Messprotokoll des Herstellers)
- Dämpfungswert der Fasern des 6 m-Breakout-Kabels (Messprotokoll des Herstellers)
- Dämpfungswert des Breakout-Kabels im C-Rahmen (mit dem optischen Leistungsmesser gemessen, relativer Wert)
- Dämpfung von 12 dB des zusätzlichen Dämpfungsglieds

Die nicht erfassten Dämpfungen an den Kupplungen (Einkopplungsverluste) betragen laut Datenblatt der Hersteller maximal 0,5 dB für jede MTP-MTP-Verbindung und

maximal 3 dB für die FSMA-FSMA-Kupplung [68], [69]. Dies ergibt mit den fünf vorhandenen MTP-MTP-Kupplungen und einer FSMA-FSMA-Kupplung eine zusätzliche Unsicherheit von 5,5 dB, was bereits dem Wertebereich der Abszisse in Abbildung 5.3 entspricht. Abbildung 5.4 zeigt die verwendeten Kupplungen.

Tabelle 5.1: Ergebnis der Bitfehlerraten-Tests von T1-L2-Q1

Faser Nr.	BER mit 6dB-Dämpfungsglied	BER mit 9dB-Dämpfungsglied	BER mit 12dB-Dämpfungsglied
1	< 6.21e-11	5.89e-09 (9.50e+01)	4.48e-01 (7.21e+09)
2	< 6.21e-11	3.82e-08 (6.16e+02)	4.61e-01 (7.42e+09)
3	< 6.21e-11	< 6.21e-11	3.58e-01 (5.76e+09)
4	< 6.21e-11	< 6.21e-11	4.60e-01 (7.39e+09)
5	< 6.21e-11	9.61e-09 (1.55e+02)	4.17e-01 (6.70e+09)
6	< 6.21e-11	< 6.21e-11	3.29e-01 (5.29e+09)
7	< 6.21e-11	< 6.21e-11	4.41e-01 (7.09e+09)
8	< 6.21e-11	< 6.21e-11	4.09e-01 (6.59e+09)
9	< 6.21e-11	4.24e-01 (6.83e+09)	4.57e-01 (7.34e+09)

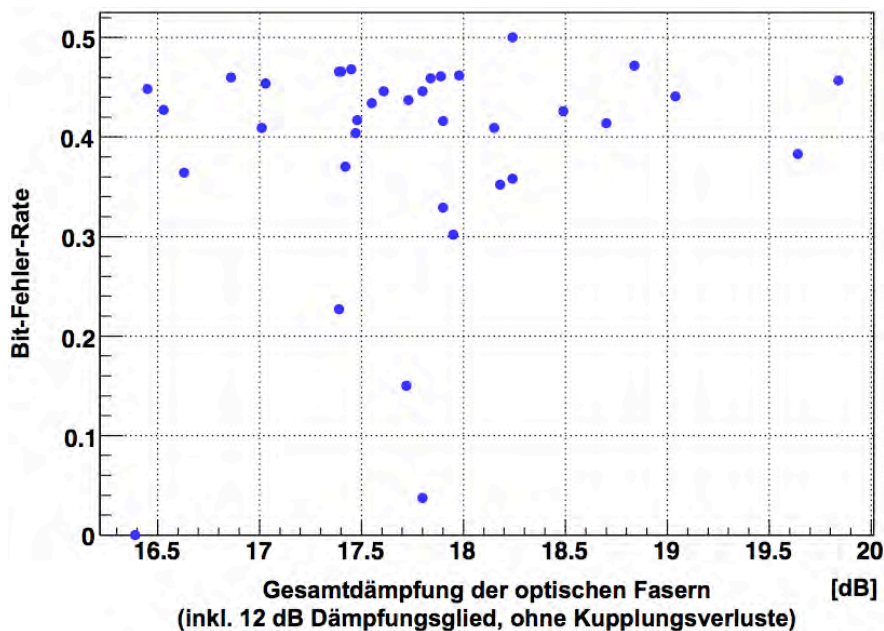
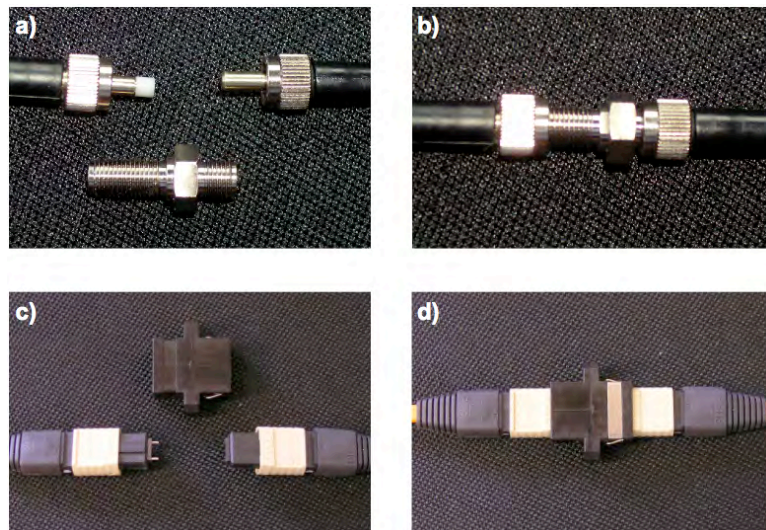


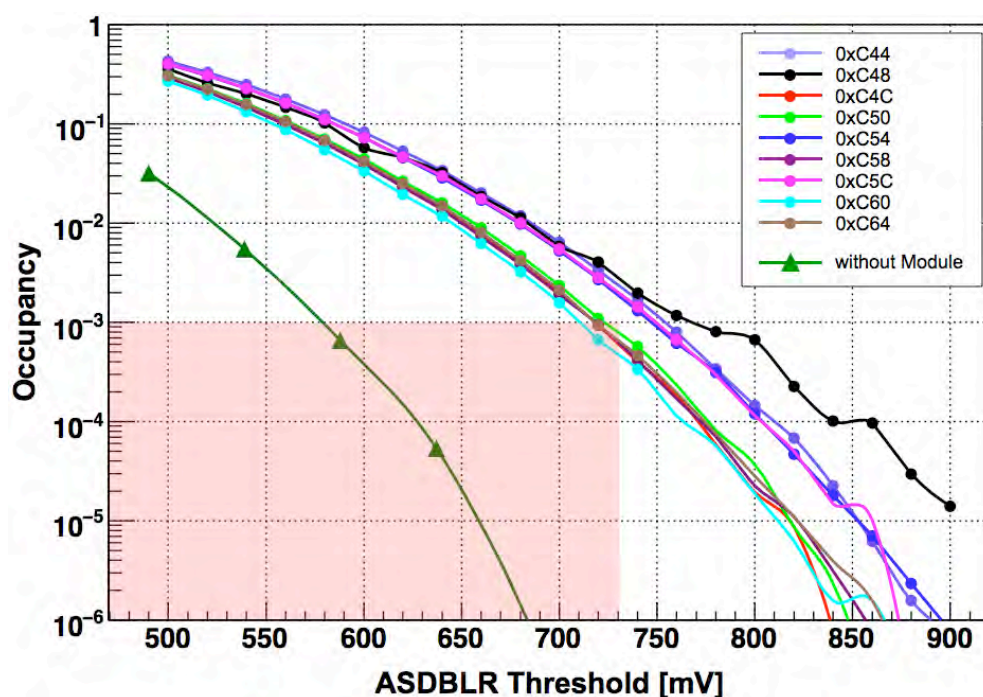
Abbildung 5.3: Bitfehlerrate der gesamten Messtrecke und ermittelte Gesamtdämpfung der Fasern. Eine Korrelation zwischen den beiden Größen konnte nicht festgestellt werden (Korrelationskoeffizient 0,2).





**Abbildung 5.4:** Optische Steckerverbindungen. a) und b) zeigen eine FSMA-FSMA-Kupplung, die eine zusätzliche Dämpfung von bis zu 3 dB erzeugt. Unter c) und d) ist eine MTP-MTP-Kupplung (12 Fasern) zu sehen, die eine Dämpfung von maximal 0,5 dB aufweist. [68], [69]

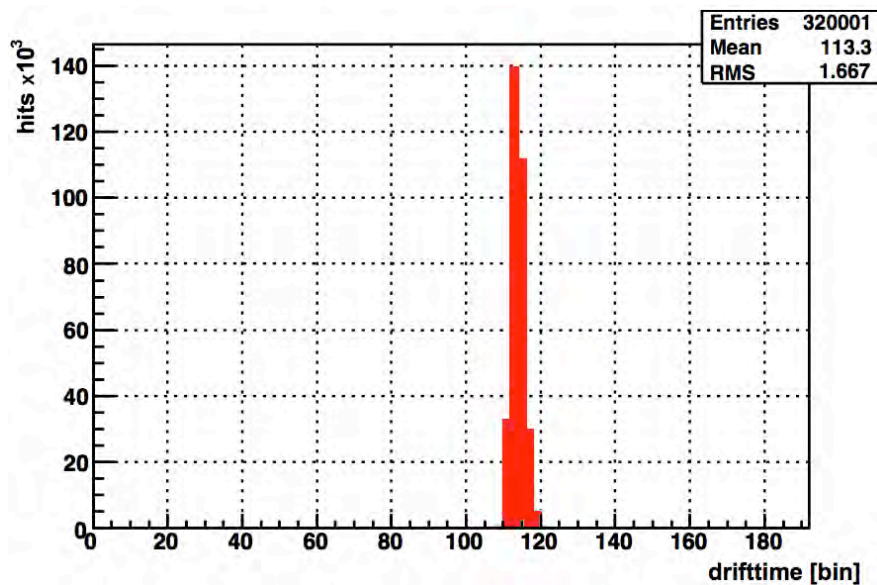
Das Rauschverhalten der Frontend-Elektronik ist sehr stark von äußeren Störquellen abhängig, weshalb die Frontend-Box ausreichend abgeschirmt und geerdet sein muss. Die Driftröhrchen der Spurkammer wirken dabei als Antennen und erhöhen damit das Rauschen. Neben dem Funktionstest der Ausleselektronik dienen die ersten Messungen nach der Installation der Spurkammermodule am C-Rahmen zur Charakterisierung des Rauschverhaltens. Mit den gewonnenen Informationen (z. B. der Occupancy in Abhängigkeit der Diskriminatorschwelle des ASDBLR) können eventuelle Störquellen identifiziert und die Erdung der Frontend-Boxen geprüft werden. Dabei soll ein Betriebszustand erreicht werden, der bei einer Signaldiskriminierung auf den ersten Ionisations-Cluster ( $U_{\text{thr}} \leq 730 \text{ mV}$ , siehe Abschnitt 3.1.3) einen Rauschanteil kleiner  $10^{-3}$  aufweist. Abbildung 5.5 zeigt die Occupancy in Abhängigkeit der Diskriminatorschwelle für neun Frontend-Boxen, die bereits auf Spurkammermodule aufgesteckt sind, sowie zum Vergleich die Werte einer Frontend-Box ohne Modul. Hier liegen nur fünf Boxen im gewünschten Arbeitsbereich, während die anderen vier unzureichend geerdet sind.



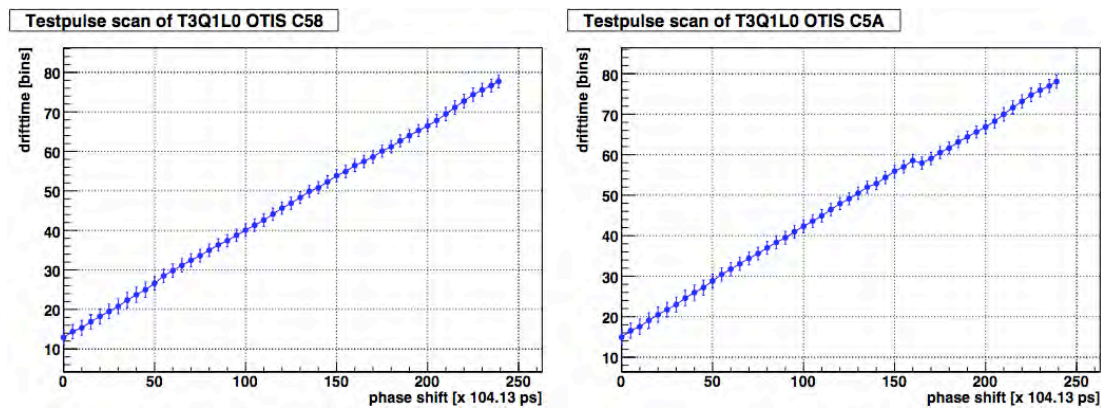
**Abbildung 5.5:** Rauschverhalten der L0-Frontend-Elektronik. Mit dieser Messung wird die Erdung der Frontend-Boxen sowie das Auftreten externer Störquellen geprüft. Unzureichend geerdete Frontend-Boxen liegen dabei außerhalb des angestrebten Arbeitsbereiches (rot). Der Vergleich mit einer Frontend-Box ohne Spurkammermodul zeigt die Wirkung der Driftröhrchen als Rauschquelle. Alle Messwerte sind Mittelwerte über 10 000 Zufalls-Ereignisse sowie die 128 Kanäle der jeweiligen Frontend-Box.



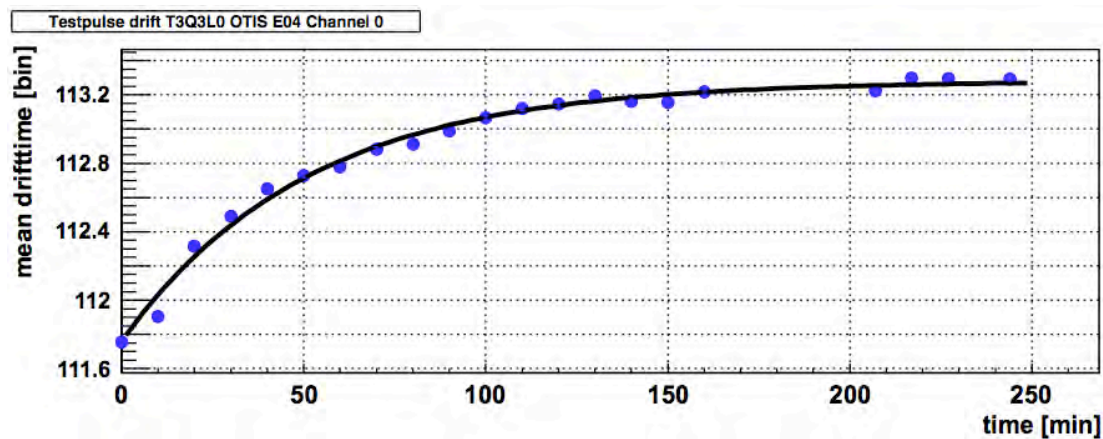
Für weitere Testmessungen bietet die Frontend-Elektronik die Möglichkeit, Testpulse in die ASDBLR-ICs einzuspeisen. Diese werden in der Control-Box erzeugt und als LVDS-Signale an die OTIS-Boards übertragen. Die injizierte Ladung beträgt dabei 7 fC oder 14 fC (Testpulse low / high) und wirkt entweder auf alle geraden oder ungeraden Kanäle (Testpulse even / odd). Abbildung 5.6 zeigt eine typische Verteilung für einen Testpuls (even, high), die einer Normalverteilung mit  $\sigma = 1,63$  Bins entspricht. Die Phase der Testpulse relativ zum LHC-Takt ist über das TFC-System in Schritten von 104,13 ps verschiebbar. Damit können Linearitätstests der OTIS-ICs durchgeführt werden. Abbildung 5.7 zeigt die Ergebnisse dieser Linearitätstests für zwei OTIS-ICs der selben Frontend-Box. Auffällig ist hier die Änderung des Offset-Wertes der beschreibenden Geraden von OTIS 0xC5A (rechts). Dieses Verhalten wurde auch bei einigen anderen OTIS-ICs beobachtet und daher näher untersucht. Einen ersten Hinweis lieferte die Betrachtung der zeitlichen Stabilität des gemessenen Testpulses. Dazu wurden im Abstand von 10 Minuten jeweils 10 000 Ereignisse mit einem periodischen Trigger (Triggerrate 1 kHz, Testpulse even, high) aufgenommen. Die Frontend-Boxen als auch der C-Rahmen hatten vor Beginn der Messung Umgebungstemperatur, das Wasserkühlungssystem für den C-Rahmen war während der Messung nicht in Betrieb. Der erste Messpunkt wurde ca. 6 min nach dem Einschalten der Spannungsversorgung aufgenommen, da die Initialisierung des Systems diese Zeit in Anspruch nimmt.



**Abbildung 5.6:** Testpulsverteilung. Durch die Mittelung über alle OTIS-Kanäle und den Signaljitter, der sowohl beim Testpuls als auch beim LHC-Takt auftritt, wird der Testpuls vom OTIS-IC als Normalverteilung gemessen.



**Abbildung 5.7:** Linearität des OTIS. Durch Phasenverschiebung des Testpulses relativ zum LHC-Takt in Schritten von 104,13 ps wird die Linearität des OTIS-IC überprüft. Jeder Messpunkt repräsentiert den Mittelwert der Testpulsverteilung sowie ihren RMS-Wert (vgl. Abb. 5.6). Einige OTIS-ICs weisen in der selben Messreihe einen Sprung des Offset-Wertes der Geraden auf (rechts).



**Abbildung 5.8:** Zeitliche Änderung der gemessenen Driftzeit. Nach dem Einschalten der Stromversorgung für die Frontend-Boxen ändert sich der gemessene Mittelwert des Testpulses mit der Zeit und erreicht schließlich einen stationären Wert.

Die grafische Darstellung der Ergebnisse (Abbildung 5.8) zeigt eine zeitliche Abhängigkeit der gemessenen Driftzeiten mit einer Variation von 1,5 Driftzeit-Bins. Die Änderung kann durch eine abfallende Exponentialfunktion beschrieben werden:

$$t_{TDC}(t) = A - e^{-B(t-t_0)} \quad (5.1)$$

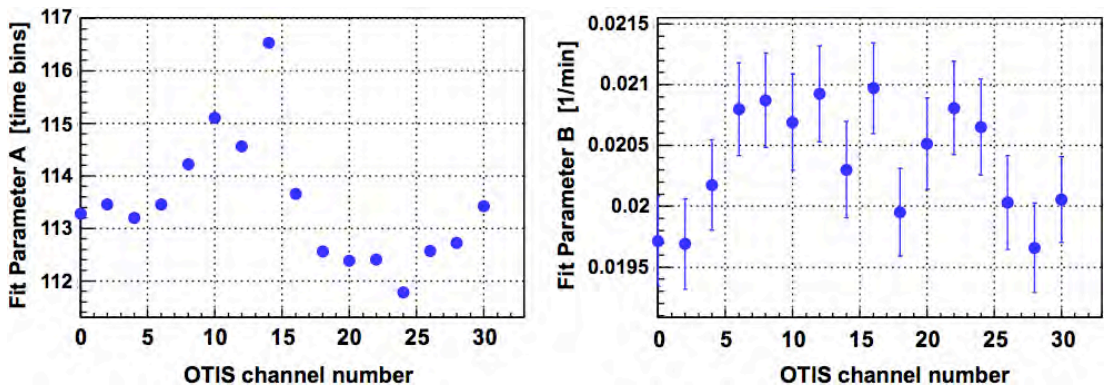
Die Fit-Parameter haben für den gezeigten Kanal (OTIS 0xE04, Kanal 0) die folgenden Werte:

$$A = (113,281 \pm 0,006) \text{ Bins} \quad \text{bzw.} \quad (44,180 \pm 0,002) \text{ ns} \quad (5.2)$$

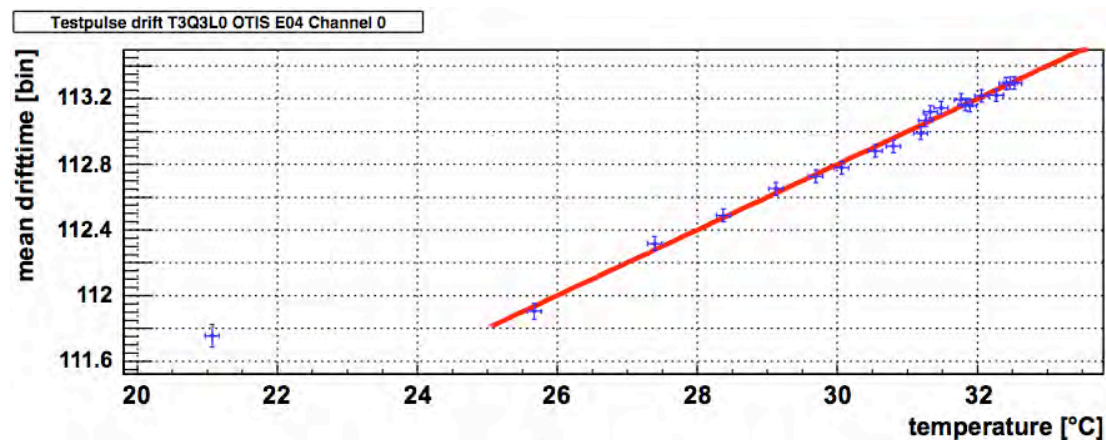
$$B = (0,0197 \pm 0,0004) \text{ min}^{-1} \quad \text{bzw.} \quad (3,28 \pm 0,07) \cdot 10^{-4} \text{ s}^{-1} \quad (5.3)$$

$$t_0 = (21,3 \pm 0,5) \text{ min} \quad \text{bzw.} \quad (1278 \pm 30) \text{ s.} \quad (5.4)$$

Parameter A kann für die Kanäle des selben OTIS-ICs um bis zu 5 Bins (bzw. 1,9 ns) differieren (Abbildung 5.9). Dies ist auf die unterschiedliche Sensitivität der einzelnen Kanäle zurückzuführen, die bei der Ermittlung der Driftzeiten beachtet werden muss. Da die Frontend-Elektronik mit Temperatursensoren ausgestattet ist, kann die gemessene Driftzeit auch über der Temperatur aufgetragen werden. Das Ergebnis ist eine lineare Abhängigkeit (Abbildung 5.10) mit einem Anstieg von  $(78 \pm 2) \text{ ps/K}$ . Dieses Verhalten ist für jeden Kanal beobachtbar, wobei nach ca. 200 min eine stationäre Betriebstemperatur erreicht wird. Allerdings kann an dieser Stelle keine Aussage darüber getroffen werden, ob dieser Temperatureffekt vom Testpuls-Generator, vom ASDBLR oder vom OTIS selbst erzeugt wird. Einige OTIS-ICs zeigten in der selben Messreihe

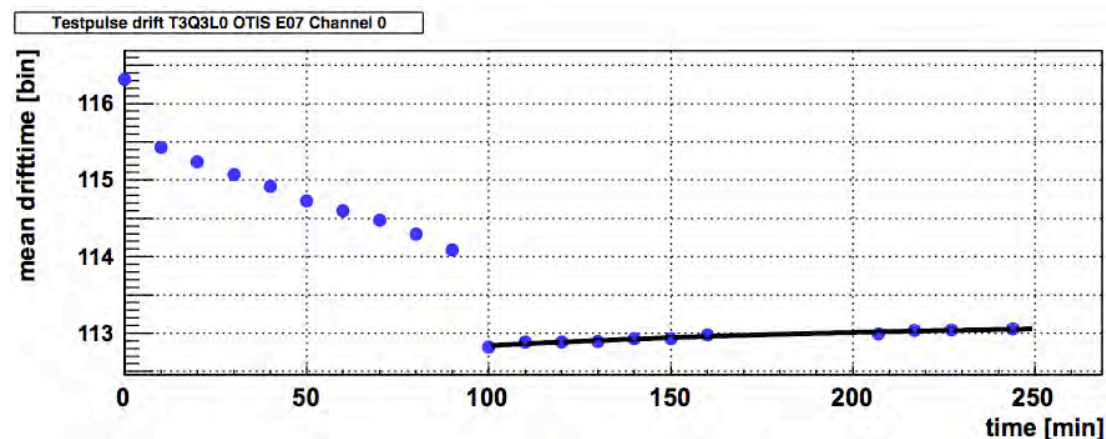


**Abbildung 5.9:** Variation der Fit-Parameter. Die ermittelten Fit-Parameter sind für jeden OTIS-Kanal verschieden. Dies gilt insbesondere für Parameter A, der die stationäre Driftzeit angibt.



**Abbildung 5.10:** Temperaturabhängigkeit der gemessenen Driftzeit. Die Betrachtung der Messwerte aus Abbildung 5.8 in Abhängigkeit der Temperatur in der Frontend-Box liefert einen linearen Zusammenhang.

noch ein anderes Verhalten. Ein Beispiel dafür ist in Abbildung 5.11 zu sehen. Hier tritt zunächst ein zeitlicher Abfall der gemessenen Driftzeit auf, der mit einem Sprung um ca. 1 Zeit-Bin endet. Danach folgt die Kurve erneut der exponentiellen Abhängigkeit aus Gleichung 5.1. Der beobachtete Sprung tritt bei allen Kanälen des entsprechenden OTIS-ICs gleichzeitig auf, findet aber für verschiedene OTIS-ICs zu unterschiedlichen Zeitpunkten statt. Die Richtung, Höhe und Dauer der Driftzeitänderung ist mit der in Abbildung 5.7 (rechts) gezeigten Linearitätsabweichung vereinbar. Da dieser Effekt

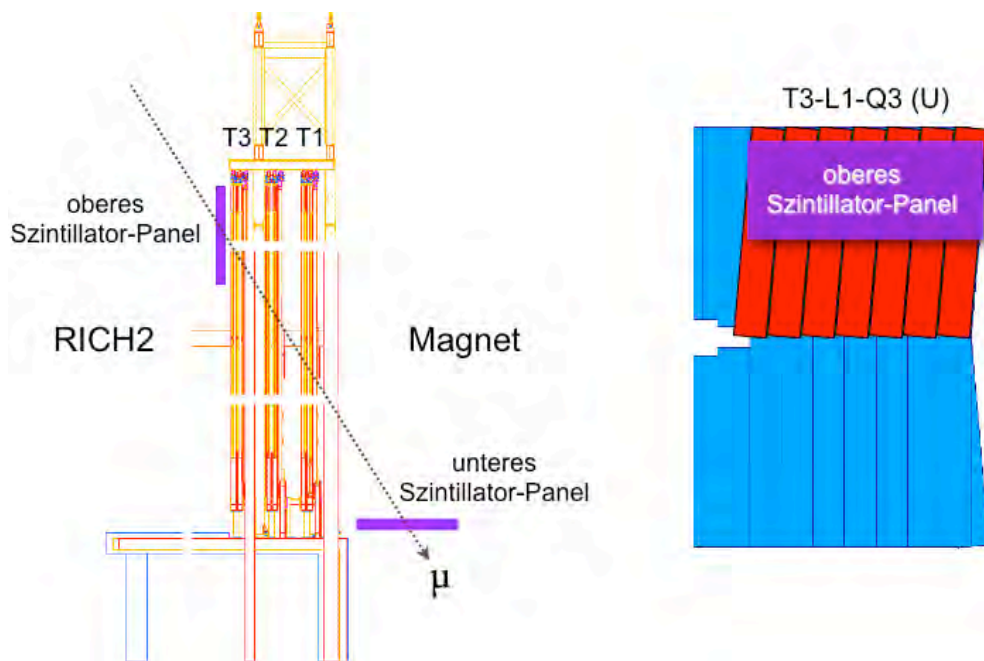


**Abbildung 5.11:** Sprunghafte Änderung der Driftzeit. Einige wenige OTIS-ICs zeigen im Vergleich zu Abbildung 5.8 ein anderes Verhalten, das eine mögliche Ursache der Unstetigkeit in Abbildung 5.7 (rechts) ist.

auf jeweils ein OTIS-Board begrenzt ist, kommen als mögliche Ursache die temperaturabhängigen Eigenschaften der zur Testpulsübertragung verwendeten LVDS-Empfänger (SN65LVDS2) und der DLL im OTIS-IC in Frage. Eine abschließende Klärung der Ursache erfordert weitere Testmessungen.

## 5.2 Nachweis kosmischer Myonen

Während der Installation der Spurkammermodule wurde die Funktion aller Teilsysteme einzeln geprüft. Nach der Eingliederung der C-Rahmen in den LHCb-Detektor konnten erstmals mehrere Komponenten gemeinsam getestet werden. Um einen möglichst realen Test durchzuführen, der auch die Rekonstruktion von Spuren geladener Teilchen einschließt, wurde ein Trigger auf kosmische Myonen aufgebaut. Diese treten selbst 100 m unter der Erdoberfläche auf. Die erwartete Ereignisrate ist vom Azimutwinkel abhängig und beträgt bei  $45^\circ$  ca.  $0,54 \text{ Hz}/(\text{m}^2\text{sr})$ . Der Aufbau besteht aus zwei Szintillator-Panelen, die vor und hinter den Spurkammerstationen, wie in Abbildung 5.12 gezeigt, angebracht sind. Die Panele sind jeweils aus 12 einzelnen Szintillatorstreifen (zu je  $1,35 \text{ m} \times 0,1 \text{ m}$ ) aufgebaut, die an beiden Enden mit Photoelektronenvervielfachern überwacht werden. Die 24 Ausgangssignale eines Panels sind nach ihrer



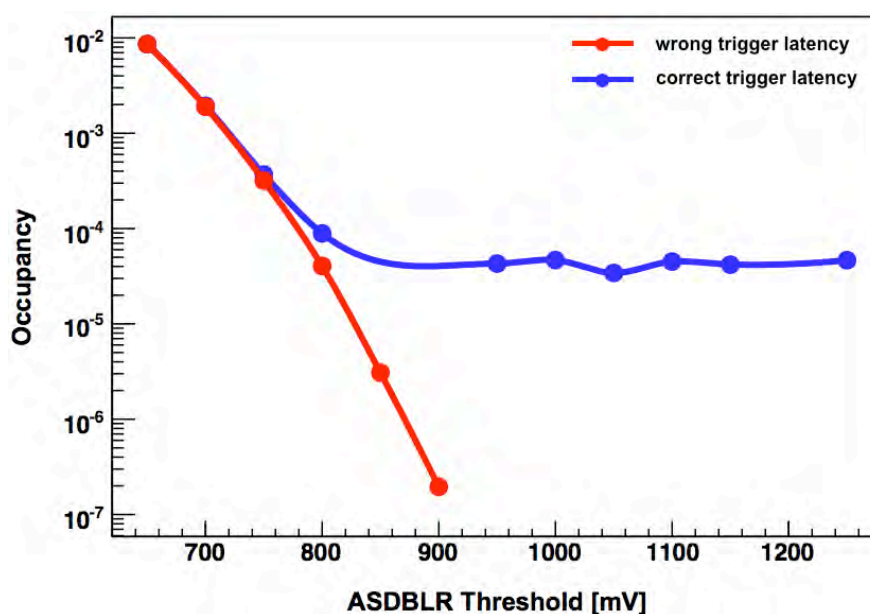
**Abbildung 5.12:** Anordnung der Szintillator-Panels für den Trigger auf kosmische Myonen. Um die winkelabhängige Ereignisrate zu maximieren sind die Szintillatoren so angebracht, dass Teilchenspuren mit einem Azimut von ca.  $30^\circ - 45^\circ$  koinzident detektiert werden. Für die ersten Messungen wurden 7 Spurkammermodule der U-Lage von Station T3-Q3 benutzt.



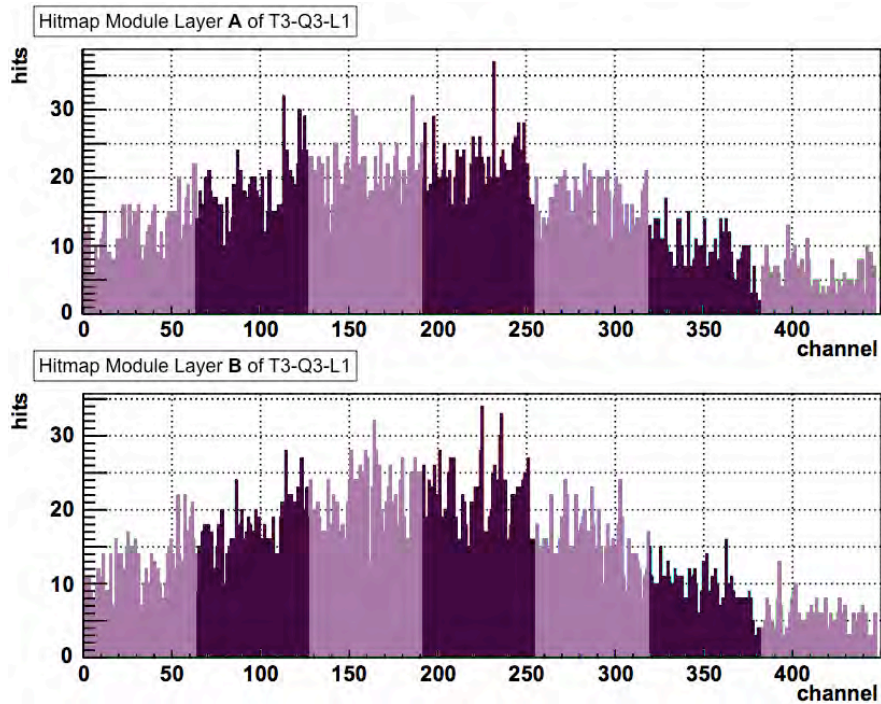
Diskriminierung ODER-verknüpft, wobei mit den beiden so erzeugten Signalen (je eins pro Panel) eine Koinzidenz gebildet wird. Diese dient als L0-Trigger und ist an den externen Trigger-Eingang des Readout-Supervisors angeschlossen.

Für die ersten Messreihen wurden zunächst nur sieben Spurkammermodule von T3-L1-Q3 sowie das obere Szintillator-Panel verwendet. Die Ermittlung der korrekten L0-Trigger-Verzögerung erfolgte dabei durch das Senden von 15 aufeinander folgenden Triggern pro Koinzidenz. Damit wird eine Vergrößerung des Auslesefensters auf 15 Bunch-Crossings (ca. 375 ns) erreicht, was die Untersuchung der gesamten L0-Puffer-Pipeline im OTIS auf 11-12 Messungen beschränkt. Das Myonen-Signal ist dann als Treffer-Koinzidenz zweier hintereinander liegender Driftröhrchen erkennbar. Die so gefundene L0-Trigger-Verzögerung kann anschließend mit einer Messung der Rauschrate in Abhängigkeit der Diskriminatorschwelle des ASDBLR überprüft werden. Ist die Verzögerung korrekt gewählt, bleibt bei höheren Schwellenwerten der konstante Signalanteil sichtbar (Abbildung 5.13).

In der ersten Messreihe wurden insgesamt 150 299 Trigger-Ereignisse innerhalb einer Messzeit von 1,5 h aufgenommen. Allerdings ist die Anzahl der aufgrund von Rauschen ausgelösten Trigger durch die Benutzung nur eines Szintillator-Panels (keine Koinzidenz) sehr hoch. Die Auswertung der Daten lieferte 3312 Ereignisse mit Treffern in den Spurkammern. Dabei sind die getroffenen Kanäle entsprechend der Aktzeptanz des



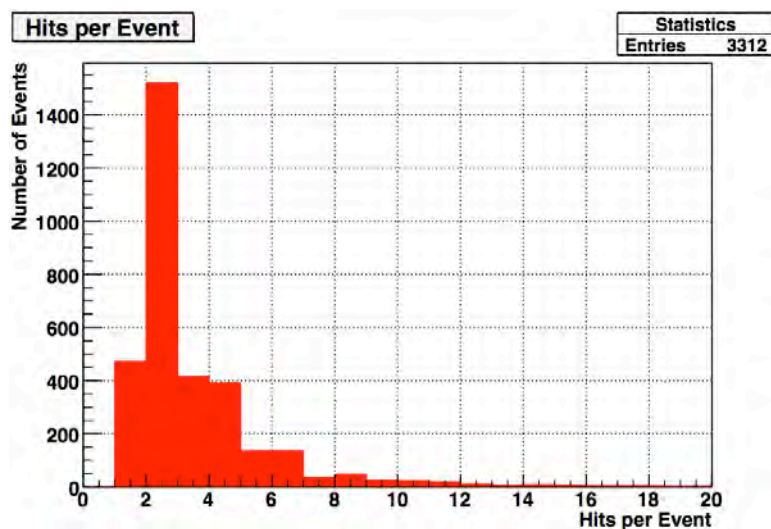
**Abbildung 5.13:** Überprüfung der ermittelten L0-Trigger-Verzögerung durch Untersuchung des Rauschverhaltens. Mit der bekannten Abhängigkeit der Occupancy von der Diskriminatorschwelle des ASDBLR kann bei hohen Schwellen ein Signal vom Rauschen unterschieden werden. Bei korrekt gewählter L0-Trigger-Verzögerung bleibt der Signalanteil sichtbar, während die Kurve im anderen Fall in erster Näherung einer Fehler-Funktion folgt (vgl. Abbildung 5.5).



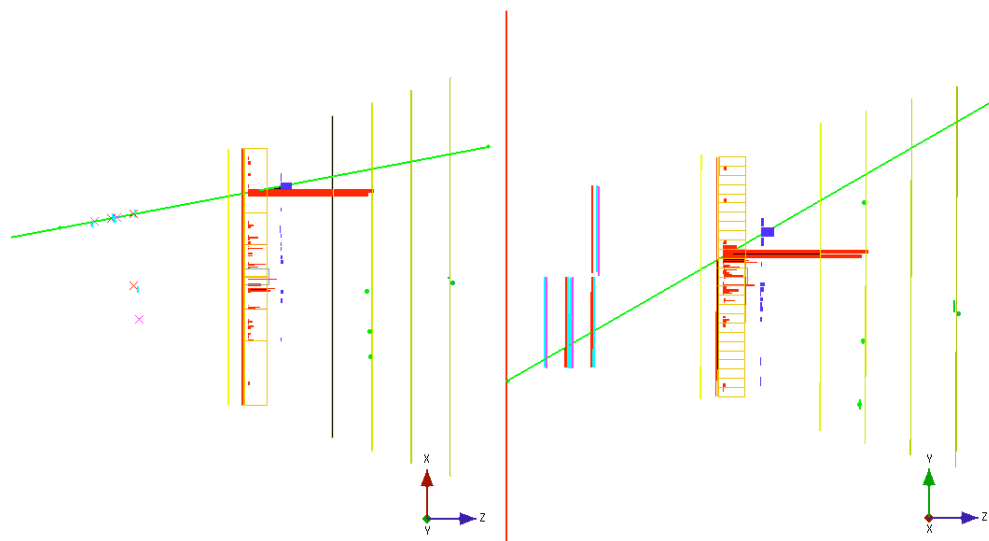
**Abbildung 5.14:** Verteilung der getroffenen Kanäle über mehrere Spurkammermodule. Die Verteilung wird hauptsächlich durch den Akzeptanzbereich des oberen Szintillator-Panels bestimmt und ist für beide Monolagen der Module in erster Ordnung identisch. Die Farbabstufung markiert jeweils 64 Kanäle der Monolage eines Spurkammermoduls.

Szintillators über die 7 genutzten Spurkammern verteilt (Abbildung 5.14). Abbildung 5.15 zeigt die Anzahl der getroffenen Driftröhrchen für diese Ereignisse. Wie bei einer einzelnen Teilchenspur, die beide Lagen des Spurkammermoduls passiert, zu erwarten ist, liegt das Maximum bei zwei Treffern pro Ereignis. Zu dieser Verteilung tragen außerdem noch Effekte wie Teilchenschauer, Rauschen, Übersprechen von Kanälen sowie die Effizienz der Spurkammern bei. In den Ereignissen mit genau zwei Treffern konnten anhand der Koinzidenz zweier hintereinander liegender Driftröhrchen die ersten 1372 Spuren geladener Teilchen mit dem Äußeren Spurkammersystem detektiert werden. Im Verlauf der Inbetriebnahme wurden weitere Spurkammern sowie die Koinzidenz beider Szintillator-Panels in die Messungen einbezogen. Nachdem auch andere Sub-Detektoren ihre Testmessungen erfolgreich durchgeführt haben, finden gemeinsame Datennahmen statt. Bis zu den ersten Proton-Proton-Kollisionen im LHC dienen weiterhin kosmische Myonen als Teilchenquelle. Der Trigger wird dabei auf Grundlage der Daten aus den Kalorimetern (HCAL, ECAL) sowie dem SPD generiert. Abbildung 5.16 und 5.17 zeigen einige der ersten rekonstruierten Ereignisse, die als Meilensteine der Inbetriebnahme des LHCb-Detektors angesehen werden können.

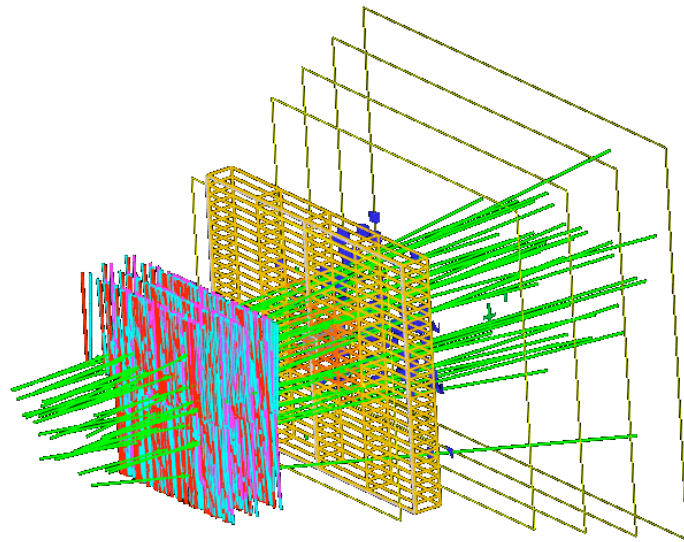




**Abbildung 5.15:** Anzahl getroffener Kanäle pro Ereignis. Da jede Teilchenspur beide Monolagen eines Spurkammermoduls durchquert, sind die Einträge bei gerader Anzahl getroffener Kanäle gegenüber einer Poisson-Verteilung, wie sie für Rauschen beobachtet wird, stärker betont.



**Abbildung 5.16:** Rekonstruiertes Myon-Ereignis im LHCb-Detektor. Eines der ersten rekonstruierten Ereignisse im LHCb-Detektor zeigt eine Myon-Spur, die im Äußeren Spurkammersystem, den Myon-Kammern, sowie im Elektromagnetischen und Hadronischen Kalorimeter detektiert wurde. Links: Blick von oben. Rechts: Seitenansicht. (Rainer Schwemmer, Christoph Langenbruch, 31.07.2008)



**Abbildung 5.17:** Rekonstruiertes Proton-Beamgas-Ereignis im LHCb-Detektor. Dieses Ereignis wurde während des ersten vollständigen Tests des LHC am 10. September 2008 aufgenommen. [70]



# Kapitel 6

## Zusammenfassung

Im Rahmen dieser Arbeit wurde das TELL1-Board als wesentlicher Bestandteil der Ausleseelektronik des LHCb-Detektors an die Anforderungen des Äußeren Spurkammer-Systems angepasst. Es realisiert die Schnittstelle zwischen der Level-0-Frontend-Elektronik, welche sich unmittelbar am Detektor befindet, und dem DAQ-Netzwerk. Die Entwicklungen umfassen die Sub-Detektor-spezifischen Komponenten des Pre-Processing-FPGAs unter Berücksichtigung aller Randbedingungen sowie der geforderten Funktionalität. Schwerpunkte lagen hierbei in der Synchronisation der empfangenen Event-Fragmente und der Null-Unterdrückung in den Daten. Die Generierung des entsprechenden Datenformates für das DAQ-Netzwerk ermöglicht den Betrieb bei der maximalen, mittleren L0-Triggerrate von 1,1111 MHz bis zu einer Detektor-Auslastung (Occupancy) von 11,56 %. Dies genügt dem erwarteten Wert von ca. 10 %, der sich aus einem Signalanteil von 7 % sowie einem zusätzlichen Anteil von ca. 3 % zusammensetzt, der durch Rauschen und Übersprechen der Detektorkanäle verursacht wird.

Im Pre-Processing-FPGA finden außerdem Konsistenzprüfungen der empfangenen Daten sowie die Überwachung ihrer Verarbeitung statt. Detektierte Fehler werden in einer dedizierten Daten-Bank an die DAQ-Farm gesendet und stehen auch dem Experiment-Kontroll-System über entsprechende Register zur Verfügung. In speziell entwickelten Anzeigefenstern eines Prozess-Visualisierungs- und Steuerungs-Systems stehen diese Informationen für den Benutzer bereit. Dies umfasst auch die im FPGA erzeugten Histogramme, welche die Treffer-Verteilungen über jedes Spurkammer-Modul sowie die Driftzeit-Verteilung für einen bestimmten Detektorkanal aufnehmen.

Durch den Aufbau eines TELL1-Teststandes konnte das FPGA-Design während seiner Entwicklungsphase in einer realen Umgebung getestet werden. Bei der Installation und der Inbetriebnahme des Äußeren Spurkammer-Systems fanden regelmäßig Testmessungen statt, die einerseits für die schrittweise Funktionsprüfung der gesamten Auslese-kette genutzt wurden, andererseits aber auch zur Charakterisierung der L0-Frontend-Elektronik (z. B. Rauschverhalten, Linearität) dienten. Mit einem Trigger-System, welches auf kosmische Myonen anspricht, konnte das Äußere Spurkammer-System schließlich in seiner Gesamtheit sowie zusammen mit anderen Sub-Detektoren getestet werden, wobei die ersten Spuren geladener Teilchen detektiert wurden.

Die Implementierung von Driftzeit-Histogrammen innerhalb des PP-FPGA als Integral über alle Kanäle eines OTIS-TDC konnte nicht umgesetzt werden, da die verfügbaren Ressourcen und die Grenzwerte des FPGAs dies nicht zuließen. Während der Inbetriebnahme wurde eine Temperaturabhängigkeit der gemessenen Driftzeiten beobachtet, weshalb der Detektor vor Beginn der Messung einen temperaturstabilen Zustand erreichen sollte. Noch zu untersuchen sind einige Unregelmäßigkeiten beim Empfang der von der L0-Frontend-Elektronik gesendeten LHC-Maschinentaktzyklen und deren Auswirkung auf den Betrieb des Detektors.

Die bisherigen Messungen zeigen, dass der LHCb-Detektor und speziell sein Äußeres Spurkammersystem für die Aufnahme physikalisch relevanter Daten aus Proton-Proton-Kollisionen des LHC bereit ist.

## Anhang A

# Konfigurations- und Überwachungsregister

Tabelle A.1: Konfigurationsregister der Synchronisationsstufe

Register	Offset	R/W	Bit	Inhalt
OT_OTIS_CTRL_REG(0) (link 0)	0x4000	RW	[31..20]	reset dead time
			[19]	data type (1=ZS)
			[18]	non-zero mode
			[17]	OTIS comma on
			[16]	autofind ID mode
			[15..12]	OTIS(3.0) disabled
			[11..0]	OTIS ID of OTIS(0)
OT_OTIS_CTRL_REG(1)	0x4004	RW	[31..0]	see link 0
OT_OTIS_CTRL_REG(2)	0x4008	RW	[31..0]	see link 0
OT_OTIS_CTRL_REG(3)	0x400C	RW	[31..0]	see link 0
OT_OTIS_CTRL_REG(4)	0x4010	RW	[31..0]	see link 0
OT_OTIS_CTRL_REG(5)	0x4014	RW	[31..0]	see link 0
OT_SYNC_CTRL_REG	0x4028	RW	[31..24]	expected 2 LSBs of OTIS ID(3.0)
			[23..16]	expected OTIS header bits(19..12)
			[15..0]	N (OTIS ID lock)
default value: 0xE4A00003				

**Tabelle A.2: Konfigurationsregister des opt. Receivers**

Register	Offset	R/W	Bit	Inhalt
ORX_CTRL_REG	0xC	RW	[31]	not used, '0'
			[30]	enable all O-Rx
			[29..24]	O-Rx LckRef
			[23..14]	not used, all '0'
			[13..8]	<b>opt. link disabled</b>
			[7..6]	not used, all '0'
			[5]	O-Rx PrbsEn345
			[4]	O-Rx LoopEn345
			[3]	O-Rx Enable345
			[2]	O-Rx PrbsEn012
			[1]	O-Rx LoopEn012
			[0]	O-Rx Enable012
default value: 0x3F000009				

**Tabelle A.3: allgemeine Konfigurationsregister des PP-FPGA**

Register	Offset	R/W	Bit	Inhalt
PP_CTRL_REG0	0x4	RW	[31..16]	<i>not used for OT</i>
			[15..12]	<b>read link select</b>
			[11..8]	<i>not used for OT</i>
			[7]	BERT enable
			[6]	data gen. enable
			[5..0]	<i>not used for OT</i>
			PP_CTRL_REG1	0x8
[15]	serious error throttle enable			
[14]	LBUS test data generator			
[13]	LBUS test enable			
[12]	mcms enable			
[11]	histogram enable			
[10]	PP FPGA used			
[9]	<b>force error bank disable</b>			
[8]	<b>force error bank enable</b>			
[7]	<i>not used for OT</i>			
[6..0]	derandomizer threshold			



**Tabelle A.4: Überwachungsregister der OTIS-Header**

Register	Offset	R/W	Bit	Inhalt
OT_OTIS_CNTSTAT _MON_REG	0x4038	R	[31..18]	not used, all '0'
			[17]	OTIS ID error link 5
			[16]	Bunch ID error link 5
			[15]	L0 Event ID error link 5
			[14..12]	error link 4 (see link 5)
			[11..9]	error link 3 (see link 5)
			[8..6]	error link 2 (see link 5)
			[5..3]	error link 1 (see link 5)
			[2..0]	error link 0 (see link 5)
OT_OTIS_ID _MON_REG (read link select)	0x4034	R	[31..24]	OTIS ID error counter OTIS(3)
			[23..16]	counter OTIS(2)
			[15..8]	counter OTIS(1)
			[7..0]	counter OTIS(0)
OT_OTIS_BXID _MON_REG (read link select)	0x4030	R	[31..24]	Bunch ID error counter OTIS(3)
			[23..16]	counter OTIS(2)
			[15..8]	counter OTIS(1)
			[7..0]	counter OTIS(0)
OT_OTIS_EVID _MON_REG (read link select)	0x402C	R	[31..24]	L0 event ID error counter OTIS(3)
			[23..16]	counter OTIS(2)
			[15..8]	counter OTIS(1)
			[7..0]	counter OTIS(0)

**Tabelle A.5: Überwachungsregister der Synchronisationstufe**

Register	Offset	R/W	Bit	Inhalt
OT_OTIS_STATUS_AB_REG (read link select)	0x4018	R	[31]	OTIS ID locked
			[30]	OTIS(1) masked, if '1'
			[29]	OTIS(1) ID not found
			[28]	OTIS(1) ID error
			[27]	'0'
			[26]	OTIS(0) masked, if '1'
			[25]	OTIS(0) ID not found
			[24]	OTIS(0) ID error
			[23..12]	OTIS(1) ID used
			[11..0]	OTIS(0) ID used
OT_OTIS_STATUS_CD_REG (read link select)	0x401C	R	[31]	OTIS ID locked
			[30]	OTIS(3) masked, if '1'
			[29]	OTIS(3) ID not found
			[28]	OTIS(3) ID error
			[27]	'0'
			[26]	OTIS(2) masked, if '1'
			[25]	OTIS(2) ID not found
			[24]	OTIS(2) ID error
			[23..12]	OTIS(3) ID used
			[11..0]	OTIS(2) ID used

Tabelle A.6: Überwachungsregister des opt. Receivers

Register	Offset	R/W	Bit	Inhalt
ORX_LINK_PROBE_REG (read link select)	0x1040	R	[31..24]	not used, all '0'
			[23]	opt link disabled
			[22]	opt clock not active
			[21..20]	<i>not used for OT</i>
			[19]	Rx buffer overflow odd
			[18]	Rx buffer underflow odd
			[17]	Rx buffer overflow even
			[16]	Rx buffer underflow even
			[15]	TLK loss (rx_dv = '1' and rx_err = '1' and rx_data = 0xFFFF)
			[14]	TLK idle (rx_dv = '0' and rx_err = '0')
			[13]	TLK carrier extend (rx_dv = '0' and rx_err = '1')
			[12]	TLK normal (rx_dv = '1' and rx_err = '0')
			[11]	TLK error (rx_dv = '1' and rx_err = '1')
			[10..9]	not used, all '0'
[8..0]	Rx buffer max. usage			
ORX_LINK_SYNC_REG (read link select)	0x1044	R	[31..24]	<i>not used for OT</i>
			[23..16]	Rx buffer in counter
			[15..8]	Rx buffer odd out counter
			[7..0]	Rx buffer even out counter

Tabelle A.7: Überwachungsregister für Trigger und prozessierte Ereignisse

Register	Offset	R/W	Bit	Inhalt
EVENT_ASSEMBLE_CNT_REG	0x1004	R	[31..16]	not used, all '0'
			[15..0]	assembled event fragments counter
TRIGGER_CNT_REG	0x1008	R	[31..16]	requested triggers counter
			[15..0]	received triggers counter

**Tabelle A.8: Überwachungsregister der FIFOs im Daten-Prozessor**

Register	Offset	R/W	Bit	Inhalt
FIFO_STATUS_REG_N  RAW data derandomizer FIFO	0x104C	R	[31..16]	used word count (12 bits)
			[15]	overflow log
			[14]	underflow log
			[13..0]	max used word count
FIFO_STATUS_REG_N+1  RAW bank data FIFO	0x1050	R	[31..16]	used word count (7 bits)
			[15]	overflow log
			[14]	underflow log
			[13..0]	max used word count
FIFO_STATUS_REG_N+2  ZS event info FIFO before zero suppression	0x1054	R	[31..16]	used word count (11 bits)
			[15]	overflow log
			[14]	underflow log
			[13..0]	max used word count
FIFO_STATUS_REG_N+3  ZS data derandomizer RAM	0x1058	R	[31..16]	used word count (7 bits)
			[15]	not used, '0'
			[14]	not used, '0'
			[13..0]	max used word count
FIFO_STATUS_REG_N+4  ZS bank FIFO after zero suppression	0x105C	R	[31..16]	used word count (10 bits)
			[15]	overflow log
			[14]	underflow log
			[13..0]	max used word count
FIFO_STATUS_REG_N+5  ZS event control FIFO before zero suppression	0x1060	R	[31..16]	used word count (6 bits)
			[15]	overflow log
			[14]	underflow log
			[13..0]	max used word count
FIFO_STATUS_REG_N+6  ZS GOL header FIFO before zero suppression	0x1064	R	[31..16]	used word count (6 bits)
			[15]	overflow log
			[14]	underflow log
			[13..0]	max used word count
FIFO_STATUS_REG_N+7  ZS bank length FIFO	0x1068	R	[31..16]	used word count (7 bits)
			[15]	overflow log
			[14]	underflow log
			[13..0]	max used word count
FIFO_STATUS_REG_N+8  ZS event info bank FIFO	0x106C	R	[31..16]	used word count (9 bits)
			[15]	overflow log
			[14]	underflow log
			[13..0]	max used word count
FIFO_STATUS_REG_N+10	0x1074	R	[31..16]	ZS derandomizer events in counter
			[15..0]	ZS derandomizer events out counter

**Tabelle A.9: Überwachungsregister des Bank-Linkers**

Register	Offset	R/W	Bit	Inhalt
PP.BANK_CNT_REG0	0x100C	R	[31..16]	info bank counter
			[15..0]	ZS bank counter
PP.BANK_CNT_REG1	0x1010	R	[31..8]	<i>not used for OT</i>
			[7..0]	raw bank counter
PP.EVENT_CNT_REG	0x1014	R	[31..0]	number of events sent to SL FPGA
PP.ERROR_MON_REG	0x1028	R	[31]	FIFO STATUS 7 overflow log
			[30]	FIFO STATUS 7 underflow log
			:	:
			[17]	FIFO STATUS 0 overflow log
			[16]	FIFO STATUS 0 underflow log
			[15..1]	reserved
			[0]	Info parity error

**Tabelle A.10: Statusregister der FIFOs im Daten-Prozessor**

Register	Offset	R/W	Bit	Inhalt
OT_ZS_LINKER_ERROR_V_REG	0x4020	R	[31..19]	not used, all '0'
			[18]	ZS length FIFO overflow
			[17]	ZS length FIFO underflow
			[16]	info FIFO overflow
			[15]	info FIFO underflow
			[14]	event control FIFO overflow
			[13]	event control FIFO underflow
			[12]	GOL header FIFO overflow
			[11]	GOL header FIFO underflow
			[10]	bank data FIFOs overflow
			[9]	LinkerI2II FIFO overflow
			[8]	LinkerI2II FIFO underflow
			[7]	LinkerI IN-FIFO overflow
			[6]	LinkerI IN-FIFO underflow
			[5]	ZS bank FIFO overflow
			[4]	ZS bank FIFO underflow
			[3..2]	<i>not used for OT</i>
			[1]	info bank FIFO overflow
			[0]	info bank FIFO underflow

**Tabelle A.11: Register der Histogramme**

Register	Offset	R/W	Bit	Inhalt
OT_HITNUM_HISTOGRAM_RAM	0x400000	RW	[31..0]	hitmap link 0 bin 0
	0x400004	RW	[31..0]	hitmap link 0 bin 1
	:	:	:	:
	0x4000FC	RW	[31..0]	hitmap link 0 bin 63
	0x402000	RW	[31..0]	hitmap link 0 bin 64
	0x404000	RW	[31..0]	hitmap link 1 bin 0
	0x406000	RW	[31..0]	hitmap link 1 bin 64
	0x408000	RW	[31..0]	hitmap link 2 bin 0
	0x40A000	RW	[31..0]	hitmap link 2 bin 64
	0x40C000	RW	[31..0]	hitmap link 3 bin 0
	0x40E000	RW	[31..0]	hitmap link 3 bin 64
	0x410000	RW	[31..0]	hitmap link 4 bin 0
	0x412000	RW	[31..0]	hitmap link 4 bin 64
	0x414000	RW	[31..0]	hitmap link 5 bin 0
	0x416000	RW	[31..0]	hitmap link 5 bin 64
OT_HIST_CTRL	0x403C	RW	[31..10]	not used, all '0'
			[9..7]	link (0..5)
			[6..5]	OTIS (0..3)
			[4..0]	channel (0..31)
OT_DT_HISTOGRAM_RAM	0x418000	RW	[31..0]	drift-time bin 0
	0x418004	RW	[31..0]	drift-time bin 1
	:	:	:	:
	0x4183FC	RW	[31..0]	drift-time bin 255





# Anhang B

## Abkürzungen

<b>ALICE</b>	A Large Ion Collider Experiment
<b>API</b>	Application Programming Interface
<b>ASCII</b>	American Standard Code for Information Interchange
<b>ASDBLR</b>	Amplification Shaping Discrimination and Baseline Restoration (IC)
<b>ASIC</b>	Application-Specific Integrated Circuit
<b>ATLAS</b>	A Toroidal Lhc ApparatuS
<b>BCM</b>	Beam Conditions Monitor
<b>BCR</b>	Bunch Counter Reset
<b>BERT</b>	Bit Error Rate Test
<b>BX</b>	Bunch Crossing
<b>CAN</b>	Controller Area Network
<b>CAT</b>	Category
<b>CCD</b>	Charge-Coupled Device
<b>CCPC</b>	Credit Card sized PC
<b>CERN</b>	Conseil Européen pour la Recherche Nucléaire
<b>CIMT</b>	Conditional Invert Master Transition
<b>CKM</b>	Cabibbo-Kobayashi-Maskawa (Matrix)
<b>CMS</b>	Compact Muon Solenoid
<b>CPU</b>	Central Processing Unit

<b>CU</b>	Control Unit
<b>CVD</b>	Chemical-Vapor Deposition
<b>DAC</b>	Digital-to-Analog Converter
<b>DAQ</b>	Data Acquisition
<b>DB</b>	Database
<b>DBM</b>	Database Manager
<b>DCS</b>	Detector Control System
<b>DESY</b>	Deutsches Elektronen Synchrotron
<b>DIM</b>	Distributed Information Management (System)
<b>DLL</b>	Delay Locked Loop
<b>DNS</b>	Domain Name System
<b>DSS</b>	Detector Safety System
<b>DU</b>	Device Unit
<b>ECAL</b>	Electromagnetic Calorimeter
<b>ECR</b>	Event Counter Reset
<b>ECS</b>	Experiment Control System
<b>EEPROM</b>	Electrically Erasable Programmable Read-Only Memory
<b>EVM</b>	Event Manager
<b>FE</b>	Frontend
<b>FEE</b>	Frontend-Elektronik
<b>FET</b>	Feld-Effekt-Transistor
<b>FIFO</b>	First In First Out
<b>FPGA</b>	Field Programmable Gate Array
<b>FSM</b>	Finite State Machine
<b>FSMA</b>	Field Installable Subminiature Assembly
<b>GBE</b>	Gigabit Ethernet
<b>GOL</b>	Gigabit Optical Link (ASIC)

---

<b>HCAL</b>	Hadronic Calorimeter
<b>HLT</b>	Higher Level Trigger
<b>HM</b>	Hit-Map
<b>HR</b>	Hit Register
<b>HV</b>	High Voltage
<b>IC</b>	Integrated Circuit
<b>ID</b>	Identifier
<b>I<sup>2</sup>C</b>	Inter-Integrated Circuit (Bus)
<b>IOB</b>	Input/Output Block
<b>IP</b>	Internet Protocol
<b>IT</b>	Inner Tracker
<b>JCOP</b>	Joint Controls Project
<b>JTAG</b>	Joint Test Action Group
<b>L0DU</b>	Level-0-(Trigger) Decision Unit
<b>LB</b>	Logic Block
<b>LBUS</b>	Local Bus
<b>LEP</b>	Large Electron-Positron Collider
<b>LHC</b>	Large Hadron Collider
<b>LHCb</b>	Large Hadron Collider beauty (Experiment)
<b>LPT</b>	Line Printing Terminal
<b>LV</b>	Low Voltage
<b>LVDS</b>	Low Voltage Differential Signaling
<b>LWL</b>	Lichtwellenleiter
<b>MEP</b>	Multiple Event Package
<b>MPO</b>	Multifiber Push-On (Connector)
<b>MTP</b>	enhanced MPO (Connector)
<b>NFS</b>	Network File System

<b>NIKHEF</b>	Nationaal Instituut voor Kernfysica en Hoge-Energiefysica (Amsterdam)
<b>nZS Bank</b>	non Zero Suppressed Bank
<b>OPG</b>	Optical Pattern Generator
<b>ORx-Card</b>	Optical Receiver Card
<b>OT</b>	Outer Tracker
<b>OTIS</b>	Outer tracker Time Information System
<b>PC</b>	Personal Computer
<b>PCI</b>	Peripheral Component Interconnect (Bus)
<b>PLL</b>	Phase Locked Loop
<b>PM</b>	Photo Multiplier
<b>PP-FPGA</b>	Pre-Processing FPGA (auch: PP, PP0 - PP3)
<b>PROM</b>	Programmable Read-Only Memory
<b>PS</b>	Pre-Shower (Detector)
<b>PVSS</b>	Prozessvisualisierungs- und Steuerungssoftware
<b>RAM</b>	Random Access Memory
<b>RASNIK</b>	Time Relative Alignment System developed at NIKHEF
<b>RICH</b>	Ring-Imaging Cherenkov (Detector)
<b>RMS</b>	Root Mean Square
<b>SCSI</b>	Small Computer System Interface
<b>SEU</b>	Single Event Upset
<b>SL-FPGA</b>	Sync-Link FPGA (auch: SL)
<b>SPD</b>	Silicon Pad Detector
<b>SPECS</b>	Serial Protocol for the Experiment Control System
<b>SPS</b>	Super Proton Synchrotron
<b>SRAM</b>	Static Random Access Memory
<b>ST</b>	Silicon Tracker
<b>TDC</b>	Time-to-Digital Converter

---

<b>TFC</b>	Timing and Fast Control
<b>TRT</b>	Transition Radiation Tracker
<b>TT</b>	Tracker Turicensis (ehemals Trigger Tracker)
<b>TTC</b>	Timing Trigger and Control
<b>TTCoc</b>	Timing Trigger and Control optical coupler
<b>TTCrx</b>	Timing Trigger and Control receiver
<b>TTCtx</b>	Timing Trigger and Control transmitter
<b>TTCvi</b>	Timing Trigger and Control vme-bus interface
<b>TTCvx</b>	Timing Trigger and Control vme-bus transmitter
<b>UIM</b>	User Interface Manager
<b>USB</b>	Universal Serial Bus
<b>VCSEL</b>	Vertical Cavity Surface Emitting Laser
<b>VELO</b>	Vertex Locator
<b>VHDL</b>	Very high speed integrated circuit Hardware Description Language
<b>VME</b>	Versa Module Eurocard
<b>ZS</b>	Zero Suppression
<b>ZS Bank</b>	Zero Suppressed Bank





# Quellenverzeichnis

- [1] J. H. Christenson, J. W. Cronin, V. L. Fitch, and R. Turlay. Evidence for the  $2\pi$  decay of the  $k_2$  meson. *Phys. Rev. Lett.*, 13(4):138–140, Jul 1964.
- [2] C. Berger  
Elementarteilchenphysik, Springer 2002.
- [3] The LHCb Collaboration  
LHCb Technical Design Report (TDR9) / LHCC 2003-030, September 2003.
- [4] The LHCb Collaboration  
LHCb Technical Proposal (P4) / LHCC 98-4, Februar 1998.
- [5] Internetseite der LHCb Physik Arbeitsgruppen.  
<https://twiki.cern.ch/twiki/bin/view/lhcb/lhcbphysics/>, 3. November 2008.
- [6] The CDF Collaboration  
Observation of  $B_s^0$ - $\bar{B}_s^0$  Oscillations, September 2006.
- [7] J. F. Libby  
Measuring CP violation in  $B_s^0 \rightarrow \phi\phi$  with LHCb, April 2007.
- [8] CERN LHC-Internetseite.  
<http://ab-div.web.cern.ch/ab-div/publications/lhc-designreport.html>, 12. November 2008.
- [9] CERN Internetseite.  
<http://public.web.cern.ch/public/en/lhc/lhc-en.html>, 13. November 2008.
- [10] T. Gleisberg et al. Sherpa 1.alpha, a proof-of-concept version. *JHEP*, 02:056, 2004.
- [11] ChemLin Internetseite.  
<http://www.chemlin.de/chemie/aerogelege.htm>, 12. September 2008.
- [12] The LHCb Collaboration  
RICH Technical Design Report (TDR3) / LHCC 2000-037, September 2000.
- [13] The LHCb Collaboration  
Outer Tracker Technical Design Report (TDR6) / LHCC 2001-024, September 2001.

- [14] The LHCb Collaboration  
Magnet Technical Design Report / LHCC 2000-7, 2000.
- [15] The LHCb Collaboration  
LHCb Calorimeters Technical Design Report (TDR2) / LHCC 2000-036, September 2000.
- [16] The LHCb Collaboration  
LHCb Muon System Technical Design Report (TDR4) / LHCC 2001-010, Mai 2001.
- [17] S. Bachmann, A. Pellegrino  
Geometry of the LHCb Outer Tracker / LHCb 2003-035, Mai 2003.
- [18] The LHCb Collaboration  
LHCb Inner Tracker Technical Design Report (TDR8) / LHCC 2002-029, November 2002.
- [19] S. Schleich  
FPGA based Data Acquisition and Beam Dump Decision System for the LHCb Beam Conditions Monitor, Diplomarbeit 2008.
- [20] M. Lieng  
Summary of simulations for the Beam Conditions Monitor at the LHCb, Mai 2008.
- [21] The LHCb Collaboration  
LHCb Trigger System Technical Design Report (TDR10) / LHCC 2003-031, September 2003.
- [22] G. Haefeli, A. Bay, A. Gong, H. Gong, M. Muecke, N. Neufeld, O. Schneider  
The LHCb DAQ interface board TELL1, November 2005.
- [23] U. Uwer, A. Pellegrino, D. Wiedner  
Address Scheme for the Outer Tracker FE Electronics / LHCb 2003-041, September 2003.
- [24] J. Christiansen  
Requirements to the L1 front-end electronics / Rev. 3, EDMS 715154, Mai 2006.
- [25] Z. Guzik, R. Jacobsson  
LHCb readout supervisor 'ODIN' / EDMS 704078, August 2005.
- [26] P.-Y. Duval  
Guide for ECS FSM design in LHCb sub-detectors / EDMS 655828, Januar 2007.
- [27] B. Blum, W. Rolandi  
Particle Detection with Drift Chambers, Springer-Verlag Berlin, Heidelberg 1993.

- [28] Outer Tracker Internetseite des NIKHEF Amsterdam (Module Design).  
<http://www.nikhef.nl/pub/experiments/bfys/lhcb/outertracker/>, 26. Januar 2008.
- [29] RASNIK Internetseite des NIKHEF Amsterdam.  
[http://www.nikhef.nl/pub/departments/et/ccd\\_rasnik/ccd\\_rasnik.html](http://www.nikhef.nl/pub/departments/et/ccd_rasnik/ccd_rasnik.html), 16. Oktober 2008.
- [30] ATLAS Internetseite der Universität von Pennsylvania.  
<http://www.hep.upenn.edu/atlas/asdbl/>, 12. November 2008.
- [31] G.W. van Apeldoorn et al.  
 Beam Test of Final Modules and Electronics of the LHCb Outer Tracker in 2005 / LHCb 2005-076, Oktober 2005.
- [32] H. Deppe, U. Stange, U. Trunk, U. Uwer  
 The OTIS Reference Manual / Version 1.3 $\gamma$ , März 2006.
- [33] U. Stange  
 Development and Characterisation of a Radiation Hard Readout Chip for the LHCb Outer Tracker Detector, Dissertation 2005.
- [34] S. Bachmann, F. Eisele, T. Haas, U. Uwer, M. Walter, D. Wiedner  
 Developments for the outer tracking system of the LHCb experiment, Elsevier B.V. 2003.
- [35] P. Moreira, T. Toifl, A. Kluge, G. Cervelli, A. Marchioro, J. Christiansen  
 GOL Reference Manual / Version 1.9, Oktober 2005.
- [36] CCPC Internetseite des CERN.  
<http://lhcb-online.web.cern.ch/lhcb-online/ecs/ccpc/default.htm>, 2. November 2006.
- [37] Internetseite von Force 10 Networks.  
<http://www.force10networks.com/>, 16. Januar 2008.
- [38] The LHCb Collaboration  
 Addendum to the LHCb Online System Technical Design Report (TDR7) / LHCC 2005-039, November 2005.
- [39] Outer Tracker Internetseite des NIKHEF Amsterdam (ECS).  
<http://www.nikhef.nl/pub/experiments/bfys/lhcb/outerTracker/>, 27. Januar 2008.
- [40] DIM Internetseite des CERN.  
<http://dim.web.cern.ch/dim/>, 4. Mai 2006.
- [41] Internetseite von ETM.  
<http://www.etm.at/>, 17. Januar 2008.

## QUELLENVERZEICHNIS

---

- [42] JCOP Internetseite des CERN.  
<http://itco.web.cern.ch/itco/projects-services/jcop/welcome.html>, 13. November 2008.
- [43] T. Haas  
Bau und Inbetriebnahme eines Teststandes zur Untersuchung von Straw-Kammern mittels Kosmischer Myonen, Diplomarbeit 2003.
- [44] J. Knopf  
Aufbau eines Auslesesystems für die äußeren Spurkammern des LHCb-Detektors, Diplomarbeit 2004.
- [45] D. Wiedner  
Aufbau der Ausleseelektronik für das äußere Spurkammersystem des LHCb-Detektors, Dissertation 2004.
- [46] M. Nedos  
Entwicklung und Implementierung eines mit FPGAs realisierten Systems zur Auslese des Äußere Spurkammersystems des LHCb-Detektors, Diplomarbeit 2004.
- [47] Internetseite von Altera.  
<http://www.altera.com/>, 11. Januar 2008.
- [48] Internetseite von Jungo.  
<http://www.jungo.com/>, 20. Januar 2008.
- [49] Internetseite von ROOT.  
<http://root.cern.ch/>, 20. Januar 2008.
- [50] M. Wannemacher  
Das FPGA-Kochbuch, International Thomson Publishing GmbH 1998.
- [51] C. Maxfield  
The Design Warrior's Guide to FPGAs, Elsevier 2004.
- [52] Altera Corporation  
AN 297 Optimizing FPGA Performance Using the Quartus II Software, Juni 2003.
- [53] A. Gong, G. Haefeli  
TELL1 internal data transform protocol, Februar 2006.
- [54] Altera Corporation  
Stratix Device Family Data Sheet, Juli 2005.
- [55] A. Gong, J. Nardulli, A. Pellegrino, D. Wiedner, M. Nedos  
Outer Tracker DAQ data format / EDMS 833984, Juli 2006.
- [56] H. Deppe, J. Knopf, U. Stange, U. Trunk, U. Uwer, D. Wiedner  
Synchronisation of the LHCb Outer Tracker Optical Links, März 2004.

- [57] J. Ziv, A. Lempel  
A Universal Algorithm for Sequential Data Compression, 1977.
- [58] O. Callot, M. Cattaneo, M. Frank, R. Jacobsson, B. Jost, P. Mato, N. Neufeld  
RAW-data Format / EDMS 565851.5, Dezember 2005.
- [59] H. Gong, A. Gong, H. Lei, D. Gang, G. Haefeli  
ECS Interface Library User Guide Release v2.4, Dezember 2007.
- [60] PVSS Internetseite des CERN.  
<http://lhcb-online.web.cern.ch/lhcb-online/ecs/pvssintro.htm>, 23. Mai 2008.
- [61] J. Christiansen, F. Bal, M. Muecke  
2 x 12 way optical pattern generator (OPG) for TELL1 test system, Oktober 2004.
- [62] V. Bobillier  
Qualification of the optical links for the data readout in LHCb, Januar 2005.
- [63] U. Uwer, D. Wiedner  
Specification for the IF13-2 Prototype of the Auxiliary Board for the Outer Tracker  
/ LHCb-2005-039, Juli 2005.
- [64] G. Haefeli, U. Uwer, A. Vollhardt, D. Wiedner  
Prototype IF14-1 for an Optical 12 input Receiver Card for the LHCb TELL1  
Board / LHCb-2004-072, September 2004.
- [65] Agilent Technologies  
Application Note 1490, Juli 2007.
- [66] L. Hommels, Th. Bauer, A. Berkien, A. Pellegrino, T. Sluijk  
Noise Studies with the LHCb Outer Tracker ASDBLR Board / LHCb 2004-117,  
Dezember 2004.
- [67] R. Schwemmer  
Commissioning of the LHCb Outer Tracker Front-end electronics, Diplomarbeit  
2007.
- [68] Tempo Research Corporation, ([www.tempo.textron.com](http://www.tempo.textron.com))  
Data Sheet MTP Connectors, 2003.
- [69] AMP Incorporated  
Data Sheet FSMA 905 & 906 Connectors, 1997.
- [70] Ergebnisse von LHCb-Ereignis-Rekonstruktionen mit Panoramix (Internetseite).  
<http://lhcb-reconstruction.web.cern.ch/lhcb-reconstruction/panoramix/prplots/cern-press/>, 3. November 2008.



# Danksagung

An dieser Stelle möchte ich mich bei allen bedanken, die mich während meiner Promotionsarbeit unterstützt haben.

Ganz besonders danke ich Herrn Prof. Dr. Bernhard Spaan für sein Vertrauen und die Möglichkeit, meinen Beitrag zu einem renommierten Experiment der Teilchenphysik leisten zu können. Matthias Domke, Markus Kolander und Kai Warda standen mir mit Rat und Tat in allen technischen und organisatorischen Fragen zur Seite. Außerdem danke ich den Kollegen der Elektronikentwicklung und der Elektronikwerkstatt für die gute Zusammenarbeit. Meinen Mitstreitern am Lehrstuhl EV danke ich für ihre Hilfsbereitschaft sowie für die zahlreichen geselligen Abende, die wir miteinander verbrachten.

Für die fruchtbare Zusammenarbeit möchte ich mich bei den Kollegen aus Heidelberg, speziell bei Ulrich Uwer, Dirk Wiedner, Jan Knopf, Rainer Schwemmer, Tanja Haas und Sebastian Bachmann bedanken. Gleiches gilt auch für die Kollegen vom NIKHEF Amsterdam, wobei ich Antonio Pellegrino für die freundliche Integration in die Arbeitsgruppe danke. Des Weiteren geht ein besonderer Dank an Alex Gong von der Tsinghua Universität in Peking, der mich bei der Entwicklung des FPGA-Designs auf den richtigen Weg gebracht hat. Für die anregenden Diskussionen über die FPGA-Programmierung danke ich Guido Haefeli von der EPFL in Lausanne.

Ohne Maika, meine Frau, die mich in der ganzen Zeit besonders unterstützt und an mich geglaubt hat, wäre diese Arbeit nicht so schnell entstanden. Schließlich möchte ich auch meiner Familie für ihr Verständnis und ihre Unterstützung danken.

Diese Arbeit wurde durch das Bundesministerium für Bildung und Forschung gefördert.