

Adrian Romiński, Dariusz Makowski, Andrzej Napieralski

POLITECHNIKA ŁÓDZKA, KATEDRA MIKROELEKTRONIKI I TECHNIK INFORMATYCZNYCH

Cyfrowy synchroniczny układ ASIC, jako detektor promieniowania neutronowego

dr inż. Adrian Romiński,

Pracownik naukowo-dydaktyczny, na stanowisku adiunkta Katedry Mikroelektroniki i Techniki Informatycznych Politechniki Łódzkiej. W swojej działalności badawczej zajmuje się zagadnieniami związanymi z projektowaniem, analizą i optymalizacją analogowych i cyfrowych układów scalonych, ze szczególnym uwzględnieniem wykorzystania oprogramowania wspomagającego CAD-EDA. Podejmował również tematy związane z przetwarzaniem sygnałów akustycznych i multimediami.

e-mail: rominski@dmcs.p.lodz.pl



dr inż. Dariusz Makowski,

e-mail: dmakow@dmcs.p.lodz.pl

prof. dr hab. inż. Andrzej Napieralski,

e-mail: napier@dmcs.p.lodz.pl

Streszczenie

Artykuł przedstawia projekt selektywnego detektora promieniowania neutronowego, zbudowanego z wykorzystaniem układu cyfrowego wrażliwego na odwracalne błędy pojedyncze SEU (ang. Single Event Upset). Dla zwiększenia wrażliwości struktury rejestru na występowanie odwracalnych błędów SEU opracowano szereg metod, zaprezentowanych w artykule. Przedstawiono też symulacje określające warunki poprawnej pracy oraz parametry układu, które zgodnie z zapewnieniem dostawcy technologii powinien spełniać.

Słowa kluczowe: Błędy pojedyncze SEU, rejestr przesuwany, układ scalony ASIC

Synchronous Digital ASIC as neutron radiation detector

Abstract

The paper presents a design of neutron radiation detector. The neutron detector was designed with the application of sensitive to reversible Single Event Upsets (SEUs) digital circuit. The detector bases on a modified shift register (see fig. 3), using dual supply voltage.. The paper presents a number of methods that were developed to enhance sensitivity of the detector to reversible SEUs.

The paper discusses physical phenomena that have influenced on the technological fabrication process and topology of the integrated circuit. Some exemplary parameters of the designed register has been given (input capacitance, clock-to-output delay) for the internal flip-flops, pre-layout, as well as post-layout (with extracted parasitic components) simulations, with visible (e.g. approx. 2-3 times) difference between ideal (pre-layout) and real (post-layout) design. The simulation tests and the final layout (see fig. 4) were prepared using CADENCE IC environment in 6.1.4 version, as the process design kit for chosen ITE CMOS technology allowed. General research background and realization perspective (selected foundry run) was shown in the conclusion chapter. Also the perspectives of a future test-bench circuit in real and factual radiation environment were briefly described.

Keywords: Single Event Upset, register, Application Specific Integrated Circuit (ASIC)

1. Wstęp

Problem negatywnego oddziaływania promieniowania neutronowego na układy cyfrowe zaobserwowano podczas budowy i eksploatacji akceleratorów wykorzystywanych w eksperymentach fizyki wysokich energii. Przyspieszaniu cząstek towarzyszy emisja promieniowania, które powoduje generowanie odwracalnych błędów pojedynczych SEU (z ang. Single Event

Upsets) w układach cyfrowych (np.: przerzutnikach, pamięciach) [1].

Urządzenia elektroniczne i systemy sterujące akceleratorami liniowymi, takimi jak FLASH (Free Electron Laser in Hamburg) lub budowanym obecnie laserem XFEL (z ang. X-Ray Free Electron Laser) w ośrodku naukowo-badawczym DESY są narażone na oddziaływanie promieniowania neutronowego oraz gamma. W celu opracowania metod umożliwiających bezawaryjną pracę układów elektronicznych sterujących akceleratorem niezbędne jest poznanie atmosfery promieniotwórczej akceleratora oraz monitorowanie obecnego promieniowania w czasie jego pracy. Jednym z wymagań dotyczących niezawodności systemu sterowania LLRF (ang. Low Level Radio Frequency) akceleratorem jest monitorowanie promieniowania w bezpośrednim sąsiedztwie układów elektronicznych systemu podczas normalnej pracy akceleratora [1]. W przypadku wykrycia zbyt wysokiego poziomu promieniowania istnieje możliwość wyłączenia systemu lub ograniczenia natężenia pola magnetycznego zasilającego wnęki przyspieszające (ang. cavity), co spowoduje obniżenie poziomu wytwarzanego promieniowania gamma i neutronowego.

Do pomiaru natężenia promieniowania gamma wykorzystywane są głównie detektory gazowe lub TLD, natomiast do pomiaru promieniowania neutronowego detektory gazowe, bąbelkowe lub TLD [2]. Wymienione powyżej detektory gazowe mają znaczne rozmiary i nie nadają się do pomiaru promieniowania w bezpośrednim sąsiedztwie układów elektronicznych. Detektory bąbelkowe oraz TLD nie umożliwiają pomiaru promieniowania w czasie rzeczywistym. Ze względu na potrzebę rejestracji promieniowania w bezpośrednim sąsiedztwie układów elektronicznych idealnym rozwiązaniem byłoby użycie detektora krzemowego o niewielkich rozmiarach wykonanego w postaci układu scalonego, który mógłby zostać zintegrowany w układami systemu sterującego LLRF. Do pomiaru promieniowania gamma można wykorzystać detektor krzemowy RadFET zbudowany w oparciu o odpowiednio zmodyfikowany tranzystor MOS [3], natomiast fluencję neutronów można mierzyć przy pomocy diod półprzewodnikowych lub pamięci półprzewodnikowych [4]. Diody wykorzystywane są do pomiaru fluencji większych niż 10^{10} n·cm⁻². W przypadku akceleratorów liniowych, takich jak FLASH lub XFEL w ciągu 1s generowana jest fluencja neutronów rzędu 10^5 n·cm⁻². Zarówno czułość diod jak i komercyjnie dostępnych pamięci półprzewodnikowych nie jest wystarczająca do pomiaru fluencji w tunelu akceleratora w czasie rzeczywistym. Modyfikując budowę klasycznej pamięci statycznej o dostępie swobodnym SRAM (ang. Static Random Access Memory) oraz proces produkcji układu możliwe jest zwiększenie wrażliwości pamięci na występowanie błędów SEU [1]. Pozwala to na zaprojektowanie detektora fluencji neutronów, który mógłby zostać wykorzystany do pomiaru fluencji neutronów w tunelu akceleratorów liniowych. W dalszej części artykułu zostanie opisana zasada działania oraz praktyczna implementacja detektora zbudowanego w oparciu o pamięć SRAM.

2. Scalony detektor promieniowania neutronowego

Zasada działania detektora fluencji neutronów zbudowanego w oparciu o pamięć SRAM wykorzystuje zjawisko generacji niepożądanych odwracalnych błędów pojedynczych SEU w komórkach pamięci. Przeprowadzone badania pamięci wykazały,

że liczba błędów wygenerowanych w pamięci zwiększa się wraz ze zwiększającą się fluencją neutronów. Wykorzystanie odpowiednio czulej pamięci pozwala na zbudowanie detektora neutronów, referencyjnego licznika błędów SEU, który mógłby posłużyć do generowania sygnału informującego o zbyt dużej fluencji neutronów w tunelu akceleratora. Skalibrowane detektory promieniowania mogą zostać wykorzystywane w dozymetrii podobnie jak dozymetry bąbelkowe lub TLD do pomiaru fluencji neutronów.

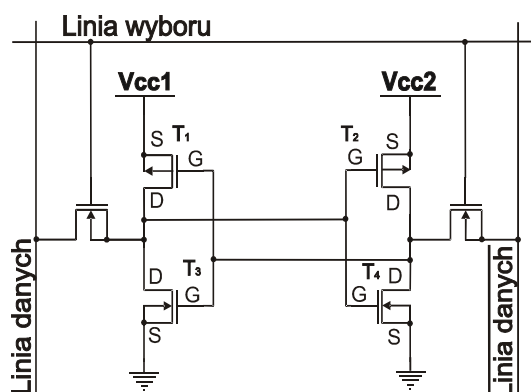
Wrażliwość pamięci statycznej na występowanie błędów pojedynczych może zostać zwiększone poprzez zastosowanie jednej lub kilku poniższych metod:

1. Zwiększenie powierzchni obszaru wrażliwej pamięci,
2. Zastosowanie moderatora spowalniającego neutrony, obecność warstwy konwersyjnej zawierającej izotop 10 boru – szkło boro-fosforowe BPSG (ang. BoroPhosphoSilicate Glass),
3. Obniżenie napięcia zasilającego komórki pamięci,
4. Wykorzystanie zmodyfikowanej komórki pamięci SRAM,
5. Zastosowanie zewnętrznego moderatora neutronów.

Zwiększenie powierzchni pamięci umożliwia liniowy wzrost czułości detektora (przy założeniu, że układy wykonane są w tej samej technologii). Ze względu na ograniczone pojemności pamięci statycznych metoda ta pozwala na kilkukrotne zwiększenie czułości detektora. Znacznie lepsze efekty uzyskano badając wrażliwość pamięci, w których występuje izotop boru B-10. Izotop boru odpowiedzialny jest za generowanie wysokoenergetycznych cząstek alfa w wyniku reakcji nuklearnej z neutronami termicznymi $^{10}\text{B}(n,\alpha)^7\text{Li}$ [1]. Wykorzystanie klasycznej technologii produkcji układów scalonych, w której wykorzystywane jest szkło boro-fosforowe BPSG pozwala na zwiększenie czułości detektora o dwa rzędy wielkości. Dalsze zwieszenie wrażliwości możliwe jest po użyciu dodatkowego moderatora neutronów (np. polietylenu) powodującego spowolnienie i produkcję neutronów termicznych. Jednakże zastosowanie zewnętrznego moderatora znacznie zwiększa rozmiary całego detektora [1].

Kolejną metodą pozwalającą na zwiększenie czułości detektora jest obniżenie napięcia zasilającego pamięć. Zmniejszenie napięcia z 5 V do 3 V pozwala na zwiększenie wrażliwości o dwa rzędy wielkości.

Ostatnią metodą jest zastosowanie zmodyfikowanej komórki pamięci zasilanej dwoma różnymi napięciami. Schemat ideowy pojedynczej komórki pamięci 6T przedstawiono na rysunku 1.

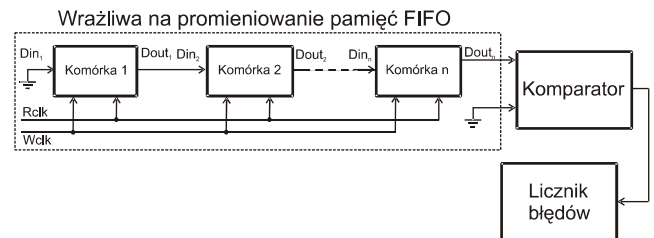


Rys. 1. Schemat ideowy zmodyfikowanej komórki pamięci SRAM
Fig. 1. Schematic diagram of the modified SRAM memory cell

Wprowadzenie asymetrii zasilania ($V_{cc1} \neq V_{cc2}$) komórki powoduje powstanie jednego stanu uprzywilejowanego. W czasie pomiaru komórki pamięci powinny zostać ustawione w stanie mniej prawdopodobnym. Asymetria występująca w układzie powoduje obniżenie ładunku krytycznego niezbędnego do powstania błędu SEU. Różnica napięć może być dowolnie

modyfikowana aż do samoistnego występowania błędów spowodowanych zewnętrznymi zakłóceniami.

Wykorzystanie klasycznej matrycowej pamięci SRAM powoduje konieczność budowy dedykowanego układu odczytowego. Układ generuje kolejne adresy i przeszukuje pamięć pod kątem występowania błędów SEU. W przypadku wykrycia błędu zwiększany jest licznik błędów, a zmodyfikowana dana w pamięci jest odtwarzana.



Rys. 2. Schemat blokowy detektora neutronów bazującego na pamięci FIFO
Fig. 2. Block diagram of the neutron detector based on FIFO memory

Procesu kodowania, dekodowania oraz przesyłania dużej ilości sygnałów adresowych można uniknąć stosując łańcuchową pamięć FIFO (ang. First In First Out). Schemat blokowy przykładowego detektora fluencji przedstawiono na rysunku 2. Architektura detektora neutronów, oparta na pamięci FIFO, wykorzystującej zmodyfikowaną komórkę pamięci, pozwala na budowę taniego detektora neutronów w postaci układu ASIC. W takim przypadku detektor może zostać bezpośrednio zintegrowany z prostym układem odczytowym. Należy nadmienić, że w celu uzyskania dużej czułości układ powinien zostać wykonany w technologii umożliwiającej naniesienie izotopu 10 boru, np. w postaci szkła boro-fosforowego BPSG.

3. Implementacja scalona – wybór technologii

Do implementacji wybrano technologię CMOS oferowaną przez Instytut Technologii Elektronowej w Piasecznie pod Warszawą. Za takim wyborem przemawiało kilka przesłanek, w tym:

- dobry kontakt z osobami odpowiedzialnymi za produkcję i projektowanie układów w ITE,
- chęć do współpracy przy modyfikacji parametrów toru technologicznego (m. in. pokrycie pasywającą ze szkła boro-fosforowego) dla potrzeb detektora,
- niska cena prototypu, możliwość niskoseryjnej produkcji oraz przeprowadzenia badań kilku wersji detektora,
- dane projektowe kompatybilne z najnowszym środowiskiem projektowym wykorzystywanym w naszej jednostce (CADENCE IC 6.1.4).

Przy uwzględnieniu wszystkich zalet współpracy z polskim dostawcą technologii, należało również pamiętać o niedoskonałościach, jakie się z nią wiążą:

- przestarzały proces o szerokości ścieżki ok. 3 μm ,
- nominalne napięcie zasilania na poziomie 5 V (duży pobór mocy i odporność na zakłócenia),
- duży rozrzut parametrów technologicznych (linia produkcyjna ma charakter badawczy i nie jest zachowana ciągłość produkcji),
- modele przyrządów, które nie uwzględniają wszystkich aspektów produkcji (w tym pełnego, statystycznego rozrzutu parametrów podczas produkcji),
- brak w danych technologicznych niektórych udogodnień oferowanych przez środowisko projektowe CADENCE (np. automatycznego składania tranzystorów na layoutcie).

Biorąc pod uwagę wszystkie za i przeciw postanowiono wykonać układ w postaci rejestru przesuwanego w oferowanej technologii, przy czym dla zminimalizowania kosztów oraz dla zaspokojenia również innych potrzeb badawczych pozostałych zainteresowanych pracowników naszej jednostki, zdecydowano się na układ wielofunkcyjny spełniający również inne zadania, zaprojektowane przez pozostałych uczestników projektu.

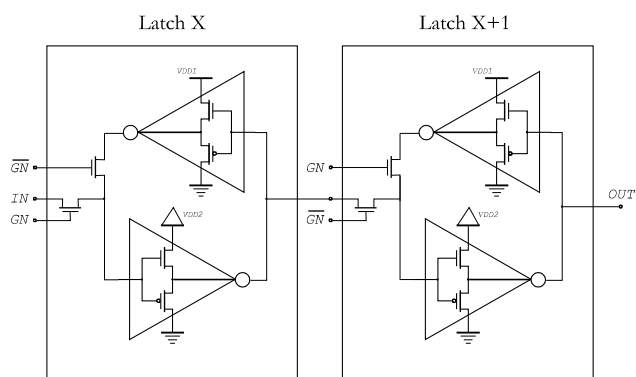
Należy również wspomnieć o alternatywnych technologiach dostępnych m. in. w ramach programu EUROPRACTICE. Należą do nich technologie CMOS oferowane przez następujących dostawców:

- TSMC 90 nm,
- AMS 350 nm,
- On Semi 350 nm
- i inne w ramach oferty organizacji Europractice.

Należy się spodziewać, że największą czułość będą posiadały układy o najmniejszym rozmiarze charakterystycznym (rozmiarze kanału tranzystora), jednak koszt technologii 90 nm jest wciąż znacznie wyższy (zwłaszcza w porównaniu z cenami oferowanymi przez ITE), a szkło boro-fosforowe, jako materiał pasywacyjny został wyeliminowany ze względu na wnoszone zakłócenia powstałe przy absorpcji promieniowania obecnego w normalnym środowisku pracy (m. in. promieniowanie kosmiczne). Modyfikacje procesu również nie były możliwe, bez negocjacji i zamówień komercyjnych o znacznych długościach serii.

4. Rejestr przesuwany, jako akumulator błędów SEU

Najprostszą możliwą konfiguracją pozwalającą wykorzystać efekt błędów SEU, jako wskaźnik poziomu promieniowania neutronowego jest szeregowy rejestr przesuwany, złożony z ciągu przerzutników master-slave typu D wyzwalanych zboczem. Jak podano wcześniej, zwiększenie czułości przerzutnika można osiągnąć obniżając napięcie jednego z inwerterów składowych, dla każdego z przerzutników składowych, typu D-zatrask co przedstawiono schematycznie na rys. 3 (opis za pomocą przerzutników bazuje na przedstawionej wcześniej idei wykorzystania komórki 6T pamięci RAM). Na rysunku 3 przedstawiono również koncepcję połączenia dowolnej liczby przerzutników typu zatrask, w rejestr o dowolnej długości. W fizycznej realizacji należy uwzględnić inwertery potrzebne do wysterowania wejścia wyzwalania, co drugiego przerzutnika oraz połączenie ich w struktur drzewa zegarowego, zapewniającego dostarczenie sygnału wyzwalania w jednakowej fazie do wszystkich przerzutników w układzie.



Rys. 3. Schemat połączeń podstawowych komórek rejestru (zatrasków)
Fig. 3. Basic cells (latches) and their connection in the shift register

Zgodnie z przedstawionym opisem teoretycznym, wprowadzona do rejestru wartość binarna, jest narażona na

zakłócenia pochodzące od promieniowania i może tym samym ulec zmianie względem ustalonej wartości, która do rejestru została wprowadzona. Liczba zmian stanu przerzutników składowych powinna być proporcjonalna do liczby neutronów przechodzących przez powierzchnię rejestru.

W stosunku do standardowego rejestru złożonego z komórek standardowych dla danej technologii CMOS (dostępnych również w ramach technologii oferowanej przez ITE), cechą wyróżniającą są osobne linie zasilania prowadzone dla poszczególnych inwerterów składowych. Warto zauważyć zbieżność tej koncepcji z prowadzeniem osobnego zasilania dla składowych przerzutników typu zatrask, wykorzystywanym w rozwiązaniach ograniczających pobór energii (ang. *Low Power*) jako Rejestr Podtrzymania Stanu (ang. *State Retention Register*) [5].

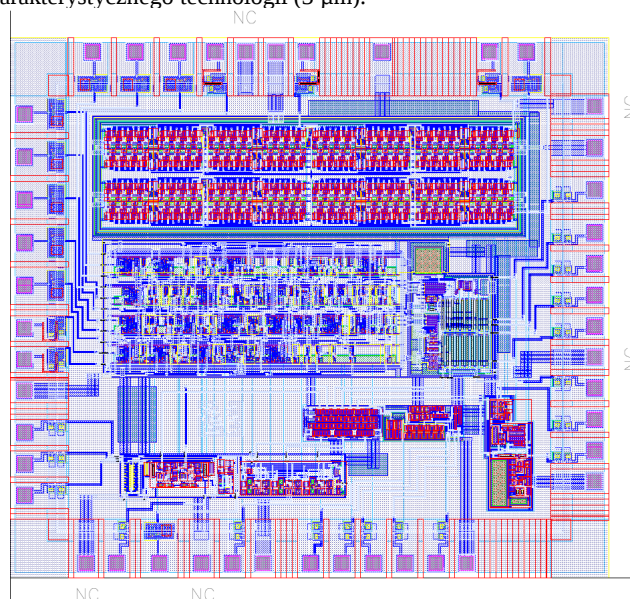
Pomimo topologii bardzo zbliżonej do standardowych układów cyfrowych, podwójna linia zasilająca narzuca konieczność samodzielnej budowy (layout) i charakterystyki komórek standardowych (w innym wypadku dostępnych wraz z bibliotekami technologicznymi producenta) dla potrzeb projektowanego układu.

5. Konstrukcja układu – layout i symulacje

Ostateczny projekt układu z dołączonymi buforami zegarowymi i symetrycznym rozkładem komórek oraz dystrybucją sygnału zegarowego pokazano w postaci layoutu na rys. 4. Część obejmująca układ rejestru przesuwanego wyróżnia się swoją regularną strukturą od pozostałych elementów projektu w górnej części rysunku (ok. 1/3 zajmowanej powierzchni rdzenia).

Przedstawiony rejestr obejmuje 16X8 komórek pamięci (tj. 128 przerzutników typu D-zatrask) wraz z dystrybucją sygnału zegarowego, która okazała się bardzo istotna. Niewłaściwe poprowadzenie i buforowanie sygnału zegara doprowadzało do braku sygnału na wyjściu i dyskwalifikowało projekt. Sygnał niebuforowany nie był w stanie wysterować wejść wyzwalania przerzutników, a doprowadzenie sygnału wyzwalania w różnych fazach dawało nieprawidłowe rezultaty, bądź brak odpowiedzi na wyjściu.

Warto zauważyć, że mimo stosunkowo niewielkiej pojemności rejestru tzn. 64 przerzutniki typu D wyzwalane zboczem (każde 2 przerzutniki D-zatrask wyznaczają jeden przerzutnik typu D wyzwalany zboczem) względna (w odniesieniu do pozostałych części układu ok. 1/3) jak i bezwzględna (ok. 3,6 x 1,0 mm = 3,6 mm²) powierzchnia zajmowana przez rejestr jest znaczna. Wynika to z dużego, jak na współczesne standardy, rozmiaru charakterystycznego technologii (3 μm).



Rys. 4. Layout całego projektu zawierającego układ rejestru (w górnej części)
Fig. 4. Whole chip layout with shift register included (upper part of the core)

We wczesnej fazie wykorzystywano koncepcję w postaci schematu ideowego, natomiast po realizacji layoutu dokonano ekstrakcji elementów pasożytniczych i symulacje końcowe przeprowadzono w oparciu o szczegółowy model zaprojektowanego układu (z uwzględnieniem elementów pasożytniczych – post-layout). Jako symulację funkcjonalną wykorzystano wprowadzanie pseudolosowego ciągu binarnego i obserwację odpowiedzi. Odpowiedź powinna być identyczna tylko przesunięta o odpowiednią liczbę impulsów zegarowych. Sprawdzono również poziomy napięć, przy których symulacja funkcjonalna przebiega prawidłowo, dla napięć odpowiednio 5 i 3 V, praca układu była poprawna.

Z podstawowych parametrów charakteryzujących układ wyekstrahowano:

- Pojemność wejściową pinu zegara 0,344 pF (post-layout 0,951 pF)
- Pojemność wejściową pinu wejściowego 0,342 pF (post-layout 0,950 pF)
- Czas odpowiedzi pojedynczego przerzutnika wyzwalanego zboczem (zmiana stanu z 0 na 1): 9,801 ns (post-layout 14,34 ns)
- Czas odpowiedzi pojedynczego przerzutnika wyzwalanego zboczem (zmiana stanu z 1 na 0): 11,96 ns (post-layout 17,69 ns)

Na wyniki symulacji znaczący wpływ miały dostarczane przez producenta modele podstawowych elementów półprzewodnikowych, cechowały się sporymi zmianami, z wersji na wersję (odczuwalnymi zwłaszcza przez pozostałą część zespołu projektowego przygotowującego blok analogowy).

6. Podsumowanie

Do przeprowadzenia testów czułości detektora niezbędne jest zbudowanie odpornego na wpływ promieniowania układu odczytowego. Logika odczytowa zbudowana zostanie z wykorzystaniem układu programowalnego FPGA (ang. Field Programmable Gate Array). W celu zwiększenia odporności układu odczytowego na występowanie błędów pojedynczych SEU logika sterująca zostanie zaprojektowana z wykorzystaniem nadmiarowej redundancji TRM (ang. Triple Modular Redundancy). System odczytowy zostanie zaimplementowany w układzie FPGA wyposażonym w pamięć nieulotną FLASH, w której przechowywana jest konfiguracja układu. Zastosowanie pamięci FLASH pozwala na dodatkowe zmniejszenie podatności układu na występowanie błędów SEU.

Testy wrażliwościowe układu przeprowadzone zostaną z wykorzystaniem źródła promieniowania neutronowego $^{241}\text{AmBe}$.

Matryca pamięci wraz z układem odczytowym zostanie wystawiona na oddziaływanie promieniowania neutronowego. W czasie naświetlania będą zliczane błędy SEU zarejestrowane w strukturze pamięci. Planuje się przeprowadzanie testów dla obniżonego napięcia zasilającego (mniejszego od 5 V) oraz dla różnych wartości napięć V_{cc1}/V_{cc2} . Druga seria testów zostanie przeprowadzona w akceleratorze Linac II w ośrodku naukowo-badawczym DESY w Hamburgu.

Ze względu na przesunięcia w realizacji układu ze względów formalnych, spodziewana oddanie próbek do produkcji nastąpić powinno w perspektywie 2 miesięcy (podczas tej konferencji powinny być gotowe pierwsze prototypy). Ze względu na duży rozrzut parametrów produkowanych próbek, jak i nawet wyników symulacji (podawany rozrzut statystyczny parametrów uwzględniony w modelach przyrządów oraz rozrzut powstały w wyniku zmian i poprawek wnoszonych do danych technologicznych przez producenta).

Z podstawowych wniosków jakie można wyciągnąć z prezentowanego projektu układu, oprócz wspomnianego znacznego rozrzutu parametrów technologicznych, można również odnotować znaczną różnicę wyników post- i pre-layout dla układu, co na szczęście nie powinno mieć znaczącego wpływu na funkcjonalność tak prostego układu jak rejestr przesuwany. Innym nasuwającym się wnioskiem jest znacząca powierzchnia zajmowana przez układy cyfrowe niskiej skali integracji, w technologii CMOS oferowanej przez ITE.

Wyniki badań opisanych w artykule wykonane zostały w ramach 7 projektu ramowego EuCARD (European Coordination for Accelerator Research and Development) finansowanego przez Unię Europejską oraz Ministerstwo Nauki i Szkolnictwa Wyższego, kontrakt numer 227579.

7. Literatura

- [1] D. Makowski, "The impact of radiation on electronic devices with the special consideration of neutron and gamma radiation monitoring", Politechnika Łódzka, praca doktorska 2006.
- [2] B. Mukherjee, et al., "Dosimetry of high energy electron linac produced photoneutrons and the bremsstrahlung gamma rays using TLD-500, TLD-700 dosimeter pairs", Nucl. Instrum. Methods 545, 2005
- [3] A. Jaksic, et al., "Gamma-ray irradiation and post-irradiation responses of high dose range RADFETs", RADECS 2001, 6th European Conference on, pages 57–65, 2001.
- [4] J.C. Lund, F. Sinclair, G. Entine, "Neutron dosimeter using a dynamic random access memory as a sensor" IEEE Trans. Nucl. Sci. 33 620–3, 1996
- [5] M. Keating, D. Flynn, R. Aitken, A. Gibbons, K. Shi, "Low Power Methodology Manual: For System-on-Chip Design", Springer, 2007