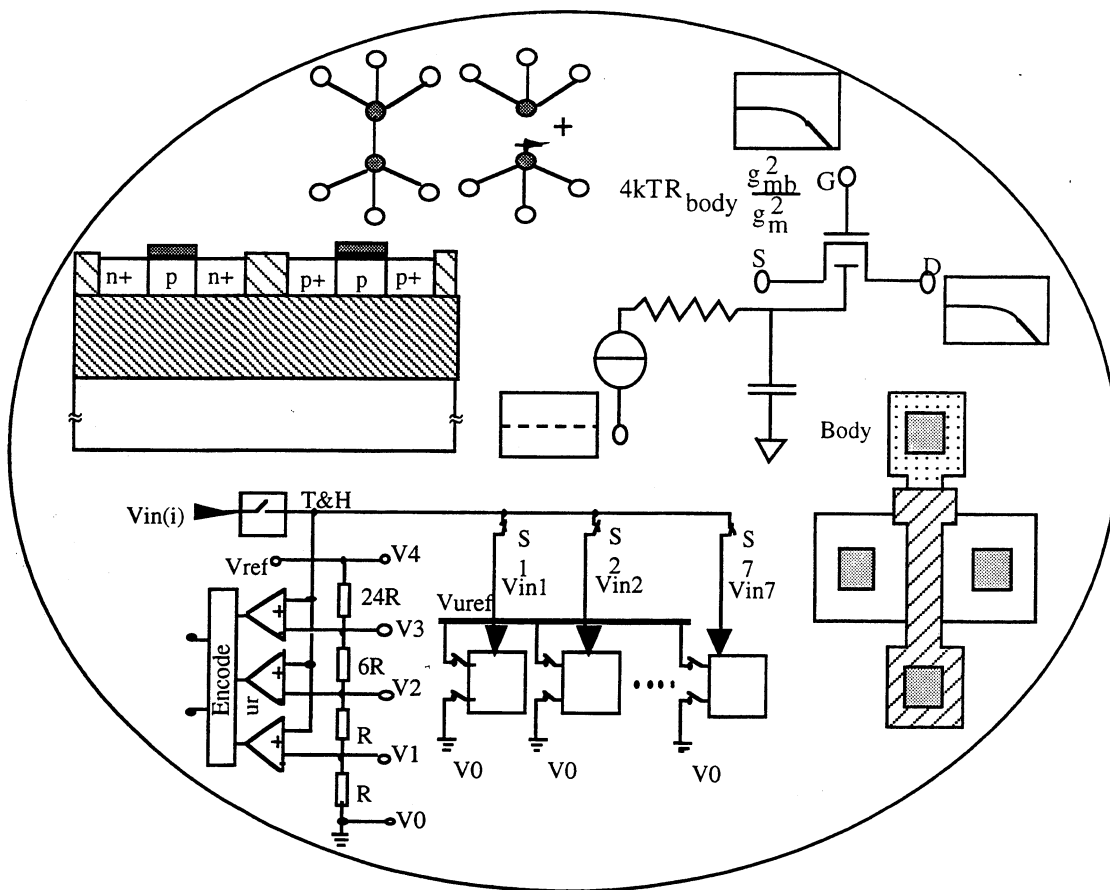


Etude des transistors MOS avancés sur Silicium sur Isolant (SOI): bruit, dégradation en environnement radiatif et applications

Federico Faccio

Novembre 1997



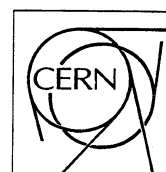
Thesis-1997-Faccio

2503089

CERN LIBRARIES, GENEVA



CM-P00041377



THESE

présentée par

Federico FACCIO

pour obtenir le grade de **DOCTEUR**
de **l'INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE**
(Arrêté ministériel du 30 mars 1992)

Spécialité: **PHYSIQUE DES COMPOSANTS A SEMICONDUCTEURS**
dans le cadre de la formation **OPTIQUE, OPTO-ELECTRONIQUE ET MICRO-ONDES**

=====

Etude des transistors MOS avancés sur Silicium sur Isolant (SOI): bruit, dégradation en environnement radiatif et applications

=====

Date de soutenance: 5 Novembre 1997

Composition du jury:

TOUBOUL André	Professeur, Université Bordeaux 1	Président
LERAY Jean-Luc	Docteur d'Etat, CEA	Rapporteur
FLANDRE Denis	Professeur, UCL	Rapporteur
PACCAGNELLA Alessandro	Professeur, Università di Padova	Rapporteur
CRISTOLOVEANU Sorin	Directeur de Recherche, CNRS	Directeur de Thèse
ANGHINOLFI Francis	Ingénieur, CERN	Resp. de Thèse CERN

Thèse préparée au sein du groupe de microélectronique du
CERN
(Laboratoire Européen pour la Physique des Particules)

A mamma Rosanna e papà Mario

*libero di trovare il mio cammino,
mi avete aiutato a percorrerlo*

Monsieur Sorin Cristoloveanu a accepté de diriger cette étude. C'est en grande partie à sa confiance que cette thèse doit son existence. Son esprit ouvert, son envergure scientifique et sa créativité sont des qualités que j'ai pu apprécier tout au long de mes travaux, et qui m'ont aidé à les finaliser.

Monsieur Francis Anghinolfi a assuré le suivi de mon activité au CERN. Je le remercie pour sa très grande disponibilité, sa rigueur, et le soutien qu'il m'a témoigné pendant ces années. Il a mérité le prix Nobel pour la patience pour avoir inlassablement corrigé mes fautes de français. J'ai beaucoup appris en travaillant avec lui.

Monsieur Jean-Luc Leray, Monsieur Denis Flandre et Monsieur Alessandro Paccagnella m'ont fait l'honneur d'être rapporteurs de ce travail. Je les remercie pour leur disponibilité et pour toutes leurs observations et commentaires, qui ont contribué à l'amélioration de ce manuscrit. Je remercie Monsieur André Touboul, qui a présidé le jury de thèse, pour sa disponibilité et pour l'intérêt qu'il a porté à mon travail.

Je tiens à remercier Monsieur Gérard Borel, Monsieur Jean Rédolfi et toute l'équipe de Thomson TCS pour leur collaboration au long de cette étude.

Grâce au soutien que j'ai reçu au sein du groupe de Microélectronique du CERN, mon travail de recherche a pu aboutir à une thèse. Je remercie pour cela Monsieur Mike Letheren, chef du groupe, et Monsieur Pierre Jarron, chef de la section "analogique" où j'ai eu l'occasion d'apprendre tout ce que je sais sur la microélectronique. Je suis particulièrement reconnaissant à Monsieur Erik Heijne pour l'attention qu'il a toujours portée à ma formation et pour m'avoir encouragé à entreprendre ce travail de thèse. Merci à Jean-Claude Santiard pour son aide, particulièrement indispensable lors du montage du système de mesure de bruit. I also want to thank Paul Aspell for his collaboration in the framework of the RD9 project, together with all the other members of the MIC group for their support and friendship during the past 6 years.

Un pensiero riconoscente è rivolto all'ingegner Franco Bonaudi ed al Dottor Sergio Fubini, la cui gentilezza ed entusiasmo scientifico sono per me un modello, nonché all'Associazione per lo Sviluppo Scientifico e Tecnologico del Piemonte (ASP) per avere reso possibile l'inizio della mia avventura al CERN.

Molto più povero sarebbe stato il mio lavoro senza le discussioni con Giuseppe Rossi, Marco "Topoliño" Fornasari e Massimo Bianchi, studenti al CERN e preziosi colleghi. Grazie per i dibattiti animati "sulla vera origine della gobba", sempre stimolanti e ricchi, ma anche per terrina campagnola, gnocchi, e spaghetti a go-go. Grazie per avere condiviso entusiasmo ed abbattimento nel corso della nostra ricerca, e per la vostra preziosa amicizia. Grazie alla neodottoressa Cinzia Da Vià ed a Giovanni Anelli, impegnati al mio stesso tempo nella scrittura della tesi, per le fruttuose discussioni, il loro sostegno e la loro amicizia. Grazie a Cristina Soave per avere condiviso due splendidi anni di ricerca e di vita.

Grazie a Rosanna, Mario, nonna Elena, Cesare e Barbara per la loro presenza costante ed affettuosa nei momenti felici ed in quelli difficili.

Merci à Heidi Ellefsplass pour m'avoir accompagné, avec beaucoup d'écoute et une patience sans mesure, pendant la rédaction du manuscrit. Merci, Heidi, pour m'avoir entouré de chaleur, de sérénité, de vie.

Table des matières

Introduction	p. 9
Chapitre 1: Environnement radiatif dans les expériences de Physique des Hautes Énergies (HEP) du LHC	p. 12
1.1 Les expériences de physique du LHC.....	p. 12
1.2 L'environnement radiatif à ATLAS et CMS.....	p. 14
1.2.1 <i>Central tracker</i>	p. 15
1.2.2 <i>Calorimètres</i>	p. 18
1.2.3 <i>Détecteur à muons</i>	p. 19
1.3 Synthèse.....	p. 20
Chapitre 2: Effets des rayonnements sur les transistors MOS et méthodologies de durcissement	p. 21
2.1 Dose intégrée.....	p. 21
2.1.1 <i>Centres de défaut dans l'oxyde de silicium et à l'interface Si-SiO₂</i>	p. 21
2.1.2 <i>Formation de la charge piégée dans l'oxyde et à l'interface</i>	p. 22
2.1.3 <i>Conséquences sur les transistors MOS</i>	p. 23
Déplacement de la tension de seuil.....	p. 23
Diminution de la mobilité.....	p. 25
Augmentation du bruit.....	p. 25
Courants de fuite.....	p. 26
2.2 Phénomènes non récurrents (Single Event Phenomena: SEP).....	p. 28
2.2.1 <i>Effets des ions lourds</i>	p. 29
2.2.2 <i>Effets des protons</i>	p. 30
2.2.3 <i>Aléa logique (Single Event Upset, SEU)</i>	p. 31
2.2.4 <i>Verrouillage maintenu (Single Event Latchup, SEL)</i>	p. 32
2.2.5 <i>Single Event Snapback (SES)</i>	p. 32
2.2.6 <i>Claquage de grille (Single Event Gate Rupture, SEGR)</i>	p. 33
2.2.7 <i>Destruction par échauffement excessif (SEBO)</i>	p. 33
2.3 Méthodologies de durcissement.....	p. 33
2.3.1 <i>Durcissement technologique</i>	p. 34
Durcissement à la dose intégrée.....	p. 34
Durcissement aux effets transitoires.....	p. 38
2.3.2 <i>Durcissement électrique (conception de circuits)</i>	p. 39
2.3.3 <i>Durcissement des systèmes</i>	p. 40

2.4 Synthèse.....	p. 41
-------------------	-------

Chapitre 3: Techniques d'évaluation du durcissement à la dose intégrée.....	p. 43
3.1 Conditions de test.....	p. 43
3.1.1 Débit de dose.....	p. 43
3.1.2 Polarisation.....	p. 45
3.1.3 Source d'irradiation.....	p. 47
3.2 Méthodes standard de test de qualification.....	p. 48
3.2.1 Méthode de test TM1019.4	p. 49
3.2.2 Spécification de base 22900.....	p. 49
3.2.3 Comparaison entre les deux méthodes.....	p. 50
3.3 Techniques d'évaluation des dégradations.....	p. 51
3.3.1 Pompage de charge.....	p. 52
3.3.2 Technique de la pente en inversion faible.....	p. 53
3.4 Synthèse.....	p. 56

Chapitre 4: Les technologies SOI.....	p. 58
4.1 L'oxyde enterré.....	p. 58
4.1.1 Isolation des transistors du substrat.....	p. 58
4.1.2 Techniques de fabrication.....	p. 59
SIMOX.....	p. 60
BESOI.....	p. 62
UNIBOND.....	p. 63
4.2 SOI partiellement, moyennement et totalement déserté.....	p. 64
4.2.1 Technologies à film partiellement déserté (PD).....	p. 65
4.2.2 Technologies à film totalement déserté (FD).....	p. 65
Effets dynamiques.....	p. 70
4.2.3 Technologies à film moyennement déserté	p. 70
Effets de film flottant.....	p. 71
4.3 Tenue aux radiations des technologies SOI.....	p. 73
4.3.1 Dose intégrée.....	p. 73
Oxyde de grille.....	p. 73
Oxydes latéraux et de champs.....	p. 73
Oxyde enterré.....	p. 75
4.3.2 Phénomènes non récurrents.....	p. 76
4.3.3 Résumé comparatif.....	p. 78
4.4 Synthèse.....	p. 79

Chapitre 7: Circuits en technologie HSOI3-HD: convertisseur analogique-numérique (HADC11)	p.126
7.1 Architecture du convertisseur analogique-numérique.....	p.126
7.1.1 <i>Architecture globale</i>	p.126
7.1.2 <i>Le comparateur</i>	p.128
7.2 Le circuit échantillonneur-bloqueur.....	p.129
7.3 Résultats sur le convertisseur HADC11.....	p.131
7.3.1 <i>Résultats avant irradiation</i>	p.132
Vitesse.....	p.132
Consommation.....	p.132
Linéarité.....	p.133
7.3.2 <i>Résultats après irradiation</i>	p.134
7.4 Synthèse.....	p.137
Conclusion	p.139
Références Bibliographiques	p.141
Annexe 1: Interaction des rayonnements avec la matière	p.155
<i>Effets de ionisation</i>	p.155
<i>Effets de déplacement</i>	p.156
Références Bibliographiques.....	p.157
Annexe 2: Effets des rayonnements sur les transistors bipolaires	p.158
A2.1 Dose intégrée.....	p.158
<i>Conséquences sur les transistors bipolaires</i>	p.158
Transistors NPN.....	p.159
Transistors PNP.....	p.160
Méthode de test du durcissement.....	p.162
A2.2 Neutrons.....	p.163
A2.3 Phénomènes non récurrents.....	p.163
Références Bibliographiques.....	p.164

Annexe 3: Approximation de $\Delta\text{Log}(I)$ dans la méthode de la pente en inversion faible.....	p.165
Annexe 4: Le système de mesure du bruit.....	p.166
<i>Mesure en régime de saturation.....</i>	<i>p.166</i>
<i>Mesure en régime ohmique.....</i>	<i>p.168</i>
Références Bibliographiques.....	p.169

Introduction

Le CERN, laboratoire européen pour la physique des particules, travaille depuis plusieurs années pour préparer la construction du plus puissant accélérateur de particules du monde: le LHC (*Large Hadron Collider*). L'un des défis technologiques de ce projet concerne la survie aux radiations de l'électronique intégrée en proximité des détecteurs de particules. L'environnement radiatif des expériences sera déterminé par les collisions des faisceaux de particules, les détecteurs les plus près du point de collision étant les plus exposés. Dans ces régions, des niveaux de dose intégrée supérieurs d'un facteur 10 à 100 à ceux typiques des applications spatiales pourront être atteints après 10 ans de fonctionnement du LHC. La dose intégrée sera accompagnée par une fluence de neutrons de l'ordre de 10^{14} neutrons/cm². Dans un tel environnement, l'utilisation de technologies durcies pourra résoudre le problème de la survie de l'électronique.

Plusieurs technologies microélectroniques tolérantes ou durcies aux effets des radiations ont été développées en Europe et aux Etats Unis pour des applications militaires et pour l'espace. La plupart de ces technologies, notamment celles qui sont plus efficacement durcies, ont été longtemps réservées aux composants militaires; elles sont devenues plus largement disponibles seulement ces dernières années. Ainsi, l'accès à HSOI3-HD, une technologie CMOS durcie produite par le fabricant français Thomson TCS, a été ouvert pour des applications commerciales au début des années 90. Cette filière sur silicium sur isolant (SOI), de par ses caractéristiques de tenue aux effets des rayonnements, présentait un intérêt considérable pour la fabrication de circuits intégrés destinés aux expériences du LHC. Pour cette raison, à la fin de 1990, un projet de recherche et développement a été lancé au CERN. Ce projet, appelé RD9, avait comme but l'évaluation de la performance analogique et du durcissement de la technologie HSOI3-HD en vue des applications dans le LHC. La caractérisation analogique devait comprendre l'étude du bruit, paramètre fondamental dans le choix d'une technologie pour l'électronique de *front-end* qui doit amplifier les signaux délivrés par les détecteurs.

Le projet de recherche a été structuré en plusieurs phases. Dans la première phase, l'évolution des caractéristiques statiques des transistors avec l'irradiation devait être mesurée et analysée. La deuxième phase était centrée sur l'étude du spectre de bruit des transistors avant et après irradiation. Finalement, des circuits mixtes analogiques-numériques devaient être intégrés dans la technologie. L'architecture de ces circuits devait être typique de l'électronique appliquée à la physique des particules.

L'étude présentée dans ce mémoire a été effectuée dans le cadre du projet de recherche RD9, et a suivi les trois phases qui le composent. Par conséquent, nous nous sommes intéressés d'abord à la technologie, et donc à la physique des dispositifs et aux effets fondamentaux des rayonnements sur les transistors, et ensuite à la conception des circuits intégrés. L'éventail des thèmes abordés lors de cette étude étant assez vaste

(effets des rayonnements, technologies SOI, analyse du bruit, conception de circuits), ce mémoire a été organisé en 7 chapitres.

Le chapitre 1 décrit l'environnement radiatif des expériences de physique du LHC, avec les hauts niveaux de dose intégrée et de fluence de neutrons prévus, qui ont motivé cette étude.

Le chapitre 2 propose une familiarisation avec les effets des rayonnements sur les transistors MOS, dont la compréhension est indispensable pour l'analyse des résultats des mesures. A partir des effets fondamentaux, des méthodologies de durcissement à plusieurs niveaux (technologique, électrique et systèmes) sont proposées.

La complexité des effets des rayonnements implique la nécessité d'effectuer les test d'irradiations dans des conditions contrôlées. Les conditions de test, codifiées par deux méthodes standard, sont discutées dans le chapitre 3. Ce chapitre décrit aussi les techniques de caractérisation des dégradations des transistors qui ont été utilisées dans notre étude.

Les technologies sur silicium sur isolant (SOI) sont présentées dans le chapitre 4, qui donne les équations fondamentales du fonctionnement des transistors SOI. La performance électrique supérieure des transistors sur film totalement déserté par rapport aux transistors sur silicium massif, qui en fait de très bons candidats pour les applications à basse puissance ou basse tension, est mise en évidence. Un paragraphe est dédié à la tenue aux radiations des technologies SOI, et montre leurs avantages par rapport aux technologies sur silicium massif pour ce qui concerne les phénomènes non récurrents, particulièrement le latch-up.

Le chapitre 5 montre les résultats de la caractérisation statique des transistors en HSOI3-HD. Une description sommaire de la technologie est donnée avant d'analyser les résultats des irradiations avec une source de rayons γ (^{60}Co). Des mesures effectuées après les irradiations avec une source de neutrons ou de protons sont aussi présentées. Ces mesures ont confirmé que dans cette technologie CMOS les dégradations provoquées par les rayonnements sont dominés par les effets d'ionisation.

Le chapitre 6 contient une étude approfondie du bruit des transistors SOI dans la technologie HSOI3-HD. Nous avons observé trois sources de bruit dans le spectre, mesuré dans l'intervalle de fréquence 100 Hz–20 MHz. La composante additionnelle, qui se présente comme une "bosse" dans le spectre, se superpose aux contributions du bruit $1/f$ et du bruit blanc. Nous proposons un modèle pour l'origine de cette composante additionnelle et présentons une série d'observations expérimentales qui le confirment. L'évolution du bruit avec les irradiations est analysée pour les trois sources de bruit.

La dernière étape de l'étude concerne la conception de circuits en technologie HSOI3-HD: nous avons développé un convertisseur analogique-numérique capable de réaliser une conversion non linéaire de 11 bits de dynamique à une fréquence

d'échantillonnage de 5 MHz. Le chapitre 7 présente l'architecture du circuit, sa performance conforme aux spécifications et les résultats d'irradiation jusqu'à une dose intégrée de 10 et 20 Mrad.

Chapitre 1

Environnement radiatif dans les expériences de Physique des Hautes Énergies (HEP) du LHC

Le projet du grand collisionneur de hadrons LHC (*Large Hadron Collider*), qui sera le plus grand et le plus puissant accélérateur de particules du monde, a été approuvé par le Conseil du CERN en Décembre 1994. Les accélérateurs déjà existants sur le site du CERN seront utilisés en injecteurs pour le LHC: le Synchrotron à Protons (PS) accélérera les protons à 28 GeV, puis le Super Synchrotron à Protons (SPS) portera leur énergie à 450 GeV. Injectés dans les deux chambres à vide du LHC, les deux faisceaux de protons seront ultérieurement accélérés en directions opposées dans un anneau de 27 km de circonférence pour atteindre l'énergie de 7 TeV. Les collisions entre protons, avec une luminosité de $10^{34} \text{ cm}^{-2}\text{s}^{-1}$, seront produites au centre des immenses expériences de physique, où l'ensemble des interactions entre particules sera étudié. Le même collisionneur pourra également être utilisé pour produire des collisions entre ions de plomb à une énergie de 1148 TeV (dans le centre de masse) avec une luminosité de $10^{27} \text{ cm}^{-2}\text{s}^{-1}$.

1.1 Les expériences de physique du LHC

Quatre expériences de physique sont à ce jour prévues dans le LHC: ALICE, ATLAS, CMS et LHC-B.

ALICE [1] est une expérience conçue pour l'étude des collisions entre ions lourds (Pb-Pb). Elle ne nécessite pas une luminosité très élevée: sur 4000 collisions par seconde, il y a une grande probabilité d'avoir plus de 10 collisions dont le produit est intéressant pour l'étude physique visée. Chacune de ces collisions produit environ 10000 particules chargées à l'intérieur du détecteur, ce qui implique la nécessité d'un système de reconstruction des traces très sophistiqué. Pour cette raison, le point de collision en ALICE sera entouré de plusieurs couches de détecteurs à pixel en silicium, détecteurs à dérive en silicium, détecteurs à "strip" en silicium, détecteurs à gaz (MSGC, *Micro Strips Gas Chambers*) et chambres à fil. A cause de la faible luminosité, ces détecteurs et l'électronique associée ne seront pas soumis à de fortes doses ou fluences de particules. Les simulations détaillées de l'environnement radiatif n'ont pas encore à ce jour été effectuées, mais le niveau de dose intégrée devrait être en tout cas inférieur aux 200 krad.

Le but de LHC-B est l'étude de la physique des particules qui contiennent le quark *beauty* (B). La luminosité nécessaire pour produire 10^5 collisions intéressantes par année est de $10^{32} \text{ cm}^{-2}\text{s}^{-1}$, ce qui implique 10^7 collisions inélastiques p-p par seconde [2]. Les détecteurs seront positionnés, selon le projet, à 1 cm du point d'interaction et

probablement endommagés par l'irradiation produite. Ils devront probablement être remplacés régulièrement après chaque année d'opération. L'électronique sera installée plus loin du point de collision, et les niveaux de dose intégrée et de fluence de particules permettront le fonctionnement à long terme de composants tolérants aux effets des rayonnements.

ATLAS [3] et CMS [4] sont deux expériences *general-purpose* pour étudier les collisions p-p. Leur but principal est l'observation de la particule appelée "Higgs", dont la masse n'est pas connue avec certitude. Pour pouvoir étudier cette particule, une grande luminosité est nécessaire à cause de la difficulté statistique de la produire et d'en assurer une détection efficace. À la luminosité prévue de $10^{34} \text{ cm}^{-2}\text{s}^{-1}$, 20 collisions inélastiques p-p auront lieu au centre de ces deux expériences chaque 25 ns, ce qui signifie environ 10^9 collisions par seconde. Malgré cette impressionnante fréquence des collisions, on prévoit que seulement 10-400 Higgs seront clairement visibles par année (le nombre exact dépend de la masse de cette particule).

Les expériences ATLAS et CMS, énormes systèmes d'un poids respectif d'environ 7000 et 14000 tonnes, seront composées de plusieurs détecteurs spécialisés à une tâche spécifique pour la reconstruction de la physique de la collision. Leur structure prévoit une partie très proche au point de collision (*central tracker*) pour reconstruire la trajectoire des particules, une partie pour la mesure de leur énergie (calorimètres électromagnétique et hadronique) et une partie pour la détection des muons (détecteur à muons). Tous les détecteurs se trouveront dans un fort champ magnétique de 2 à 4 T, nécessaire pour l'identification de l'énergie et de la charge des particules. La Figure 1.1 montre deux vues de l'expérience CMS.

Le débit de 10^9 collisions par seconde, qui se traduit en un pareil débit de signaux délivrés par les détecteurs, doit être fortement réduit (d'un facteur 10^7) pour l'analyse des données: le débit maximum pour l'analyse *off-line* sera de 100 Hz. Par conséquent, une partie importante des circuits électroniques qui réalisent les fonctions d'amplification, mise en forme, stockage et traitement des données devront être positionnés près des détecteurs correspondants. La communication entre circuits situés en positions différentes dans l'expérience constituera la base pour le système de trigger, responsable du choix des données à enregistrer pour l'analyse *off-line*.

À cause du haut débit des collisions, la dose intégrée et la fluence de particules dans ATLAS et CMS seront beaucoup plus importantes que dans les autres deux expériences. La survie aux radiations des détecteurs et de l'électronique les plus proches au point de collision pose par conséquent problèmes, et dans certaines régions les plus internes des expériences une électronique durcie devra nécessairement être utilisée. Pour cette raison, seul l'environnement radiatif de ATLAS et CMS sera décrit dans le prochain paragraphe.

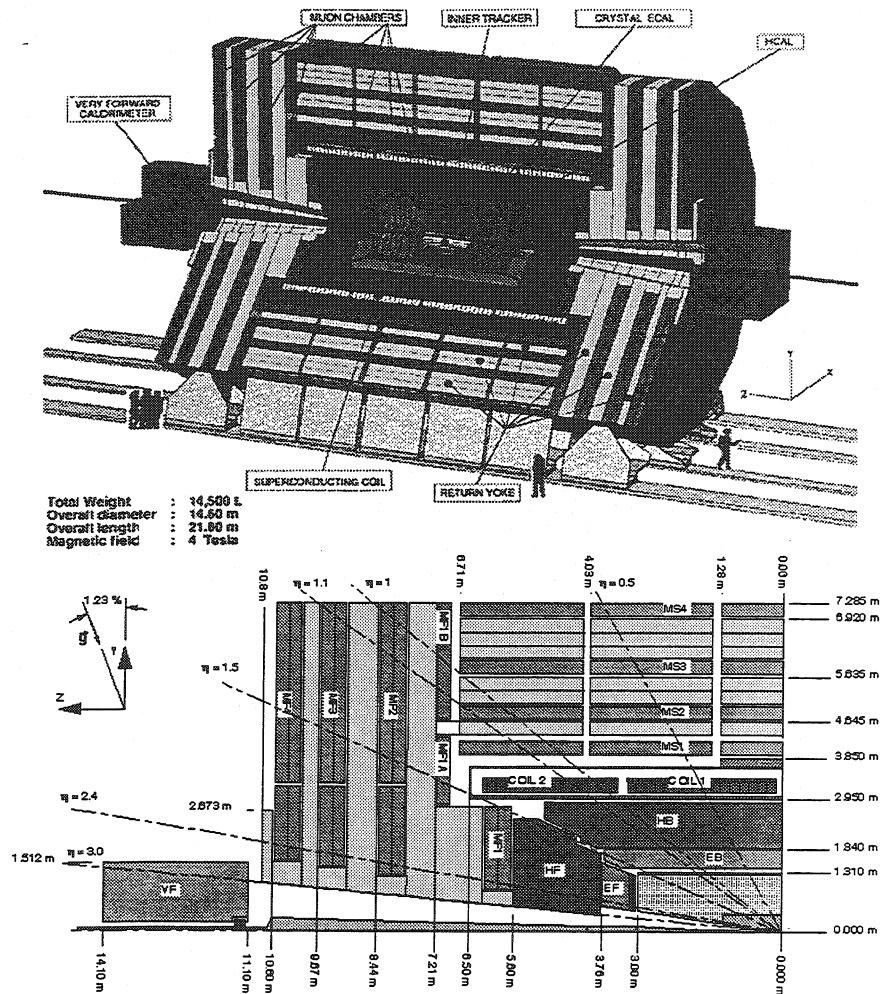


Figure 1.1: Deux vues de CMS (Compact Muon Solenoid) [4]. Dans les acronymes qui indiquent les différentes parties de l'expérience, la lettre B (Barrel) caractérise les détecteurs en symétrie radiale tandis que la lettre F (Forward) indique les détecteurs qui se trouvent à haute pseudorapacité. IB="Barrel Inner Detector" (tracker central), IF="Forward Inner Detector"; EB="Barrel Electromagnetic Calorimeter" (calorimètre électromagnétique), EF="Forward Electromagnetic Calorimeter"; HB="Barrel Hadronic Calorimeter" (calorimètre hadronique), HF="Forward Hadron Calorimeter"; MS="Barrel Muon Station" (chambres à muon), MF="Forward Muon Station"; VF="Very Forward Calorimeter" (calorimètre qui devrait être installé à pseudorapacité très élevée, $\eta > 3$). Dans la figure, "Superconductive Coil" est l'aimant supraconducteur qui produira le champ magnétique.

1.2 L'environnement radiatif à ATLAS et CMS

L'environnement radiatif des expériences à LHC est dominé par la production de particules énergétiques secondaires au point de collision p-p. Les détecteurs et l'électronique associée devront être en mesure de fonctionner à long terme (10 années) dans cet environnement, d'où la nécessité de prévoir avec certitude le niveau de dose

intégrée et la fluence de particules (hadrons chargés, photons et neutrons) dans chaque partie des expériences. Dans ce but, un grand travail a été effectué pour développer et perfectionner des outils de simulation: à ce jour, grâce à des programmes de simulations tels que DTUJET [5], FLUKA [6] et GCALOR [7], l'environnement radiatif est bien connu.

La plupart des particules secondaires produites dans la collision, surtout les plus énergétiques, ont une direction proche de celle des faisceaux de protons. La distribution angulaire des particules secondaires n'est pas exprimée en fonction de l'angle θ entre la direction de la particule secondaire et le faisceau de protons mais en fonction de la pseudorapidité η . La relation entre la pseudorapidité et l'angle θ est [8]:

$$\eta = -\ln\left(\tan\frac{\theta}{2}\right) \quad (1.1)$$

La distribution des particules en énergie est normalement exprimée en fonction de l'impulsion p ou de sa projection en direction orthogonale au faisceau (p_T):

$$E \approx p = \frac{p_T}{\sin\theta} \quad (1.2)$$

Avec ces notations, la distribution angulaire et en énergie des particules secondaires produites par une collision p-p en CMS est montrée en Figure 1.2.

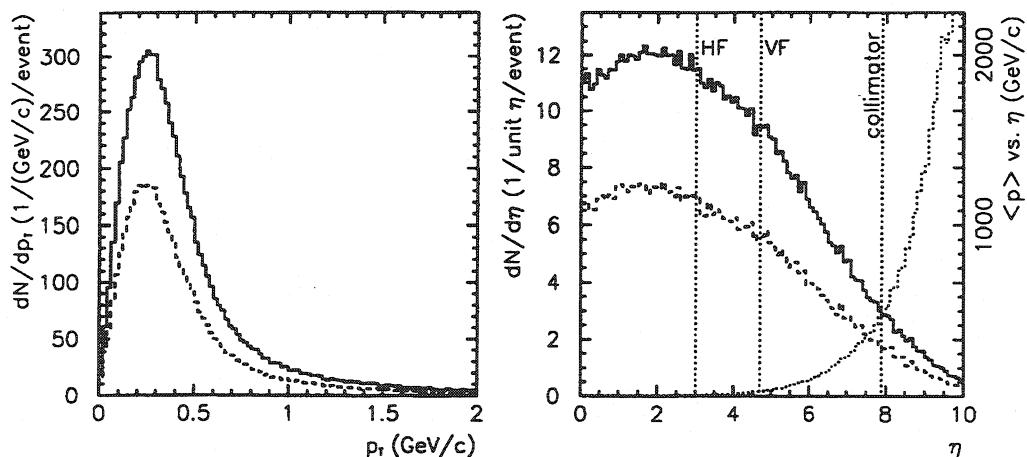


Figure 1.2: Distribution énergétique (à gauche) et angulaire (à droite) des particules secondaires produites par une collision p-p. La ligne continue indique toutes les particules, la ligne hachurée les particules chargées. Dans la figure de droite, la ligne pointillée représente l'impulsion (qui est liée à l'énergie à travers l'équation (1.2)) en fonction de la pseudorapidité, et montre que les particules plus énergétiques sont émises presque en parallèle aux faisceaux de protons ($\eta > 6$ signifie $\theta < 0.28$ radians) [4].

1.2.1 Central tracker

Le but de cette partie centrale de l'expérience est la reconstruction des trajectoires des particules produites dans les collisions p-p. À cause de sa proximité au point de collision, le flux de particules dans le *central tracker* sera très élevé et pour pouvoir

accomplir sa tâche il doit être conçu avec une haute granularité (ce qui signifie que les éléments détecteurs sont très petits et nombreux), une haute résolution spatiale et temporelle et avec des matériaux légers. Cette dernière exigence naît du besoin d'avoir une faible probabilité de conversion d'énergie en photons et un faible bremsstrahlung des électrons.

Les détecteurs choisis seront pour la plupart en silicium (pixels et *microstrips*), mais aussi à gaz (MSGC et TRT, *Transition Radiation Tracker*). Pour ce qui concerne l'électronique associée, les exigences de basse puissance, haute densité et complexité peuvent être satisfaites seulement par des technologies microélectroniques sur silicium. La plupart des circuits de *front-end* (circuits mixtes analogiques-numériques) intégrés à l'intérieur du *tracker*, qui réaliseront une lecture analogique ou binaire des signaux délivrés par les détecteurs, auront une taille de 70 à 100 mm² et seront intégrées en technologie bipolaire, CMOS ou BiCMOS.

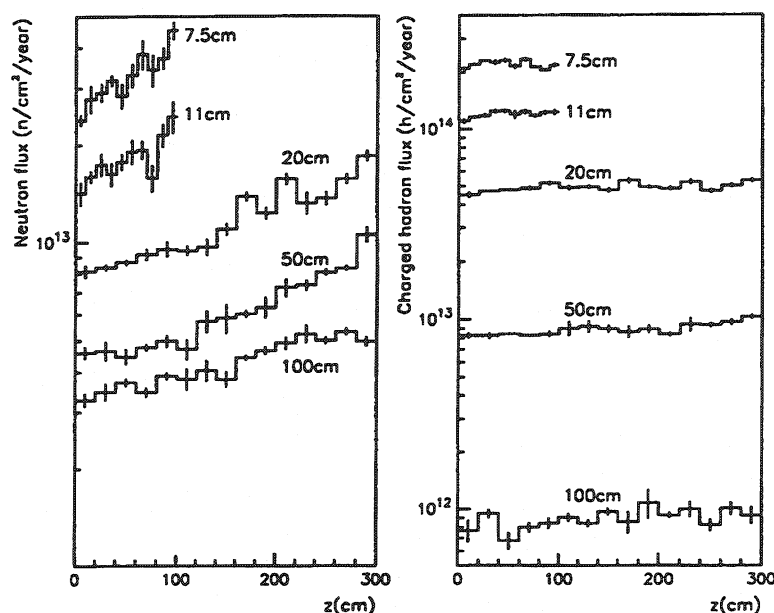


Figure 1.3: Flux (par année) de neutrons et de hadrons chargés à différentes distances radiales du point de collision dans le "central tracker" de CMS. Les neutrons proviennent des interactions des particules chargées dans les calorimètres et dans le collimateur des faisceaux de protons qui se trouve à très haute pseudorapidité: pour cette raison le flux de neutrons est plus important dans la région "forward" (haute pseudorapidité, z élevé dans la figure). Le flux de hadrons chargés diminue approximativement avec le carré de la distance (r), mais le flux des particules les moins énergétiques (dont l'effet sur les détecteurs et l'électronique est plus important car elles peuvent déposer plus d'énergie) diminue avec la distance à cause du fort champ magnétique de 2 à 4 T [4].

Cette partie de l'expérience sera exposée au flux de particules provenant du point de collision et aux neutrons produits par l'interaction de ces particules dans les calorimètres. Le flux de neutrons est fortement dépendant du matériau qui compose le

calorimètre électromagnétique (ECAL) et des caractéristiques des modérateurs, et cela en intensité et en spectre énergétique. Les résultats des simulations concernant le flux de neutrons et hadrons chargés dans CMS sont résumés en Figure 1.3. Le flux de hadrons chargés est dominé par les pions (π) avec une énergie entre 10 MeV et 10 GeV, comme montré en Figure 1.4 pour une distance radiale de 20 cm.

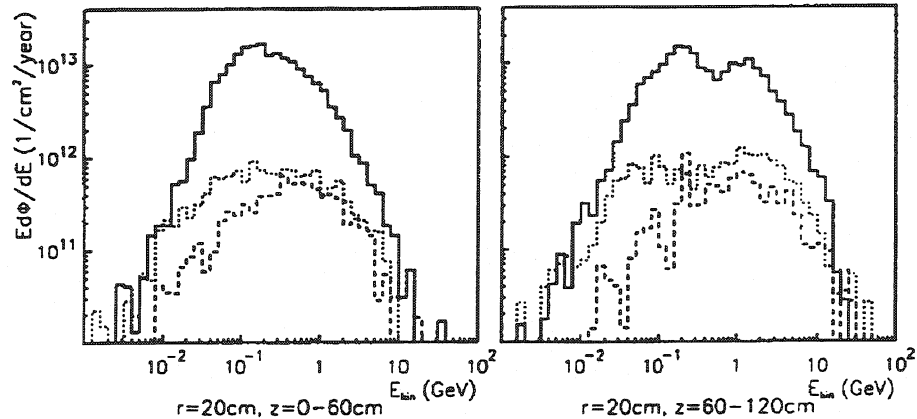


Figure 1.4: Composition énergétique du spectre des particules secondaires chargées dans le "central tracker" de CMS, à une distance radiale de 20 cm [4]. La ligne continue indique le flux de pions (π^\pm), qui est le dominant; les lignes pointillée et hachurée représentent, respectivement, les protons (avec leurs antiparticules, les antiprotons, \bar{p}) et les kaons (K^\pm).

L'électronique intégrée est sensible surtout à l'énergie de ionisation déposée par les particules chargées et les photons. Pour cette raison, il est utile d'exprimer en dose intégrée l'environnement radiatif. Le tableau I.1 résume, à distance radiale croissante du point de collision, le type de détecteur installé dans chaque expérience et le niveau prévu de dose intégrée par année [2].

Tableau I.1: Dose intégrée par année à l'intérieur du "central tracker" pour ATLAS et CMS. Le type de détecteur qui sera installé dans les deux expériences est aussi indiqué. La dose intégrée ne change pas en s'éloignant en direction z (voir les coordonnées en Figure 1.1) jusqu'à l'extrémité du détecteur [4].

R (cm)	Type de détecteur		Dose intégrée (rad/année)
	ATLAS	CMS	
7.5	Si pixels		$9 \cdot 10^6$
11		Si pixels	$6 \cdot 10^6$
20	GaAs/Si strips	Si strips	$2.7 \cdot 10^6$
30	Si strips	Si strips	$1.5 \cdot 10^6$
50	TRT	MSGC	$5.5 \cdot 10^5$
100	TRT	MSGC	$8 \cdot 10^4$

1.2.2 Calorimètres

On peut distinguer deux types fondamentaux de calorimètres: les calorimètres électromagnétiques (ECAL) qui se trouvent le plus près du point de collision, tout de suite après le *tracker*, et les calorimètres hadroniques (HCAL) (voir Figure 1.1).

ECAL utilise, selon l'expérience considérée, des détecteurs à argon liquide (LAr) ou des détecteurs en cristaux scintillateurs (PbWO_4). Dans le projet de CMS, un détecteur en silicium appelé *preshower* est prévu avant la partie en cristaux scintillateurs. Si le détecteur à argon liquide est insensible aux effets des radiations, les cristaux en PbWO_4 perdent leur efficacité optique, donc le signal délivré diminue avec l'irradiation. Un dopage avec du nobium (Nb) semble donner à ces cristaux un meilleur durcissement.

HCAL est constitué par des briques d'un matériau plastique scintillateur, dont la lumière émise est transférée en longueur d'onde par des fibres WLS (*Wave Length Shifting fibers*). L'irradiation cause une diminution de la quantité de lumière produite, mais le choix du matériau plastique peut permettre un fonctionnement efficace pendant 10 années dans l'environnement radiatif prévu. Dans ATLAS, pour la partie *forward* qui est la plus exposée aux radiations, des couches de détecteurs en LAr seront utilisées en alternance avec des couches en matériaux absorbeurs.

L'électronique associée aux détecteurs pour les calorimètres, comparée à celle nécessaire pour le *tracker*, est moins exigeante en puissance et densité. Les signaux des cristaux scintillateurs seront amplifiés par des photodétecteurs (APD, *silicon Avalanche PhotoDiode*), tandis que des circuits amplificateurs en technologie silicium ou arséniure de gallium (GaAs) seront utilisés pour les détecteurs LAr. Dans les deux cas, les signaux, une fois amplifiés, seront stockés dans l'attente du trigger et convertis en signaux numériques par des circuits intégrés en silicium ou par des microsystèmes spécifiquement développés.

Il y a une différence considérable de flux de particules dans les calorimètres selon leur position dans l'expérience. Les détecteurs *forward* seront exposés au flux de particules plus élevé. Ce flux, toujours dominé par les neutrons, pourra atteindre le niveau de 10^{14} cm^{-2} par année à une distance radiale de 50 cm. Les neutrons dominent car les matériaux des calorimètres produisent beaucoup de neutrons quand ils sont traversés par des hadrons rapides. Le flux de neutrons et de hadrons chargés pour CMS est montré en Figure 1.5 pour le calorimètre hadronique et pour le *preshower* du calorimètre électromagnétique. La dose intégrée suit la même géométrie, les détecteurs "forward" étant les plus exposés, et décroît fortement à l'intérieur du calorimètre lorsque l'on s'éloigne du maximum des cascades de particules (électromagnétiques ou hadroniques), comme montré pour le flux de hadrons chargés en HCAL en Figure 1.5. Dans les régions les plus exposées une dose de 300 krad par année peut être atteinte, mais la plus grande partie du calorimètre, celle qui couvre les faibles pseudorapidités en

symétrie cylindrique autour du point de collision (*barrel*), reçoit entre 0.1 et 10 krad par année.

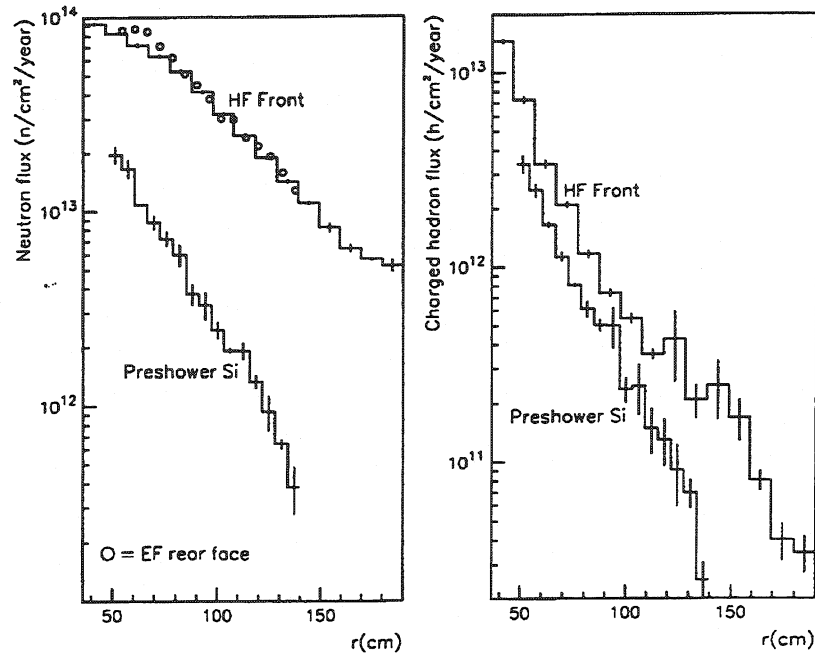


Figure 1.5: Flux de neutrons et de hadrons chargés dans le détecteur "preshower" et dans la région "forward" du calorimètre hadronique de CMS (du côté le plus proche du point de collision, indiqué "front"). Dans la figure de gauche, les cercles indiquent le flux dans la partie extérieure du calorimètre électromagnétique, en présence d'un matériau modérateur entre les parties hadronique et électromagnétique [4].

1.2.3 Détecteur à muons

Le détecteur à muons est la partie qui se trouve le plus à l'extérieur dans les expériences, et son but est la détection des muons qui est essentielle pour fabriquer les triggers de lecture nécessaires aux autres détecteurs et pour compléter le bilan énergétique des collisions. Ce détecteur est constitué par des chambres à muons de plusieurs types: les RPC (*Resistive Plate Chambers*) et TGC (*Thin Gap Chambers*) assurent le trigger de base, tandis que les MDT (*Monitored Drift Tubes*) et les CSC (*Cathode Strip Chambers*) servent à la détection de précision des muons. L'électronique associée est composée d'une partie analogique pour l'amplification des signaux et d'un convertisseur analogique-numérique (convertisseur flash ou systèmes de conversion TDC, "Time-to Digital", selon l'architecture choisie).

L'environnement radiatif dans cette région éloignée du point de collision est caractérisé par un flux de 10¹¹-10¹² neutrons par année et par une dose intégrée de 10 krad par année, cela dans les parties les plus exposées (*forward*). Pour ce qui concerne l'électronique, l'utilisation d'une technologie microélectronique tolérante aux effets des radiations est suffisante, sans devoir utiliser des composants spécialement durcis.

1.3 Synthèse

Dans ce chapitre, les quatre expériences de physique du LHC, le nouveau projet pour un accélérateur de particules du CERN, ont été présentées. A cause de la grande énergie des particules accélérées et du haut débit des collisions, l'environnement radiatif des quatre expériences posera des problèmes à la survie des détecteurs de particules et de l'électronique associée. Cet environnement radiatif sera dominé par les hadrons produits par l'interaction des faisceaux accélérés (principalement pions, mais aussi protons et kaons) et par les neutrons produits par l'interaction des hadrons dans les matériaux composants les détecteurs.

L'environnement radiatif des expériences ATLAS et CMS, qui est assez similaire, peut être décrit séparément pour la partie centrale, les calorimètres et les détecteurs à muons. La partie centrale de l'expérience, appelé *central tracker* et visant à la reconstruction des trajectoires des particules, sera exposée au flux de particules provenant du point de collision et aux neutrons produits par l'interaction de ces particules dans les calorimètres. La dose intégrée annuelle pourra varier entre 80 krad (à 1 m du point de collision) et 9 Mrad (à 7.5 cm), tandis que la fluence de neutrons pourra atteindre dans les 10 années de fonctionnement de la machine les $5 \cdot 10^{14}$ neutrons/cm² (à 7.5 cm).

Pour ce qui concerne les calorimètres électromagnétique (ECAL) et hadronique (HCAL), une différence considérable de flux existe selon leur position dans l'expérience, les détecteurs *forward* étant exposés aux flux les plus importants. Ces flux seront dominés par les neutrons, car les matériaux des calorimètres produisent beaucoup de neutrons quand ils sont traversés par des hadrons rapides. Un flux de 10^{14} neutrons/cm² par année pourra être atteint dans les régions les plus exposées. La dose intégrée pourra aussi varier considérablement, entre 0.1 krad et 300 krad par année.

Les détecteurs à muons, qui se trouvent très éloignés du point de collision, seront exposés à des fluences de 10^{11} - 10^{12} neutrons/cm² et à une dose intégrée annuelle inférieure à 0.5 krad.

Les détecteurs de particules et l'électronique intégrée devront être capables de survivre pendant 10 ans à cet environnement. La qualification des composants électroniques et le choix des technologies en vue de leur utilisation dans cet environnement, occuperont un rôle fondamental dans la construction des expériences. Pour cela faire, il est nécessaire de connaître les effets des rayonnements sur les dispositifs et les méthodologies de test à appliquer. Les effets sur les transistors MOS et bipolaires seront traités, respectivement, au chapitre 2 et à l'Annexe II, tandis que le chapitre 3 illustrera les méthodologies de test.

Chapitre 2

Effets des rayonnements sur les transistors MOS et méthodologies de durcissement

Les transistors MOS sont des dispositifs dans lesquels la conduction se passe à l'interface silicium-oxyde de silicium. Le substrat en silicium est en général assez dopé pour ne pas ressentir les effets de déplacement (voir annexe 1) jusqu'à des flux intégrés de l'ordre de quelques 10^{15}cm^{-2} . Ces effets peuvent donc être ignorés dans l'examen des conséquences de l'exposition à des rayonnements des technologies MOS, et ne seront par conséquent pas considérés dans ce chapitre. Les effets non récurrents (Single Event Phenomena: SEP) et de dose intégrée sont au contraire très importants dans les transistors MOS et seront traités dans ce qui suit.

2.1 Dose intégrée

La description complète des effets de la dose totale déposée dans les structures MOS est bien au delà des buts de ce travail, surtout pour ce qui concerne l'étude au niveau microscopique des défauts introduits ou activés par les radiations ionisantes. Quelques publications sur ce sujet se trouvent dans les références [2–35].

2.1.1 Centres de défaut dans l'oxyde de silicium et à l'interface Si-SiO₂

Pour mieux comprendre l'effet de la dose totale dans les transistors MOS, il est utile d'introduire brièvement la nature de quelques défauts normalement présents dans l'oxyde de silicium et à l'interface Si-SiO₂. Ces défauts introduisent des états énergétiques localisés dans la bande interdite et agissent comme des centres de piégeage pour les porteurs (électrons dans la bande de conduction, trous dans la bande de valence).

Dans l'oxyde de silicium, le centre de défaut le plus connu est le centre de type E'. Ce centre a un précurseur qui n'est pas actif en condition normale, mais qui est activé par le rayonnement sous forme de centre de piégeage pour charges positives. Le précurseur est déjà présent dans l'oxyde avant l'irradiation, et est illustré dans sa variété la plus répandue en Figure 2.1. Il constitue l'origine physique des pièges dans l'oxyde (*oxide traps* en anglais).

L'interface Si-SiO₂ est un lieu de transition entre un matériau cristallin (Si) et un matériau amorphe (SiO₂, l'oxyde thermique de grille du transistor). La brusque transition entre les deux matériaux et l'interruption de la structure cristalline du silicium donnent lieu à des défauts, qui se situent à l'interface ou à quelques angströms de

l'interface, dont le plus répandu est le centre P_b . L'état d'interface actif est illustré en Figure 2.2, avec son précurseur.

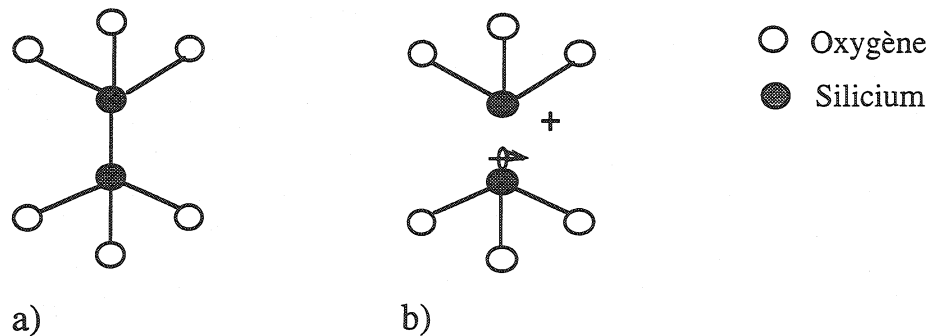


Figure 2.1: Le centre E' dans les deux états: a) précurseur, b) état actif.

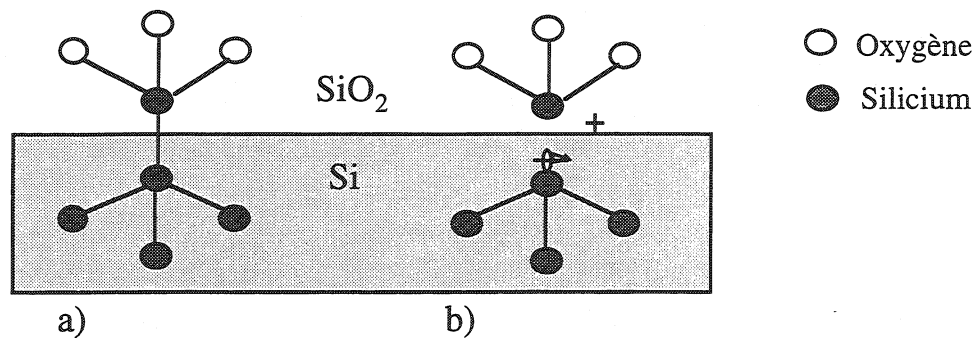


Figure 2.2: Le centre P_b dans les deux états: a) précurseur, b) actif.

Les états d'interface, au contraire des E' qui correspondent toujours à niveaux énergétiques donneurs (chargés toujours positivement), peuvent être donneurs, accepteurs ou neutres. Leur charge nette peut donc être positive ou négative selon leur position par rapport au niveau de Fermi. Les défauts P_b sont responsables des pièges à l'interface (interface traps en anglais).

2.1.2 Formation de la charge piégée dans l'oxyde et à l'interface

Lors de leur passage dans la structure MOS, les radiations ionisantes produisent sur leur chemin des paires électron-trou. Une partie de ces paires se recombine, mais le champ électrique normalement appliqué au dispositif dissocie le reste. Le pourcentage de charges non recombinées est fonction du type de rayonnement, du matériau et de l'intensité du champ électrique. Après formation, et sous l'effet du champ électrique, électrons et trous se déplacent dans l'oxyde en directions opposées. Les électrons ont une mobilité beaucoup plus élevée que les trous, et quittent l'oxyde en quelques picosecondes, les trous se trouvant encore presque au point de génération. La migration des trous dans l'oxyde est expliquée avec le modèle du transport par sauts des polarons, et leur vitesse augmente avec le champ appliqué et la température.

Dans leur migration vers l'interface, les trous trouvent des centres de défauts neutres, de type E'. Une fraction variable des trous produits par ionisation est piégée dans ces défauts, et donne naissance à une charge fixe positive (Q_{ot}). Cette charge subit un lent processus de neutralisation avec deux mécanismes de recombinaison: avec des électrons venant du substrat de silicium par effet tunnel et avec des électrons de la bande de valence de l'oxyde qui ont été excités thermiquement. La distribution spatiale et énergétique des pièges a une grande influence sur l'efficacité absolue et relative des deux processus.

On observe aussi une accumulation à l'interface de pièges induits par les rayonnements. Une corrélation entre cette accumulation et le nombre de centres précurseurs de type P_b a été trouvée dans l'expérience, mais le mécanisme de formation des défauts à l'interface n'est à ce jour pas encore tout à fait compris. Les deux modèles dominants sont le WML (Winokur-McLean) [20, 21] et le $(HT)^2$ (*Hole Trapping/Hydrogen Transport*) [22, 23]. Au contraire des défauts dans l'oxyde, les défauts à l'interface ne subissent pas une neutralisation à température ambiante.

Il est important de remarquer que la polarisation du dispositif pendant l'exposition aux rayonnements détermine la cinétique de la formation des défauts et du piégeage.

2.1.3 Conséquences sur les transistors MOS

Le comportement d'un MOSFET vis-à-vis de la dose totale est lié à la quantité et à la cinétique de piégeage et dépiégeage des charges aux interfaces Si-SiO₂. Les effets principaux sur les caractéristiques électriques du transistor sont les suivants:

- le déplacement de la tension de seuil du transistor
- la diminution de la mobilité des porteurs dans le canal, et par conséquent de la transconductance
- l'augmentation du bruit du transistor
- l'augmentation des courants de fuite.

Les trois premiers effets sont liés aux phénomènes qui se produisent dans l'oxyde de grille du transistor sous l'effet de l'irradiation.

Déplacement de la tension de seuil

Le déplacement de la tension de seuil est une conséquence du piégeage de charge qui a lieu dans l'oxyde et dans les états d'interface. La charge piégée dans l'oxyde est toujours constituée par des trous: il s'agit donc de charge positive. L'effet de cette charge est différent pour les transistors NMOS ou PMOS: elle diminue le seuil du NMOS et augmente (en valeur absolue) le seuil du PMOS. Pour ce qui concerne les défauts à l'interface, leur état de charge est dépendant de leur niveau énergétique

relativement au niveau de Fermi à l'interface: ils sont chargés négativement dans le NMOS (piégeage d'électrons) et positivement dans le PMOS (piégeage de trous). La conséquence est une augmentation de la tension de seuil (en valeur absolue) pour les NMOS comme pour les PMOS.

La dynamique du piégeage est différente pour la charge dans l'oxyde et dans les états d'interface, ce qui implique que le déplacement du seuil dépend de la durée et du débit de dose de l'irradiation. Cela pose le problème de définir des procédures de mesure en laboratoire qui puissent donner avec confiance des prévisions du comportement des dispositifs dans l'environnement radiatif réel (espace, accélérateurs de particules) où le débit de dose est très faible. Ce problème sera examiné en détail dans la suite.

En général, la formation des états d'interface a une dynamique plus lente que le piégeage des trous dans l'oxyde. Dans les mesures d'irradiation courantes (débit de dose supérieur à 1 rad/sec), elle continue dans le temps qui suit l'exposition. Tous les phénomènes qui caractérisent l'évolution des paramètres du transistor après l'exposition se regroupent sous le terme anglais de *annealing* (recuit).

Dans la Figure 2.3, l'évolution typique du seuil des transistors NMOS et PMOS est montrée, et les contributions relatives des charges piégées dans l'oxyde et à l'interface sont illustrées. On distingue l'évolution en fonction de la dose intégrée et du temps de recuit, le débit de dose étant typique des irradiations en laboratoire. Dans le cas du PMOS, le seuil continue à augmenter en valeur absolue avec l'irradiation et l'*annealing*. Le seuil du NMOS subit le phénomène appelé en anglais *rebound*. Le piégeage de trous, plus rapide, provoque une diminution du seuil au début de l'exposition. L'effet du piégeage dans les états d'interface se montre seulement plus tard et tend à augmenter le seuil. Le déplacement du seuil, après avoir été négatif, devient positif. A dose intégrée élevée il y a un effet de saturation des charges piégées dans l'oxyde, et les états d'interface dominent l'évolution du seuil.

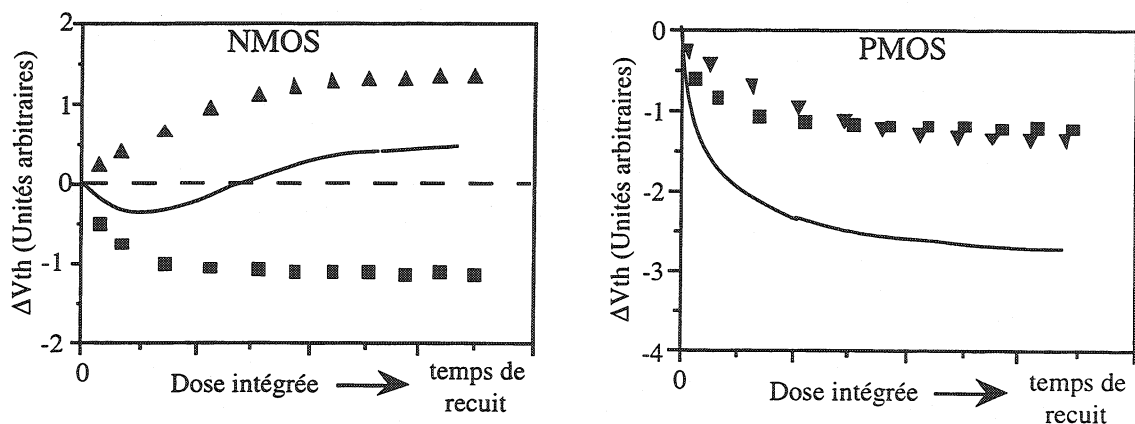


Figure 2.3: Évolution typique de la tension de seuil V_{th} (ligne continue) des transistors NMOS et PMOS avec la dose intégrée et le temps d'*annealing* (recuit). Les contributions relatives des charges piégées dans l'oxyde (carrés) et à l'interface (triangles) ont été séparées. Les unités pour ΔV_{th} , la dose intégrée et le temps de recuit sont arbitraires car elles dépendent fortement de la technologie.

La polarisation de la grille des transistors NMOS et PMOS a une influence importante dans la dynamique de formation ou d'activation des défauts. Il a été démontré qu'il existe une corrélation entre la migration de trous (ou plus généralement de porteurs de charge positive) dans l'oxyde et la formation d'états de défauts à l'interface. Dans les transistors NMOS, la polarisation positive appliquée à la grille favorise la migration des charges positives vers l'interface où elles peuvent contribuer à la création de défauts à l'interface. La tension positive appliquée sur la grille du transistor NMOS pour le rendre conducteur est par conséquent une sorte de "pire cas" sous irradiation. A l'inverse, pour le PMOS la tension négative appliquée sur la grille pour le rendre conducteur a pour effet de réduire la formation des défauts à l'interface sous irradiation.

Diminution de la mobilité

La formation des pièges à l'interface est responsable de la diminution de la mobilité des porteurs dans le canal de conduction. Pour les mêmes raisons que celles énoncées plus haut dans le cas de la tension de seuil, la dégradation de mobilité est plus forte pour le NMOS (polarisé positivement) que pour le PMOS (polarisé négativement). La transconductance, directement liée à la mobilité, diminue aussi avec l'exposition aux rayonnements. Cette dégradation provoque une diminution de la vitesse dans les circuits numériques et est particulièrement indésirable dans les circuits analogiques, dont les performances dynamiques et de bruit sont souvent déterminés par la transconductance.

Augmentation du bruit

Le bruit des transistors est un paramètre important principalement pour les applications analogiques. La plupart des applications étant numériques, il n'y a pas eu beaucoup d'attention accordée au bruit des technologies durcies et à son évolution avec l'exposition aux rayonnements. Le groupe le plus actif dans ce domaine est sans doute celui de *Sandia National Laboratories*, au Nouveau Mexique. Les travaux de recherche de ce groupe ont été focalisés sur l'étude du bruit $1/f$, plutôt à basse fréquence, et à la corrélation de ce bruit avec quelques types de pièges créés par l'irradiation. A la suite de ces travaux, une nouvelle catégorie de pièges, nommée "border traps" par Fleetwood [24–27], a été introduite. La localisation spatiale de ces pièges est illustrée en Figure 2.4.

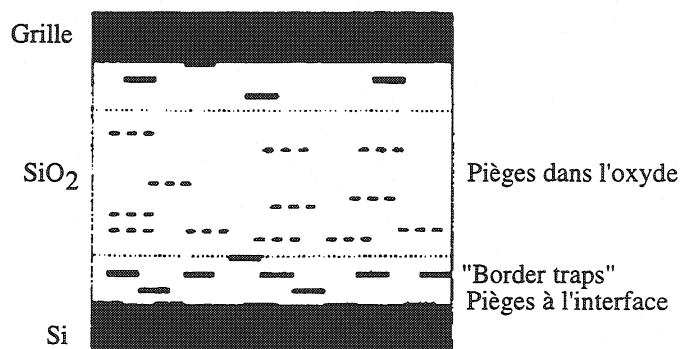


Figure 2.4: Diagramme schématique [24] de la localisation spatiale des défauts dans les structures MOS. Les "border traps" sont localisée dans les premiers ≈ 3 nm de l'oxyde, et peuvent rapidement échanger leur charge avec le silicium (ou la grille).

Il s'agit de défauts dans l'oxyde, donc de type E', qui se trouvent à proximité de l'interface et de toute façon assez près pour pouvoir échanger des porteurs avec le canal. Ils sont responsable du bruit $1/f$ et peuvent être partagés en états rapides (temps de commutation entre 10^{-6} s et 1 s) et états lents (temps de commutation supérieur à 1 s).

Nous avons vu que un des effets des rayonnements est d'activer les états précurseurs des défauts E'. Par conséquent, l'irradiation augmente le bruit $1/f$ des transistors MOS. Les expériences ont montré une bonne corrélation entre l'augmentation du bruit et le piégeage dans l'oxyde, confirmant la théorie. Ce résultat suggère que les techniques de durcissement technologique développées pour réduire le piégeage des trous dans l'oxyde suite aux rayonnements peuvent être utilisées pour diminuer le bruit $1/f$ des transistors MOS. Plus spécifiquement, la réduction des vacances d'oxygène dans l'oxyde peut réduire de façon importante le bruit $1/f$ des transistors MOS, ce qui est utile même dans les applications non durcies.

Courants de fuite

Même si le durcissement "naturel" des oxydes de grille commerciaux augmente suite à la réduction des épaisseurs d'oxyde (oxydes ultra-minces) [28, 29], les oxydes latéraux et de champ restent souvent très sensibles aux effets des rayonnements. Une dose relativement faible (de l'ordre de 10 krad dans la plupart des technologies commerciales) peut induire suffisamment de charge dans l'oxyde latéral pour provoquer le non fonctionnement du circuit intégré.

Les oxydes latéraux et de champ sont beaucoup plus épais que les oxydes de grille, typiquement de l'ordre de 200–1000 nm [30]. Au contraire des oxydes thermiques de grille, ils sont généralement produits avec une large variété de techniques de déposition et leur caractéristiques de piégeage ne sont pas contrôlées, pouvant donc être très différentes de celles des oxydes thermiques [31, 32].

Les oxydes latéraux peuvent être responsables, sous irradiation, de courants de fuite source-drain à travers l'activation d'une structure latérale parasite, telle que le transistor en forme de "bec d'oiseau" (*bird's beak*) lié à la transistion LOCOS-oxyde mince de grille. On peut le modéliser comme un transistor parasite d'oxyde épais [33] en parallèle avec le transistor principal et partageant sa grille avec lui. Sa structure classique est montrée en Figure 2.5.

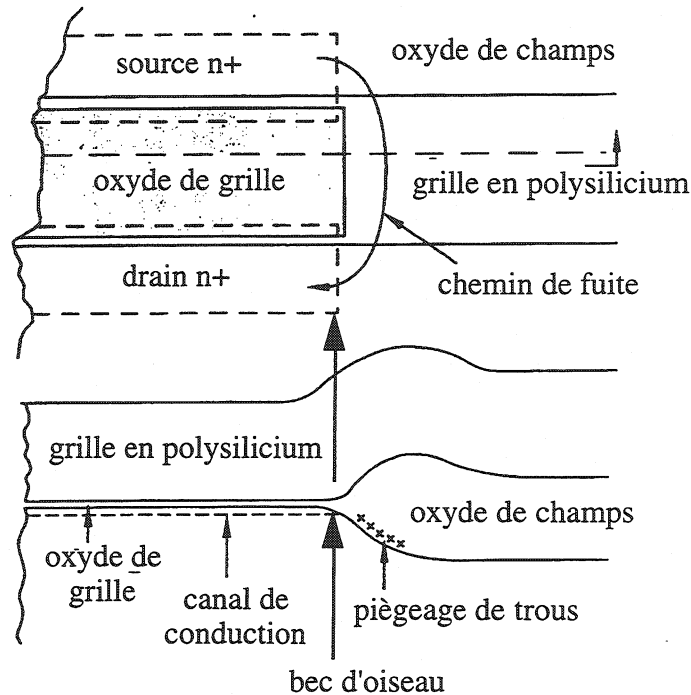


Figure 2.5: Le transistor parasite dû à l'oxyde latéral [1]. Le chemin de fuite est causé par la charge positive piégée dans la zone de transition entre oxyde épais et oxyde de grille.

Seuls les transistors à canal n sont sensibles aux courants de fuite. En fait, les trous piégés dans l'oxyde latéral suite à l'irradiation tendent à diminuer le seuil du transistor latéral parasite (sur substrat de type p). Si l'accumulation de charge dans l'oxyde latéral est suffisante, il peut y avoir formation du canal de conduction du transistor parasite [34] et par conséquent le transistor ne peut plus être commuté en position "off". Cette situation est illustrée en Figure 2.6 où, même à une tension de grille nulle, un courant source-drain est présent. Cela accroît largement la consommation statique du circuit intégré et peut aussi, dans les cas extrêmes, empêcher son fonctionnement.

Les oxydes de champ sont topologiquement, voir physiquement, différents des oxydes latéraux. Ce sont des isolants fondamentalement épais, et leur rôle est de séparer les lignes d'interconnexions (poly, métal) de la surface du silicium. La sensibilité à l'irradiation provient, pour les structures à oxyde épais sur substrat de type p, de la possibilité d'inversion en surface du silicium, permettant des chemins de fuite induits entre les sources ou les drains de transistors adjacents ou entre caissons [35]. La situation peut être aggravée lorsqu'une ligne d'interconnexion existe au-dessus de ce chemin de fuite potentiel, car elle agit alors comme une grille virtuelle et peut provoquer

ou augmenter le courant de fuite. La conséquence de ce courant est l'augmentation de la consommation statique, parfois la perte de fonctionnalité du circuit intégré.

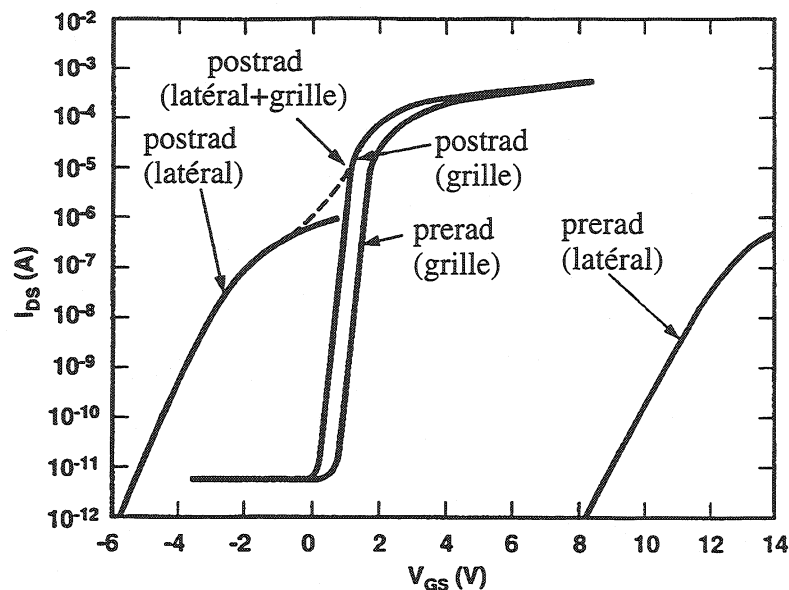


Figure 2.6: Courbe I-V du transistor principal (de grille) et du transistor latéral parasite [1]. Le courant de fuite du transistor principal est engendré, après irradiation, par le déplacement du seuil du transistor parasite. Les charges piégées dans l'oxyde épais latéral sont responsables de ce déplacement.

2.2 Phénomènes non récurrents (Single Event Phenomena: SEP)

On utilise le nom de phénomènes non récurrents pour comprendre les effets instantanés induits par les ions lourds ou les protons de haute énergie. Les SEP sont soit destructeurs, soit réversibles, provoquant une défaillance fonctionnelle temporaire ou définitive du composant. Les SEP se produisent de manière non récurrente dans le temps et l'espace en fonction de la fluence des ions, au contraire des effets de la dose totale dont les dommages sont cumulés et provoquent une dégradation progressive.

La sensibilité des transistors aux SEP est caractérisée par leur section efficace en fonction du transfert linéaire d'énergie (Linear Energy Transfer: LET). Le LET est l'énergie transférée moyenne (ΔE_T) per unité de longueur de trace (Δx) normalisée à la densité ρ du matériel: $LET = \Delta E_T / (\rho \cdot \Delta x)$. La section efficace σ exprime le nombre d'événements (SEP) par unité de fluence, et une courbe $\sigma = \sigma(LET)$ typique pour un circuit intégré est montrée en Figure 2.7.

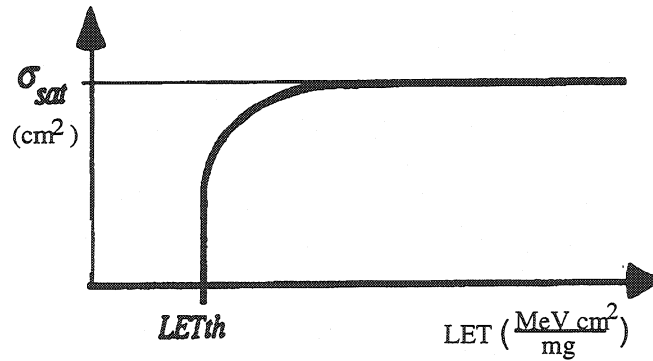


Figure 2.7: Section efficace de SEP en fonction du LET des ions.

Le LET_{th} (seuil, LET threshold) est le LET minimum créant un effet singulier au niveau du point le plus sensible dans le composant: seules les particules avec LET supérieur peuvent produire des SEP. Les composants ayant un LET_{th} inférieur à 10–20 $MeVcm^2/mg$ sont considérés sensibles. La valeur asymptotique de σ lorsque le LET augmente, σ_{sat} , exprime la surface totale sensible aux SEP du composant. Les composants avec σ_{sat} entre 10^{-3} et $10^{-1} cm^2$ sont considérés comme sensibles aux aléas logiques (changement de l'état logique d'un élément de mémoire).

2.2.1 Effets des ions lourds

Les ions lourds transfèrent leur énergie à la matière surtout par ionisation et par collisions nucléaires élastiques. Au début du parcours de l'ion dans la matière, l'ionisation constitue le mode principal de transfert d'énergie, ce qui provoque un progressif ralentissement de l'ion. Ensuite, le ralentissement et l'arrêt sont dues à des collisions nucléaires, qui produisent des déplacements des atomes de la cible et créent des défauts de structure. Lorsqu'un ion traverse une zone désertée, la haute concentration de paires électron-trou, suite à la ionisation, forme un plasma très dense qui déforme la zone de déplétion originelle dans un volume cylindrique qui suit la trajectoire de l'ion. Cela constitue une région appelée "funnel", qui s'étend dans le substrat (ou dans le caisson). La charge présente dans la cette région peut être collectée rapidement à l'électrode sous l'effet du champ électrique.

Le courant induit possède deux composantes, l'une instantanée et l'autre retardée. La composante instantanée des charges collectées comporte un courant de dérive (Q_d) et une aspiration de charges (courant de "funneling", Q_f) et a une durée de l'ordre de quelques centaines de picosecondes [36]. La composante retardée, qui est un courant de diffusion (Q_{df}), peut durer plusieurs centaines de nanosecondes. La zone de funnel et les composantes du courant collecté sont illustrées en Figure 2.8 [37].

Si la zone diffusée dans le substrat de silicium (de type n+ ou p+) traversée par l'ion est un point de mémoire, le courant collecté localement dans cette zone peut changer son état logique (aléa logique, Single Event Upset: SEU). Si au contraire la zone désertée

traversée se trouve entre substrat et caisson, ce courant peut amorcer un thyristor parasite (verrouillage maintenu, Single Event Latchup: SEL).

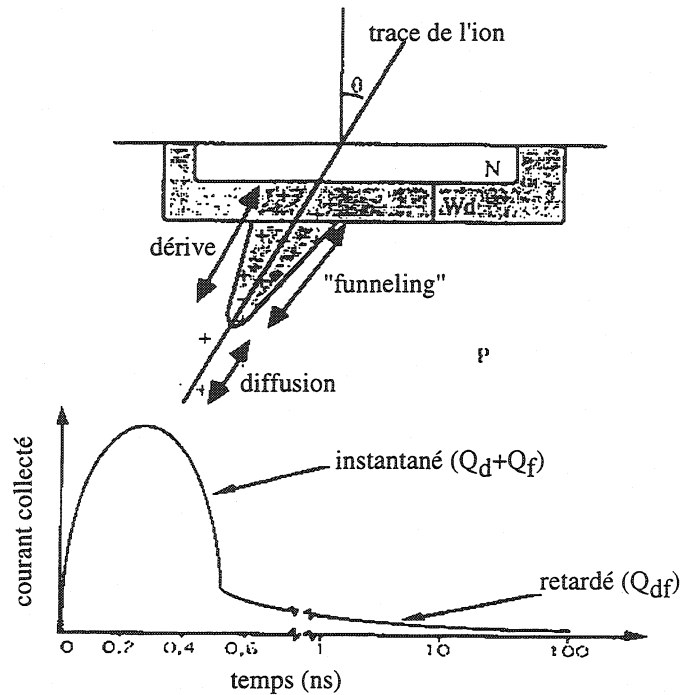


Figure 2.8: Formation d'une zone de "funnel" au passage d'un ion lourd à travers la région désertée d'une jonction, et impulsion de courant qui en résulte [1]. Dans l'impulsion, on distingue le courant instantané qui est dû à la collection des charges par dérive (Q_d) et funneling (Q_f), et le courant retardé de diffusion (Q_{df}).

Les ions lourds peuvent aussi provoquer une défaillance dans un transistor bipolaire parasite (destruction par échauffement excessif, Single Event Burnout: SEBO), ou encore induire un claquage dans l'oxyde de grille (claquage de grille, Single Event Gate Rupture: SEGR).

2.2.2 Effets des protons

Les protons de haute énergie peuvent également amorcer des SEP. Leur action est plus complexe que celle des ions lourds, et peut être partagée en deux phénomènes différents. Dans le premier, les protons produisent des SEP de la même manière que les ions lourds. En raison du faible LET des protons, inférieur à $1 \text{ MeVcm}^2/\text{mg}$, leur apport direct dans les SEP est faible ou négligeable pour la plupart des composants, étant donné que seul un petit nombre d'entre eux possède un LET seuil inférieur à $1 \text{ MeVcm}^2/\text{mg}$.

En ce qui concerne le second mécanisme, les protons interagissent avec les atomes du composant pour créer des ions secondaires possédant des LET beaucoup plus élevés que celui du proton incident (jusqu'à $8-10 \text{ MeVcm}^2/\text{mg}$ pour les composants à base de silicium). Les atomes du composant impliqués dans la réaction sont en majorité ceux du

matériel semiconducteur, mais il peut également s'agir d'atomes de lignes de métallisation, qui sont parfois beaucoup plus lourds. Ce second mécanisme peut être déclenché même par les neutrons.

2.2.3 Aléa logique (Single Event Upset, SEU)

C'est une modification soudaine et réversible de l'état logique d'un point mémoire élémentaire, induite par les charges générées le long de la trace d'un ion lourd (ou d'un ion secondaire produit par le passage d'un proton à haute énergie) dans le volume d'un composant électronique. Ces charges sont collectées aux électrodes du composant, et leurs effet au niveau du circuit dépend de la sensibilité du noeud touché.

À titre d'exemple, nous examinerons le cas des SRAM à base de deux inverseurs CMOS. Le courant qui suit le passage de l'ion coule toujours de la région dopée n à la région dopée p: le drain d'un transistor n peut donc changer d'état logique seulement s'il se trouve à l'état logique 1. Inversement le drain d'un transistor p est sensible s'il se trouve à l'état logique 0. Pour cette raison, les noeuds les plus sensibles d'un point mémoire SRAM sont les drains des transistors MOS dans l'état bloqué, comme illustré en Figure 2.9. Si du courant est injecté dans le drain à cause du passage d'un ion lourd, la tension de grille connectée peut s'en trouver changée et causer le basculement de l'état logique d'un point mémoire [38].

Le passage d'un ion lourd dans le drain de T1 et T2 ne produit pas obligatoirement un aléa logique. Les charges déposées peuvent en fait suivre deux chemins: traverser le transistor sous tension (supposons T1) et aller vers l'alimentation ou passer sur la grille de T3 et T4. Seulement si ce second processus est plus rapide, et si la charge déposée est suffisante, un SEU peut avoir lieu. Dans les technologies sur substrat p, qui sont les plus répandues, le drain du transistor n est plus sensible à l'aléa logique que le drain du transistor p. Ce dernier se trouve dans le caisson n, dont la jonction avec le substrat est une région désertée qui contribue à la collection des charges au passage de l'ion. La moitié environ des charges de ionisation dans le caisson ne migrent pas au drain p+ et ne contribuent pas à changer son état logique. Au contraire, pour un drain n+, toutes les charges de ionisation peuvent être recueillies au drain.

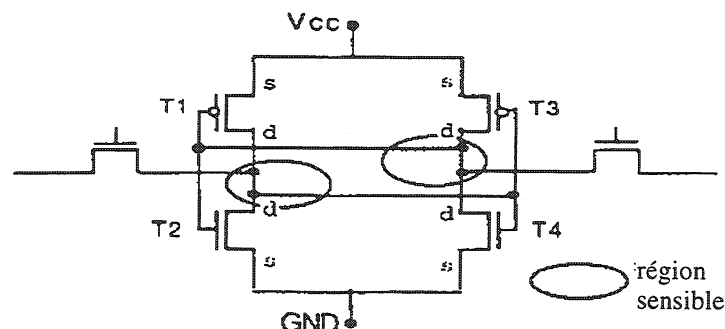


Figure 2.9: Les noeuds les plus sensibles d'un point mémoire SRAM élémentaire sont les drains des transistors dans l'état bloqué [2].

2.2.4 Verrouillage maintenu (Single Event Latchup, SEL)

Le verrouillage maintenu est provoqué par l'activation d'un thyristor parasite, qui est intrinsèque dans la structure CMOS sur substrat massif. Cela est montré en Figure 2.10. Le thyristor parasite est représenté par deux transistors bipolaires constitués par les jonctions entre substrat, caisson (*well*), source et drain. Ces jonctions sont normalement polarisés en inverse.

Un événement tel qu'un courant d'avalanche, un photocourant, une surtension (qui peuvent être provoqués par un ion lourd) peut instantanément augmenter la tension entre base et émetteur des transistors bipolaires T_n ou T_p et les mettre en conduction. Un courant très élevé peut s'écouler, dépendant du gain en courant des deux transistors et seulement limité par les résistances R_n et R_p . Si le gain en courant de la boucle formée par les deux transistors T_n et T_p est supérieur à l'unité, ce courant se maintient après la fin de la perturbation qui l'a causé. Ce courant peut détruire le circuit, à moins que l'alimentation ne soit rapidement coupée (dans un délai inférieur à quelques centaines de microsecondes, selon le type de composant).

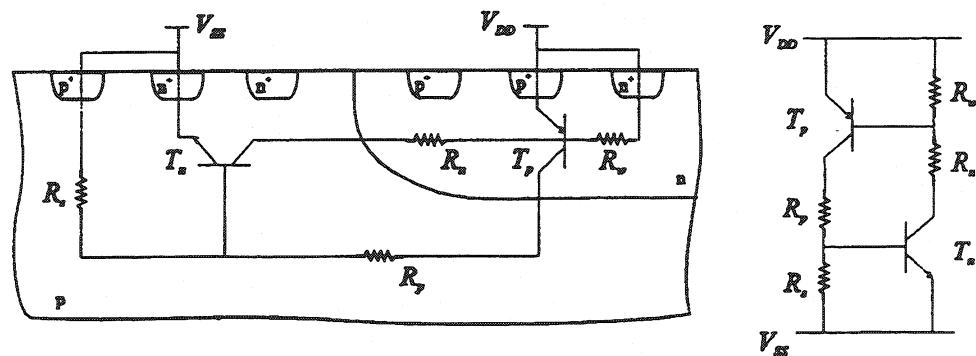


Figure 2.10: Schéma d'une structure CMOS sur silicium massif, avec caisson de type n. Les éléments parasites responsables du verrouillage sont mis en évidence, et le circuit électrique équivalent est représenté.

2.2.5 Single Event Snapback (SES)

Le snapback est un mécanisme rétroactif de courant qui peut avoir lieu dans les composants MOS à canal n fonctionnant dans des conditions d'intensité de courant élevée. Dans ce cas, le transistor bipolaire NPN parasite peut être déclenché par un mécanisme d'avalanche se produisant à la jonction drain. Cette avalanche induite dans la zone désertée du drain par l'ion lourd provoque l'injection de trous dans la région du substrat p en dessous de la grille, qui agit comme courant de base du transistor NPN parasite et provoque l'injection d'électrons par la source (émetteur) vers le drain (collecteur). L'augmentation de courant qui en résulte renforce le mécanisme d'avalanche et ferme la boucle [39]. On peut bloquer les SES en coupant l'alimentation.

2.2.6 Claquage de grille (Single Event Gate Rupture, SEGR)

Le claquage de grille peut survenir dans des cas où il existe un champ électrique élevé [40], lors des opérations d'écriture ou d'effacement dans une SRAM non volatile, une EEPROM ou dans des composants MOSFET de puissance [41, 42]. Le claquage est provoqué par le tube de plasma transitoire généré le long de la trace de l'ion dans l'oxyde de grille, avec passage de courant important. Si la densité de courant est suffisamment élevée, celle-ci peut provoquer un claquage thermique et la destruction locale de l'oxyde.

2.2.7 Destruction par échauffement excessif (Single Event Burn Out, SEBO)

On peut observer cet effet dans les composants MOSFET de puissance à canal n avec une polarisation appliquée importante et un champ électrique interne élevé [43]. Il est lié à la présence d'un transistor bipolaire parasite qui peut s'activer suite au passage d'un ion lourd qui crée un courant transitoire. Si ce transistor parasite conduit suffisamment, la puissance dissipée localement peut faire fondre le composant.

2.3 Méthodologies de durcissement

Le durcissement d'un système microélectronique est un problème complexe qui peut être abordé à trois niveaux différents. Le premier niveau est constitué par la technologie des composants microélectroniques. L'action est dirigée sur les paramètres technologiques, qui doivent être contrôlés pour minimiser les dégradations des caractéristiques électriques des composants. Le second niveau se situe dans la conception des circuits microélectroniques. Les règles de layout peuvent être optimisées pour rendre les dispositifs moins sensibles, et des techniques de durcissement pour ce qui concerne le schéma électrique peuvent être utilisées. Le troisième niveau concerne le système complet, son architecture pouvant être conçue pour minimiser ou même corriger les perturbations, surtout pour ce qui concerne les événements non récurrents.

Dans la discussion du durcissement technologique, les seules technologies CMOS seront discutées. Les approches pour le durcissement par conception électrique et par l'architecture de systèmes, qui seront brièvement traitées, sont valides pour d'autres technologies. Les aspects spécifiques aux technologies Silicium sur Isolant (SOI) seront examinés dans le chapitre 4.

2.3.1 Durcissement technologique

On distingue le durcissement à la dose intégrée et aux effets transitoires.

Durcissement à la dose intégrée

Comme on a vu dans le chapitre 1, le point sensible des technologies CMOS pour ce qui concerne la dose intégrée est constitué par les oxydes et les interfaces Si-SiO₂. L'accumulation de charge dans l'oxyde mince de grille et à son interface avec le silicium est responsable du déplacement de la tension de seuil, de la dégradation de transconductance et de bruit du transistor. Les oxydes épais latéraux et de champ sont à l'origine de courants de fuite entre source et drain et entre transistors voisins.

Oxyde de grille

Le piégeage de trous dans l'oxyde est dépendant de la densité d'états précurseurs de type E', ce qui, avec la densité d'états précurseurs de type P_b à l'interface, est un paramètre de la qualité de l'oxyde. Pour diminuer la sensibilité à la dose intégrée il est par conséquent nécessaire de maîtriser le procédé technologique de formation de l'oxyde, et éventuellement de le modifier. Le premier pas dans cette direction est constitué par l'élimination des états précurseurs dûs aux atomes ou ions contaminants. On parle d'oxydes ultra-propres, et cela depuis le début des années 70 [44]. Des améliorations considérables du durcissement de l'oxyde de grille sont obtenues en baissant la température d'oxydation et de recuit post-oxydation [45-49]: à ces températures la qualité de l'oxyde obtenu est meilleure.

L'épaisseur de l'oxyde est aussi un paramètre très important. La charge piégée dans l'oxyde diminue pour des oxydes minces selon une loi quadratique pour une épaisseur d'oxyde supérieure à environ 12 nm, et même plus rapidement au-dessous de cette dimension [50-52]. Cela est illustré en Figure 2.11, qui montre la variation de la tension des bandes plates par unité de dose intégrée en fonction de l'épaisseur de l'oxyde.

Pour des épaisseurs moindres que 12 nm, le tunneling de trous (créés par l'irradiation) à l'extérieur de l'oxyde avant leur piégeage et avant création de défauts à l'interface devient important, et le seuil du transistor change par conséquent très peu avec l'irradiation.

L'épaisseur de l'oxyde de grille dans les technologies modernes est de plus en plus faible. Cela fait partie des modifications technologiques nécessaires pour augmenter l'intégration des circuits microélectroniques [53], et implique un durcissement "naturel" croissant avec les générations technologiques. Dans les technologies fortement submicroniques (longueur de grille minimum de l'ordre de 0.1 μm à 0.35 μm) l'épaisseur de l'oxyde de grille est inférieure à 10 nm, et des laboratoires de recherche

ont déjà produit des oxydes de 1.5 nm [54]. Avec de tels oxydes minces, la variation de seuil devient très faible et elle n'est plus le paramètre fondamental pour le durcissement des transistors. De plus, les effets des porteurs chauds (*hot electron effects*) demandent souvent des traitements spéciaux de l'oxyde, traitements qui peuvent être bénéfiques au durcissement.

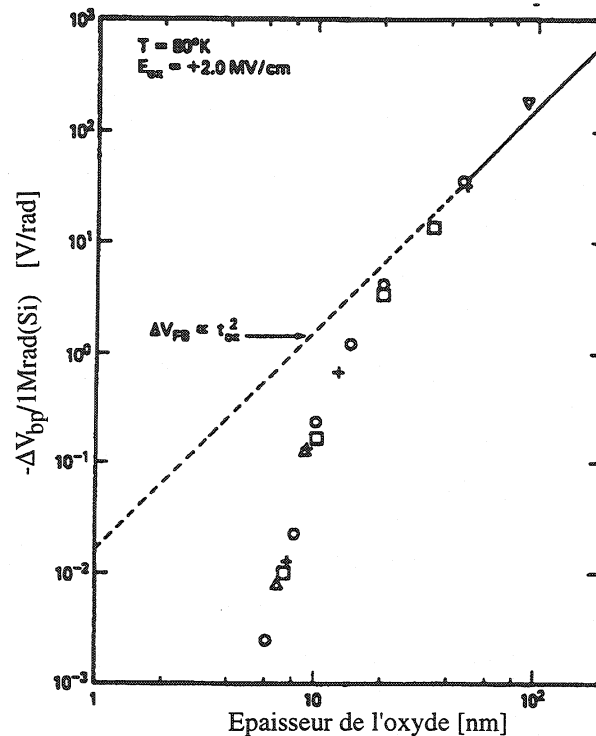


Figure 2.11: Variation de la tension des bandes plates par unité de dose intégrée en fonction de l'épaisseur de l'oxyde [51].

Des travaux récents ont montré que les oxydes dont la croissance a eu lieu dans une atmosphère de N_2O présentent une diminution importante du piégeage de charge [55,56] et de formation d'états d'interface [57]. Ces oxydes, qui contiennent un petit pourcentage ($\approx 1\%$) d'azote et sont nommés *oxynitrides*, montrent la même diminution du débit de formation d'états d'interface que les oxydes qui ont été recuits en NH_3 [58,59], tout en évitant les désavantages de ces derniers. Le recuit en NH_3 introduit des liaisons du type O–N–H qui sont des pièges pour électrons; les transistors avec cet oxyde de grille présentent une moindre mobilité des électrons dans la couche d'inversion et une quantité de charge piégée dans l'oxyde plus importante avant irradiation. Le procédé de croissance en N_2O introduit de l'azote dans l'oxyde qui reste localisé à l'interface Si– SiO_2 , dans les premiers 5 nm, et qui sature avec des liaisons fortes les états précurseurs de défauts [60]. Les oxynitrides sont des oxydes très intéressants non seulement pour leur caractéristique de durcissement, mais aussi pour leurs avantages potentiels dans les technologies submicroniques (meilleure résistance au dommage dû aux porteurs chauds, prévention de la migration des ions bore du polysilicium dans l'oxyde) [61, 62]. Plusieurs techniques de croissance de ces oxydes sont actuellement étudiées [63, 64, 65].

Oxyde latéral et oxyde de champ

Comme expliqué en 2.1.3, les oxydes latéraux sont responsables des courants de fuite source-drain après irradiation. Plusieurs solutions à ce problème sont possibles.

Une première amélioration est basée sur la concentration en dopant du silicium. En augmentant localement le niveau de dopage au-dessous du bec d'oiseau, on accroît le seuil du transistor parasite latéral. Cette solution n'est pas couramment suivie à cause de difficultés technologiques. En premier lieu, la jonction drain (N+)-implantation P+ (appelée "channel stop") comporte des risques de claquage. Puis, le dopage P+ étant effectué avant l'oxydation à haute température LOCOS, les atomes dopants diffusent dans le volume de silicium et le dopage effectif diminue en-dessous du niveau nécessaire.

Une seconde solution concerne le dessin du transistor (*layout*). Si le chemin de fuite est sur les bords du transistor entre drain et source, on peut l'éviter en dessinant un transistor sans bords, comme montré en Figure 2.12.

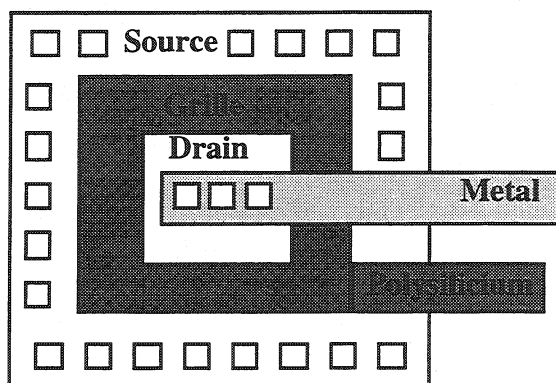


Figure 2.12: Layout d'un transistor circulaire. L'absence de bords prévient les parcours possibles pour les courants de fuite entre source et drain.

Ce type de dessin est efficace, mais il dégrade la densité d'intégration. Pour cette raison, il n'est pas utilisé dans la pratique pour des applications numériques, mais il reste néanmoins intéressant pour des applications analogiques où la densité d'intégration n'est pas une contrainte excessive. Les chemins de fuite entre transistors voisins ne sont pas corrigés par ce dessin, et continuent à être un possible problème au durcissement.

L'addition d'un anneau de garde autour des transistors peut empêcher tout chemin de fuite entre transistors voisins; une prolongation de l'oxyde mince jusqu'à l'anneau dopé P+ pour les transistors NMOS élimine la sensibilité au transistor latéral [66]. Le principe est illustré en Figure 2.13.

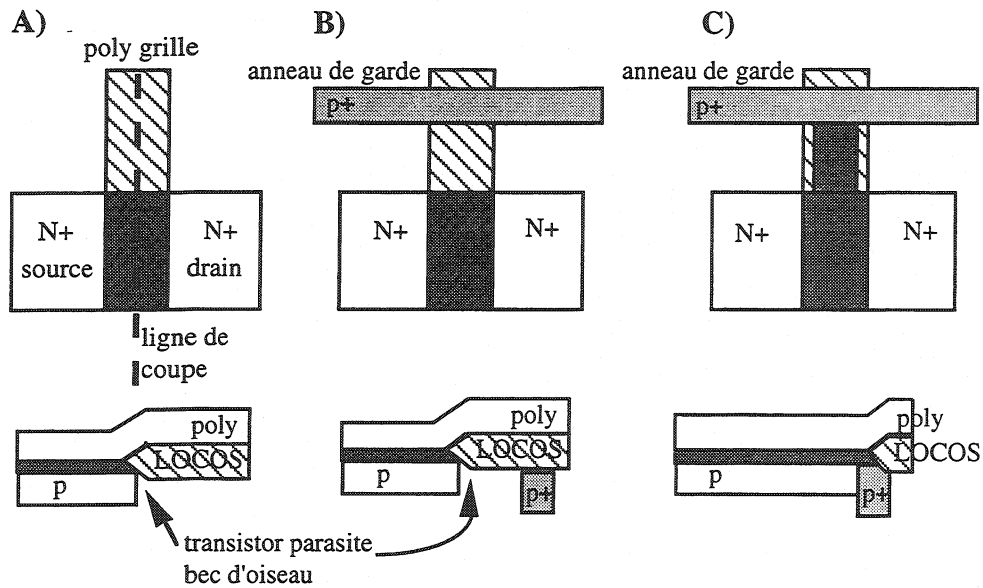


Figure 2.13: Layout de transistors NMOS pour éliminer les courants de fuite entre source et drain et entre transistors voisins [66].

Le dessin (A) montre un transistor sans protection contre les effets des irradiations. Le dessin (B) présente un transistor avec anneau de garde. L'anneau de garde est réalisé avec un dopage P+, qui se trouve loin des zones source et drain dopés N+, cela pour éviter de créer une jonction qui pourrait potentiellement claquer. Cette structure a l'avantage de couper les chemins de fuite entre transistors différents, mais n'empêche pas la fuite du transistor latéral. On peut résoudre ce problème en prolongeant l'oxyde de grille jusqu'à l'anneau de garde, comme montré en (C). De cette façon, l'anneau de garde est utilisé pour empêcher le chemin de fuite source–drain et entre transistors [67, 68].

Il est clair que ces techniques de durcissement, quoi que efficaces, diminuent la densité d'intégration et sont par conséquent utilisées seulement s'il n'existe aucune alternative valable. Une étude assez complète des différents types de layout possibles, avec une estimation de la surface supplémentaire nécessaire et des performances, a été réalisée au Japon par Toshiba [69, 70].

Enfin des solutions reposant sur la qualité des oxydes latéraux et de champs ont été explorées [71–76]. Les techniques développées présentent souvent les inconvénients de compliquer le procédé, d'empêcher l'auto-alignement et de nécessiter un relâchement des règles de dessin dans certains cas, ce qui entraîne une chute du rendement de fabrication.

Durcissement aux effets transitoires

SEU

Les régions sensibles au SEU en technologie CMOS sont limitées aux volumes qui entourent les zones désertées des jonctions polarisées en inverse. Pour ces noeuds sensibles, la charge déposée par une particule ionisante est collectée et peut causer un basculement de l'état logique du noeud. L'effet dépend aussi de la sensibilité temporelle du circuit même, car la collection de charge a lieu par drift et par diffusion, les deux composantes ayant une constante de temps très différente. Notamment, la charge collectée par diffusion n'est pas très significative dans des circuits statiques, où il y a une recharge rapide du noeud à travers les composants à l'état ON. Au contraire, elle peut avoir une grande importance dans des circuits dynamiques avec un temps de rafraîchissement long par rapport au temps de collection de charge.

En général, pour minimiser la sensibilité d'un circuit contre les effets SEU on peut agir soit sur la charge collectée par les noeuds sensibles (en la minimisant), soit sur la charge critique nécessaire pour produire la perturbation (en la maximisant). Cela est possible seulement après un étude des structures physiques qui ont un rôle dans le mécanisme de collection de charge. En fait, cette analyse révèle l'importance des structures parasites, dont les diodes drain-substrat, les diodes d'isolement entre dispositifs voisins et les lignes de courant dans les régions du semiconducteur sont des exemples. Une vue schématique de ces structures est montrée en Figure 2.14.

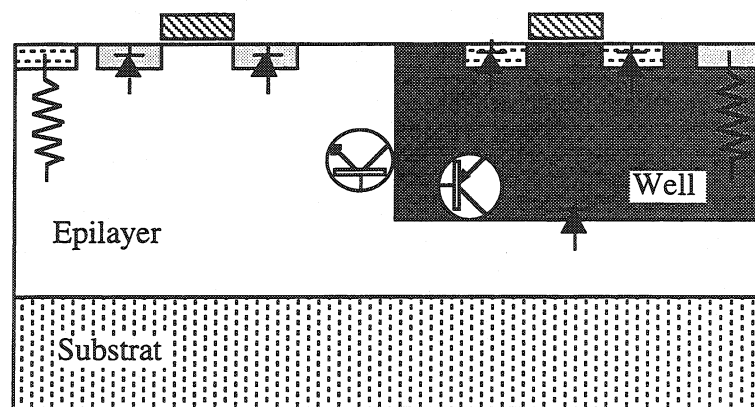


Figure 2.14: Représentation schématique des structures parasites en technologie CMOS sur couche épitaxiée.

L'examen des volumes relatifs indique que la sensibilité d'une technologie, qui dépend des mécanismes de collection de charge dans les structures élémentaires, est déterminée par les éléments parasites.

Après la localisation des éléments sensibles aux perturbations, il est nécessaire d'agir pour diminuer la charge collectée après le passage de la particule ionisante. Cela surtout

en réduisant le funneling, qui s'étend profondément dans le substrat. Les tendances pour atteindre ce but comprennent la réduction de l'épaisseur des couches, l'augmentation du dopage des couches et la réduction des durées de vie des porteurs. Une solution très efficace est l'utilisation de couches minces épitaxiées sur des substrats très dopés, ce qui limite l'extension du phénomène de funneling [77]. Cette solution offre aussi l'avantage d'une distribution facile d'une ligne d'alimentation par le substrat fortement dopé. L'efficacité des couches épitaxiées dépend de leur épaisseur minimum, qui est déterminée par beaucoup de facteurs liés à la technologie, tels que la densité de défauts dans la couche épitaxiée, les budgets thermiques du procédé, les capacités P-N, les caractéristiques de claquage des jonctions [78].

SEL

Le verrouillage du thyristor se produit seulement quand la tension entre l'anode et le cathode de la structure est supérieure à la tension de maintien, et en conséquence de l'injection dans la boucle d'un courant suffisant pour la mise en conduction du thyristor. Le durcissement consiste à éviter ces conditions nécessaires au verrouillage, et cela peut être atteint de plusieurs façons:

- 1) En supprimant la structure PNP parasite grâce à l'isolation électrique des transistors les uns des autres (technologies SOI, SOS, isolations diélectriques).
- 2) En agissant sur le gain des transistors bipolaires qui constituent la structure PNP, de façon à déplacer le point de fonctionnement (tension et courant de maintien) hors du domaine d'utilisation des transistors. L'utilisation de substrats très dopés surmontés d'une mince couche épitaxiée est une solution très utilisée. Une augmentation de la tension de maintien est obtenue aussi en augmentant la distance entre les zones P+ et N+, ce qui introduit une résistance le long des lignes de courant. La densité et la surface des contacts du substrat est aussi un paramètre important dans la diminution de l'excursion transitoire de courant qui pourrait enclencher le verrouillage du thyristor.

Les technologies submicroniques, qui fonctionnent avec des tensions d'alimentations de plus en plus faibles, présentent un intérêt évident parce que le point de maintien du verrouillage peut être plus aisément placé hors de la plage d'utilisation.

2.3.2 Durcissement électrique (conception de circuits)

Il s'agit de concevoir un circuit le plus résistant possible aux effets des radiations sans intervenir sur la technologie, mais en choisissant des règles de dessin et des architectures pour parvenir à cet objectif. Le choix du concepteur devra tenir en compte des exigences de durcissement, mais aussi du cahier de charge du circuit pour ce qui concerne la vitesse, la densité d'intégration et la consommation.

La base des techniques de conception durcie sont l'identification des fonctions ou des chemins qui sont particulièrement sensibles aux effets des radiations, et leur élimination

ou remplacement. Pour ce qui concerne le durcissement à la dose intégrée, on peut utiliser plusieurs techniques:

- adapter les règles de dessin de façon à couper les chemins possibles des courants de fuite, comme on a déjà vu dans le paragraphe consacré au durcissement technologique;
- modéliser les variations des paramètres des transistors (tension de seuil, transconductance) en fonction de la dose, pour prévenir les faillites possibles dues aux dérives des points de fonctionnement;
- choisir un type de structure préférentiel en fonction de l'application. Les portes NAND sont, par exemple, généralement préférées aux portes NOR car elles sont moins sensibles aux courants de fuite. Les transistors à canal p, toujours à titre d'exemple, ont moins de variations de transconductance et de bruit que les transistors à canal n;
- choisir le mode de fonctionnement (pour circuits numériques): synchrone ou asynchrone. La synchronisation des états par un horloge limite la sensibilité aux variations des temps de transition, et permet ainsi d'obtenir une meilleure tenue aux rayonnements même en cas de dérive importante des paramètres électriques;
- anticiper les défaillances en mesurant des paramètres électriques sensibles sur des dispositifs de contrôle. Cela permet d'agir sur le système avant que la défaillance se manifeste.

Le durcissement électrique au SEU est très important pour les applications spatiales et a donc bénéficié de grands efforts au cours des dernières années. Pour ce qui concerne l'identification des structures sensibles, on peut dire que les noeuds flottants ou à haute impédance sont très sensibles. Pour le choix de l'architecture, les circuits statiques sont plus résistants. Cela dit, il existe une grande variété de techniques de durcissement, qui suivent deux directives principales: la modification de la charge critique et le filtrage des effets transitoires.

L'augmentation de la charge critique (qui peut être atteinte par une modification de la capacité associée au noeud sensible) nécessaire pour le SEU est une technique efficace, mais qui demande une surface accrue et une réduction de vitesse qui ne sont pas en accord avec les tendances actuelles. Le filtrage des effets transitoires, qui joue sur l'écart entre la durée de la perturbation et le temps de réponse du circuit, est par conséquent très utilisé. Parmi les méthodes de filtrage, les plus connus sont l'introduction d'une résistance de découplage (contre réaction) [79] et le couplage par une capacité Miller [80].

2.3.3 Durcissement des systèmes

Le premier pas pour atteindre le durcissement d'un système est de réduire au maximum l'amplitude de l'irradiation sur le système, et cela peut être obtenu avec un blindage général ou sélectif. Cela n'est pas toujours possible, et en tout cas il faudra rendre le système capable d'une tolérance aux dégradations dues à l'irradiation résiduelle. La mise en place d'une redondance fonctionnelle, qui peut être réalisée par la parallélisation

des systèmes ou par répétition des tâches, est un moyen très utilisé pour diminuer le niveau de vulnérabilité.

Pour ce qui concerne la dose intégrée, qui est responsable d'une dégradation progressive des paramètres électriques, la quantification à priori de la dégradation permet la conception de systèmes avec des marges de fonctionnement suffisantes. Dans la phase de conception du système, les composants qu'on veut utiliser doivent être soumis au niveau d'irradiation prévu et la dégradation de leur performance doit être mesurée. Le circuit ainsi conçu sera tolérant à un environnement défini par les conditions du test effectué au préalable, et seulement un contrôle très strict sur l'origine des dispositifs assure leur absolue identité de réponse aux radiations avec les composants objet du test.

Le durcissement aux effets transitoires consiste, en partant de l'analyse détaillée du système, à limiter le nombre et la fréquence des perturbations et à en contrôler la propagation. Le but de l'analyse est d'identifier les flux normaux des informations et, par conséquent, de mettre en évidence les points faibles responsables de la propagation des perturbations et enfin des défaillances du système. A partir de cela il est possible de réduire la sensibilité des points faibles qui ont été individués dans le système, par exemple avec des techniques de détection et correction d'erreurs. Cela nécessite une partie de redondance de l'information traitée, et éventuellement une redondance de composants. Il s'agit d'avoir soit une information de référence (la redondance triple avec vote majoritaire, dans laquelle la même fonction est effectuée simultanément par trois circuits identiques, en est un exemple), soit une information permettant la détection et correction d'erreur (avec l'utilisation de codes qui insèrent des bits supplémentaires de parité dans les échanges de données). Cela représente une diminution des performances du système en termes de vitesse et une augmentation de sa complexité.

Le durcissement au latch-up repose sur la limitation des courants et/ou la coupure de l'alimentation du système. Le placement d'une résistance en série dans le chemin de l'alimentation limite la puissance dissipée dans le circuit après l'enclenchement du verrouillage, et la présence d'un circuit spécialisé dans la détection du latch-up permet de couper les alimentations et de désamorcer le verrouillage en passant le point de fonctionnement du circuit en dessous du point de maintien.

2.4 Synthèse

Les effets des rayonnements sur les transistors MOS ont été illustrés, et partagés en effets de la dose intégrée et phénomènes non récurrents (Single Event Phenomena: SEP).

Les effets de la dose intégrée ont lieu dans l'oxyde et à l'interface Si-SiO₂. Les mécanismes physiques de base peuvent se resumer en piégeage de trous dans l'oxyde et création d'états à l'interface. Le piégeage de trous domine les effets dans les oxydes épais (oxyde latéral et oxyde de champ), et provoque des courants de fuite. Pour ce qui

concerne l'oxyde de grille, le piégeage de trous et la création d'états d'interface contribuent au déplacement de la tension de seuil du transistor. Les états d'interface diminuent aussi la mobilité des porteurs dans le canal, et influencent par conséquent la transconductance et le bruit du transistor.

Les phénomènes non récurrents (SEP) sont induits par les ions lourds ou les protons de haute énergie, et se produisent de manière non récurrente dans le temps et dans l'espace. Parmi ces phénomènes, l'aléa logique (Single Event Upset, SEU) et le verrouillage maintenu (Single Event Latchup, SEL) sont les plus fréquents dans les technologies CMOS. Le SEU est la modification réversible de l'état logique d'un point mémoire, tandis que le SEL, provoqué par l'activation d'un thyristor parasite, peut avoir comme conséquence la destruction irréversible du circuit si l'alimentation n'est pas coupée rapidement.

Le durcissement d'un système doit être affronté à trois niveaux. Le durcissement technologique intervient au niveau du dispositif élémentaire, et peut comprendre des modifications du procédé technologique et des modifications du dessin du transistor (*layout*). Le durcissement électrique consiste dans la conception de circuits dont l'architecture soit le moins sensibles possible aux effets des rayonnements sur les dispositifs. Pour le durcissement des systèmes, on commence par identifier les mécanismes de défaillance du système à travers une analyse détaillée. Ensuite, on agit sur ces mécanismes: blindage, redondance fonctionnelle, contrôle de la propagation des erreurs, détection des courants de latchup et coupure de l'alimentation.

En conclusion, comprendre les mécanismes de dégradation est une étape essentielle en vue du durcissement. L'éventail des mécanismes étant relativement large, des études de caractérisation variées sont nécessaires, et les conditions de test doivent être contrôlées. Les méthodologie de test standard et les techniques de caractérisation des transistors MOS seront décrites dans le chapitre suivant.

Chapitre 3

Techniques d'évaluation du durcissement à la dose intégrée

La façon la plus simple de mesurer le durcissement à la dose intégrée d'un système électronique serait de le placer dans l'environnement radiatif pour lequel il a été conçu. Dans la plupart des cas, cela n'est pas envisageable, car cette approche est très coûteuse et demande beaucoup de temps. Il est donc indispensable de pouvoir simuler l'environnement radiatif réel pour vérifier la bonne tenue du système fini, ou plus simplement pour caractériser une technologie donnée. Cela est possible à partir de la connaissance des effets des rayonnements sur les composants, qui permet de choisir des sources de référence pour simuler l'environnement réel souvent très complexe.

Dans ce chapitre, on trouve une brève présentation des conditions de test de tenue à la dose intégrée et des procédures standard recommandées par les organismes influents dans ce domaine.

3.1 Conditions de test

Les effets à long terme des radiations ionisantes ont été appelés "effets de la dose intégrée" à cause de l'hypothèse que ces effets sont stables dans le temps, et qu'ils ne dépendent que de l'énergie absorbée sans être influencés par la façon dont elle a été déposée. En réalité, cette hypothèse n'est pas correcte, et la manifestation des effets de la dose déposée changent selon les conditions d'irradiations des dispositifs. Par conséquent, il est important de spécifier les conditions dans lesquelles le test a été conduit, notamment pour ce qui concerne le débit de dose, la polarisation des dispositifs pendant l'exposition et la source d'irradiation.

3.1.1 Débit de dose

Comme on a vu en 2.1 pour la tension de seuil, le piégeage de trous dans les oxydes et la formation des états à l'interface ont des dynamiques différentes. Cela implique que la mesure après irradiation de deux dispositifs identiques, irradiés au même niveau de dose totale mais à deux débits de dose différents, donnera des résultats différents en termes de variation de seuil, dégradation de la mobilité, courant de fuite et bruit. Dans les expériences de physique, tout comme dans l'espace, les débits de dose auxquels les systèmes électroniques sont exposés sont beaucoup plus faibles que ceux typiques des tests de durcissement. Par conséquent, il est nécessaire de trouver une relation entre les résultats de ces tests et la prévision qu'on peut en tirer pour ce qui concerne la tenue des composants dans l'environnement réel. La situation est illustrée en Figure 3.1.

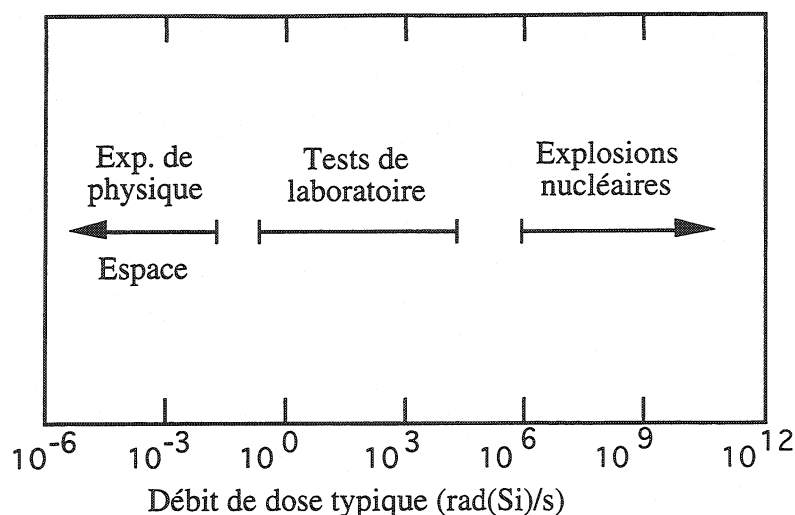


Figure 3.1: Débits de dose dans l'environnement réel (expériences de physique, espace), et dans les tests de tenue aux rayonnements effectués en laboratoire. L'extrême de débit de dose est représenté par l'environnement lors d'une explosion nucléaire.

Dans les environnements à faible débit de dose, le dépiégeage des trous piégés dans les oxydes suite à l'irradiation peut être significatif. Les hauts débits de dose utilisés pour les tests de laboratoire offrent donc une image conservatrice pour les défaillances des circuits dues à la charge piégée dans les couches d'isolation, mais ils ne simulent pas bien les effets dus aux états d'interface. Les technologies dans lesquelles la formation d'états à l'interface est particulièrement lente et importante peuvent donner des problèmes de tenue à la dose dans l'environnement des expériences de physique, où l'accumulation de la dose se déroule sur un temps suffisamment long pour permettre le dépiégeage des trous et la formation des états d'interface.

En théorie, si le piégeage de trous et l'évolution des états d'interface étaient complètement caractérisés en fonction de la polarisation, température, dose intégrée et temps d'irradiation, on pourrait faire une prévision concernant la survie ou la défaillance d'un circuit dans l'environnement visé [1,2]. Pour ce qui concerne le mécanisme de piégeage et dépiégeage des trous dans l'oxyde, une méthode de caractérisation efficace, basée sur des mesures isochronales [3], a été dernièrement proposée [4]. L'application de cette méthode pourrait permettre l'extrapolation à l'environnement réel des résultats obtenus avec une irradiation rapide [5].

Une autre approche possible, qui semble pouvoir donner des résultats représentatifs mais qui demande beaucoup de temps, est d'effectuer l'irradiation à un débit de dose typique des tests de laboratoire et ensuite de maintenir les échantillons dans les conditions opérationnelles (polarisation et température tels qu'ils seront dans le vrai environnement) pendant un temps suffisamment long pour permettre la prise en compte de l'évolution du dépiégeage et des états d'interface. Il faudra donc mesurer régulièrement dans le temps les caractéristiques des dispositifs après irradiation.

C'est cette dernière approche qui a été suivie dans la caractérisation de la technologie objet de cette étude. Le choix d'un débit de dose qui varie entre 0.5 et 50 rad/sec permet de limiter le coût et le temps de l'irradiation, effectuée avec une source ^{60}Co , et le recuit effectué à température ambiante simule l'évolution des défauts dans l'oxyde et à l'interface. Il s'agit d'un test qui essaye de reproduire au mieux les conditions dans lesquelles les composants devront réellement être exposés aux rayonnements. Il est clair que, du fait qu'il est nécessaire d'attendre longtemps avant d'avoir des résultats (dans nos études, nous avons choisi un délai de 3 mois comme limite pour étudier les effets après irradiation), il ne s'agit pas d'une méthode convenable lorsqu'on veut avoir des réponses rapides ou lorsque la quantité des échantillons à étudier devient trop importante.

Une approche beaucoup plus rapide, qui pour cette raison est de loin la plus utilisée, est basée sur un *annealing* à haute température. La procédure à suivre en ce cas a été codifiée par deux protocoles standard, et sera discuté en 3.2.

3.1.2 Polarisation

Les électrons dans la bande de conduction et les trous dans la bande de valence générés dans l'oxyde par le rayonnements se déplacent immédiatement, en présence d'un champ électrique, dans des directions opposées. Les électrons sont dotés d'une très grande mobilité dans l'oxyde de silicium et quittent ce matériau en quelques picosecondes. Néanmoins, une fraction des électrons créés se recombinent presque immédiatement avec des trous dans la bande de valence, et cette fraction est fortement dépendante de l'intensité du champ électrique à travers l'oxyde et de la nature de la particule qui a déposé l'énergie de génération. On appelle ce phénomène recombinaison initiale.

Les particules fortement ionisantes forment des colonnes de charge assez dense, où le débit de recombinaison est très élevé, tandis que les particules faiblement ionisantes génèrent des couples électron-trou isolés avec un bas débit de recombinaison. La recombinaison initiale dans l'oxyde pour protons, particules α , rayons γ et X est illustrée en Figure 3.2, et en tout cas diminue avec l'intensité du champ électrique [6,7]. Dans le cas des rayons γ et X, on peut utiliser une relation empirique approximative pour exprimer la fraction de trous qui échappent à la recombinaison initiale:

$$Y(E_{ox})=(1+E_{1/2}/E_{ox})^{-m}$$

où $E_{1/2}$ est un coefficient dépendent du type de rayonnement, dont la valeur pour les rayons X de 10 keV est 1.35 MV/cm. Pour les rayons γ de 1.25 MeV (^{60}Co), elle est 0.65 MV/cm. Pour les deux types de rayonnements, $m=0.9$ [8].

La recombinaison initiale est fortement dépendante de la polarisation appliquée pendant l'irradiation, mais les conséquences sur l'évolution des paramètres des transistors à canal n ou p est différente à cause de la direction opposé du champ électrique dans les deux dispositifs [9]. On a vu en 2.1 que la migration des trous vers l'interface Si-SiO₂

sous l'effet du champ électrique dans les transistors à canal n détermine à la fois le piégeage de ces trous dans l'oxyde près de l'interface et un fort débit d'activation de défauts à l'interface. Pour les transistors n, plus le potentiel appliqué à la grille est élevé, plus le champ dans l'oxyde sera intense et plus la dégradation suite à l'irradiation sera importante. Pour une technologie donnée, la condition de polarisation la plus sévère (pire cas) pour les transistors à canal n est: source et drain à V_{ss} , grille à V_{dd} , substrat à V_{ss} (exemple: $V_{dd}=+5V$ and $V_{ss}=0V$).

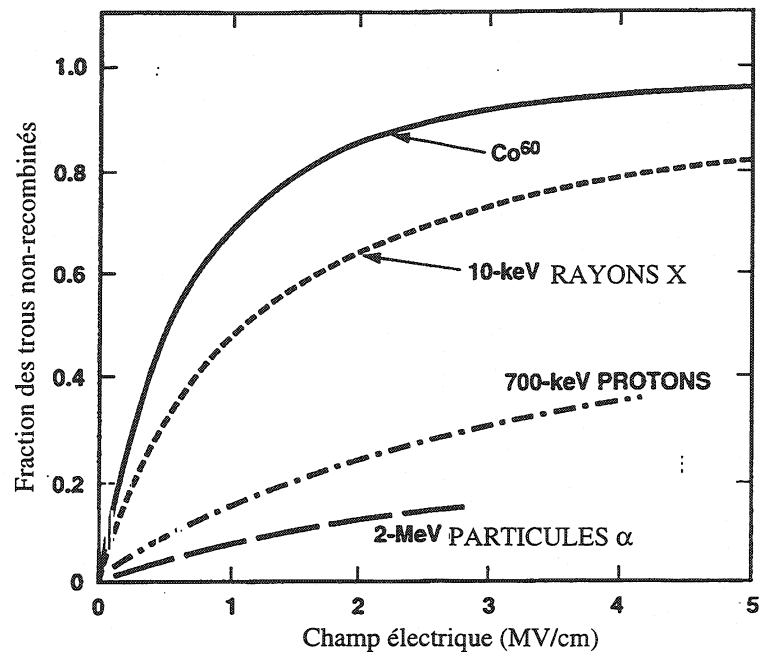


Figure 3.2: Recombinaison initiale des couples électron-trou créés dans l'oxyde par des photons et particules ionisantes d'énergie différente.

Dans les conditions réelles d'opération, les transistors à canal p ne peuvent pas être soumis à ce même type de polarisation car le potentiel du caisson (*well*) est relié à V_{dd} , et la grille ne peut jamais se trouver à un potentiel supérieur à celui du caisson. Quand les transistors p sont en conduction, le champ électrique dans l'oxyde fait migrer les trous vers la grille, et leur piégeage a lieu en moyenne loin de l'interface oxyde-canal. L'efficacité du piégeage sur le déplacement du seuil du transistors dépendant de la distance à l'interface, les trous piégés près de la grille ne sont pas très influents, et la dégradation des caractéristiques du dispositif est très limitée. La migration des trous en direction opposée à l'interface Si-SiO₂ limite aussi l'activation des états d'interface. Globalement, la dégradation la plus importante pour les transistors p a lieu quand caisson et grille sont au même potentiel V_{dd} , et quand source et drain se trouvent à V_{ss} . Cette condition de polarisation n'est pas commune dans les circuits: on peut trouver une condition similaire pour les transistors "interrupteurs" en position ouverte. Par conséquent, la pratique commune est de définir comme pire cas la condition où tous les terminaux du transistor p sont court-circuités.

Les conditions de polarisation pire cas sont représentatives des circuits numériques, mais donnent une évaluation trop sévère de la dégradation des transistors dans les circuits analogiques. Notre étude vise surtout à la caractérisation des performances analogiques, et donc nous avons le plus souvent appliqué une polarisation appelée "analogique" aux transistors irradiés. Cette condition consiste à imposer un courant dont la densité est variable entre 0.2 et 0.5 $\mu\text{A}/\mu\text{m}$ selon la dimension du transistor, en inversion forte et en saturation. Le potentiel appliqué $V_{gs}-V_t$ est dans ce cas de l'ordre de 100-300 mV. Cette même polarisation continue à être appliquée pendant le temps de recuit (*annealing*) à température ambiante.

3.1.3 Source d'irradiation

Les effets de la dose intégrée sont généralement simulés avec photons ou électrons. Les protons peuvent être utilisés aussi, mais le coût d'une telle irradiation est plus élevé, et ensuite il faudrait pouvoir séparer les effets de dose intégrée et les effets de déplacement. Parmi les sources d'électrons, les plus communes sont les accélérateurs linéaires (LINACs), qui produisent des impulsions d'électrons de quelque microseconde à une fréquence jusqu'à 120 impulsions par seconde. Mais la grande majorité des irradiations est effectuée avec des sources de photons, qui peuvent être soit des tubes à rayons X soit des sources radioactives.

La source de photons qui constitue la référence pour les tests d'irradiations est constituée par des éléments de ^{60}Co radioactif. Les photons émis par ce matériau sont des rayonnements γ à deux énergies très proches: 1.173 et 1.332 MeV. A cause de ce double pic énergétique, on dit que l'énergie des γ du ^{60}Co est de 1.25 MeV, ce qui n'est pas correct mais est normalement accepté. La grande popularité des sources à ^{60}Co a deux origines principales. D'abord, la disponibilité d'éléments de ce matériau ne pose pas de problèmes car c'est un sous-produit de la production d'énergie électrique dans les centrales nucléaires. Ensuite, les photons d'énergie supérieure à environ 1 MeV interagissent principalement par effet Compton (voir Annexe 1), qui ne dépend que faiblement du numéro atomique (Z) du matériau irradié. La dosimétrie est moins compliquée du fait de la réduction des effets d'augmentation de dose (*dose enhancement* en anglais).

Dans notre cas, la dosimétrie reste un problème car la partie sensible aux effets de la dose intégrée est constitué par la couche d'isolant (oxyde de grille, de champ et latéral) qui se trouve directement sur le silicium. Il est donc nécessaire de connaître la dose déposée dans cette couche. La définition même de dose étant donnée pour des matériaux à l'équilibre de particules chargées [10], il est difficile de parler de dose exacte pour les oxydes qui se trouvent sous plusieurs couches de matériaux (isolations, passivations, métaux qui constituent les lignes de connexion dans le circuit intégré,...). Cette difficulté est vraie pour les photons d'énergie inférieure au MeV, qui interagissent par effet photoélectrique fortement dépendent du Z du matériau. Dans ce cas, la présence de matériaux lourds dans les couches supérieures du circuit intégré peut

produire un effet d'augmentation de la dose déposée dans les oxydes sensibles. C'est pourquoi, même dans les irradiations auprès de sources de ^{60}Co , il est conseillé d'exposer les circuits objet du test dans des boîtiers (1.3 mm de Pb plus 0.8 mm de Al) dont le but est de réduire l'augmentation de la dose provoquée par les éventuels photons de basse énergie ($< 250 \text{ keV}$) qui sont souvent présent dans ce type d'irradiateurs (*scattering* des photons principaux). La couche d'aluminium empêche aux électrons Compton, émis par l'interaction des photons dans le plomb, d'atteindre le dispositif.

Le rôle de référence des sources à ^{60}Co a été remis en question par l'introduction d'une machine qui, en utilisant un tube à rayons X de 10 keV, permet l'irradiation en temps très bref de circuits intégrés au niveau de la tranche de silicium (*wafer*) [11]. Une telle machine présente plusieurs avantages: le choix du débit de dose entre 10^2 et 10^5 rad/min , une facilité d'accès (elle peut être installée dans un laboratoire normal de caractérisation de composants), et surtout une grande flexibilité qui vient de la possibilité d'irradier les puces directement sur tranche. Il n'est plus nécessaire de couper la tranche, manipuler les circuits, les installer dans un boîtier, les exposer dans l'environnement strictement contrôlé d'un irradiateur à ^{60}Co . Chaque nouvelle architecture de circuit peut être testée rapidement et sa réponse à la dose totale complètement caractérisée avant même la découpe des tranches.

L'intérêt de cette machine est témoigné par la quantité de publications qui, dans les années suivant sa commercialisation, ont essayé de comparer les résultats avec ceux des irradiations au ^{60}Co [12-18]. L'effet de l'augmentation de dose, et donc de la bonne dosimétrie, n'est pas le seul problème dans l'effort de trouver une compatibilité des irradiations effectuées avec les deux sources différentes. Comme indiqué en Figure 3.2, la recombinaison initiale de couples électron-trou est, spécialement pour les faibles champs électriques, sensiblement différente. En conclusion, la caractérisation avec une source à rayons X n'a jamais été acceptée pour des applications militaires, mais elle a été largement utilisée dans les développements de technologies durcies. Aujourd'hui, une tendance générale de passer à des techniques de qualifications plus économiques et flexibles semble pouvoir donner un nouveau élan à l'acceptation des test au rayons X comme un standard alternatif. L'utilisation de ces sources peut permettre en fait le passage depuis une qualification des produits (système appelé QPL: *Qualified Parts List*) à une qualification des technologies (QML: *Qualified Manufacturer List*) [19].

Les irradiations à photons dans le cadre de notre étude ont été effectuées auprès d'une source ^{60}Co nommée Pagure, à l'intérieur du site du Commissariat à l'Énergie Atomique (CEA), à Saclay. Le programme du CERN d'étude de résistance au rayonnements se prolongeant par nécessité plus que prévu, les exigences d'irradiations devenant plus fréquentes et le temps à disposition pour avoir des réponses se réduisant, l'acquisition d'une machine à rayons X de 10 keV a été décidée récemment par notre laboratoire.

3.2 Méthodes standard de test de qualification

On a vu en 3.1 que les résultats du test de tenue à la dose intégrée sont fortement dépendants des conditions de test. Pour pouvoir comparer les résultats d'irradiation et qualifier un produit (circuit intégré ou technologie) il est donc nécessaire de définir une procédure standard de test. Les deux méthodes de test décrites ci-dessous, qui servent de référence dans le domaine de la caractérisation du durcissement, codifient une procédure à suivre et indiquent les conditions de test pour ce qui concerne la polarisation, la température, le débit de dose, le temps entre l'irradiation et la mesure, la température et le temps de recuit, la source d'irradiation. L'interprétation des résultats du test est néanmoins au-delà des buts des méthodes, et reste toujours sous la responsabilité de l'utilisateur.

Les deux méthodes, l'une plus que l'autre, donnent une évaluation conservatoire du durcissement des circuits intégrés MOS dans des environnement à faible débit de dose.

3.2.1 Méthode de test 1019.4

Il s'agit d'une méthode d'origine américaine, dont le nom complet est *MIL-STD-833, Test Method (TM) 1019.4*, qui se compose de deux parties. La première partie prévoit une irradiation à la dose spécifiée pour la qualification, à un débit de 50 à 300 rad(Si)/s, suivie par la mesure électrique. Son but est de fournir un test conservatoire pour les défaillances causées par le piégeage de trous dans les oxydes, qui sont à l'origine des courants de fuite dans et entre les transistors à canal n et du déplacement des seuils des transistors n et p. La deuxième partie du test sert à évaluer la tenue des composants dans les environnement à faible débit de dose, en accélérant le recuit avec un réchauffement à haute température. Cette partie demande une irradiation supplémentaire égale au 50% de la dose de qualification, suivie par un recuit de 168 heures à une température de 100°C, et fournit un test conservatoire pour les défaillances provoquées par la dégradation de performance consécutive à la formation d'états d'interface. Le composant objet du test doit passer les deux parties pour pouvoir être qualifié.

3.2.2 Spécification de base 22900

Cette méthode est l'équivalent européen du test TM 1019.4 et a été définie par l'Agence Européenne pour l'Espace (ESA) sous le code *ESA/SCC Basic Spécification (BS) 22900*. L'idée de base est la même que pour la méthode américaine, avec un test en deux parties. Dans la première, l'irradiation a lieu à un débit de dose choisi à l'intérieur de deux fenêtres permises: entre 1 et 10 rad(Si)/s ou entre 0.01 et 0.1 rad(Si)/s. Elle est suivie par la caractérisation électrique. Ensuite, le recuit se déroule en deux phases: 24 heures à température ambiante et 168 heures à 100°C.

3.2.3 Comparaison entre les deux méthodes

Les détails des deux méthodes sont comparés dans le tableau suivant:

	MIL-SDT-883, Method 1019.4	ESA/SSC Basic Spec. 22900
<i>But</i>	Test en polarisation statique de circuits intégrés montés en boîtier	Test en polarisation statique de circuits intégrés pendant évaluation et/ou qualification pour applications dans l'espace
<i>Source d'irradiation</i>	Rayons γ du ^{60}Co	Rayons γ du ^{60}Co , accélérateurs d'électrons, autres sources permises
<i>Dosimétrie</i>	Intensité $\pm 5\%$, uniformité $\pm 10\%$	Intensité $\pm 5\%$, uniformité $\pm 10\%$
<i>Boîte-filtre pendant l'irradiation</i>	Minimum: 1.5 mm Pb et 0.7 mm Al si l'absence d'effets d'augmentation de dose a été démontré	Minimum: 1.5 mm Pb et 0.7 mm Al si l'absence d'effets d'augmentation de dose a été démontré
<i>Dose intégrée</i>	Dose spécifiée ($\pm 10\%$) et une dose additionnelle de 50% avant recuit	Dose spécifiée ($\pm 10\%$)
<i>Débit de dose</i>	Entre 50 et 300 rad(Si)/s; débit inférieur si agréé par les parties	Temps d'exposition $\leq 96\text{h}$; fenêtre 1, débit entre 1 et 10 rad(Si)/s; fenêtre 2, entre 0.01 et 0.1 rad(Si)/s; débit inférieur si agréé par les parties
<i>Recuit:</i> Temp. ambiante Haute température	Aucun 100°C $\pm 5\%$ pendant 168 ± 12 h	Pendant 24 h 100°C pendant 168 h
<i>Température:</i> d'irradiation de test électrique	24°C $\pm 6^\circ\text{C}$ 25°C $\pm 5^\circ\text{C}$	20°C $\pm 10^\circ\text{C}$ 25°C $\pm 3^\circ\text{C}$
<i>Polarisation:</i> d'irrad. et recuit entre irrad. et test	Pire cas (pour la dégradation) $\pm 10\%$ Tout court-circuité avec mousse cond.	Pire cas (pour la dégradation) $\pm 10\%$ Tout court-circuité avec mousse cond.
<i>Temps:</i> entre irradiation et mesure entre irradiations successives	Début du test dans 1 h, fin du test dans les 2 h 2 h au maximum	Début du test dans 1 h, fin du test dans les 2 h 2 h au maximum

Les points communs sont nombreux: les spécifications de dosimétrie et de température pendant l'irradiation, la polarisation et sa continuité pendant exposition et recuit, la présence d'une boîte de filtrage en Pb/Al, la séquence temporelle de test (au plus 1 heure entre fin de l'irradiation et mesure électrique, au plus 2 heures pour les mesures entre deux irradiations successives), l'utilisation d'une mousse conductrice pour le transfert du circuit entre le lieu d'irradiation et le lieu de mesure.

Néanmoins, il y a des différences importantes entre les deux méthodes. Le débit de dose prévu en TM 1019.4 est plus élevé, ce qui permet des tests plus rapides et économiques. BS 22900, avec deux fenêtres de débit de dose en tout cas inférieurs, donne une approximation plus précise de l'environnement réel de l'espace ou de l'expérience de physique.

La deuxième partie des deux méthodes est aussi différente: TM 1019.4 demande une irradiation supplémentaire de 50% de la dose spécifiée avant le recuit à haute température. Le but de cette dose additionnelle est de compenser pour de possibles effets de sous-évaluation du recuit, dont les causes sont:

- le test en polarisation statique ne reproduit pas l'augmentation du recuit qui est parfois observée pendant irradiations sous polarisation en fonctionnement dynamique;
- l'*annealing* des trous piégés dans les oxydes est plus importante à haute température; par conséquent la mesure après les 168 heures de recuit peut donner des informations un peu "optimistes" sur la tenue des composants (par exemple le seuil des transistors p peut être inférieur, donc la capacité en courant plus élevée et la dégradation des performances temporelles moindre).

BS 22900 ne demande aucune dose supplémentaire, mais essaye d'identifier les conditions de polarisation les pires dans la phase d'étude de la procédure applicable à la qualification du circuit.

Enfin, le jour de recuit à température ambiante demandé par BS 22900 ne devrait pas être influent sur le résultat final du test. Le recuit à haute température augmente la vitesse de l'*annealing* des trous piégés d'un facteur ≈ 27 (énergie d'activation du processus ≈ 0.4 eV) et la vitesse de la formation d'états d'interface d'un facteur ≈ 720 (énergie d'activation ≈ 0.8 eV) [19]. Comparé à un recuit à température ambiante, une semaine à 100°C équivaut à environ 6 mois pour le dépiégeage des trous et à environ 17 mois pour la formation d'état d'interface. Un jour en plus ou en moins à température ambiante ne modifierait donc pas les résultats.

Pour résumer, TM 1019.4 donne une technique pour obtenir de résultats reproductibles et consistants, tandis que BS 22900 essaye de simuler le mieux possible l'environnement de l'espace. TM 1019.4 spécialement donne une réponse tout à fait conservatoire sur la tenue à la dose totale dans un environnement à faible débit de dose, car il effectue les mesures aux deux extrêmes: maximum de trous piégés et maximum d'états d'interface. Dans la réalité, l'évolution des deux types de défauts est plus lente et souvent se compense. Surtout, des défaillances mesurables immédiatement après irradiation à haut débit de dose, pourraient très bien ne pouvoir jamais se passer dans l'environnement d'utilisation du circuit. Avec cette méthode de test, on risque d'écarter des composants qui pourraient sûrement être utilisés dans les conditions de l'espace ou des expériences de physique.

3.3 Techniques d'évaluation des dégradations

Le but de ce paragraphe est de décrire des techniques de mesure qui sont souvent utilisées dans l'évaluation des dégradations des dispositifs irradiés. Dans le chapitre 2 on a vu les effets de la dose intégrée sur les transistors MOS, en particulier on a identifié les paramètres les plus sensibles qui nécessitent d'être mesurés après le test d'irradiation. L'évaluation de l'évolution de la plupart de ces paramètres est assez directe à partir de la simple mesure (avec un analyseur HP4145B, appareil de référence

pour l'extraction des paramètres DC des dispositifs semiconducteurs). Pour le bruit, un système de mesure doit être spécialement conçu.

Plus spécifique au domaine des dégradations causées par les rayonnements, l'étude de la formation d'états d'interface et de la dynamique du piégeage de trous dans les oxydes demande des techniques de mesure plus élaborées. Le but est de séparer, dans le déplacement du seuil des transistors (généralement des transistors principaux, mais on peut envisager les mêmes techniques pour les transistors sur oxyde épais), la contribution de la charge piégée dans l'oxyde (ΔV_{ot}) et celle des états d'interface (ΔV_{it}). Cette séparation est utile à deux niveaux. D'abord, en phase de développement d'une technologie durcie, les technologues ont besoin d'avoir le maximum d'information sur les conséquences des procédés technologiques sur l'efficacité de piégeage de l'oxyde et sur la qualité de l'interface Si-SiO₂. Ensuite, en phase d'évaluation du durcissement, l'utilisateur se sert de ces informations pour mieux pouvoir extrapoler les résultats des test d'irradiation obtenus en laboratoire à l'environnement à faible débit de dose où le dispositif devra fonctionner.

3.3.1 Pompage de charge

Le pompage de charge est une technique très sensible pour mesurer le changement de la densité d'états d'interface. Cette technique et son application pour l'évaluation de la dégradation des transistors MOS sont bien expliquées dans deux publications de G.Groeseneken, H.E.Maes et al. [20, 21]. Le pompage de charge ne mesure pas directement ΔV_{it} , mais obtient la densité d'états d'interface D_{it} à partir du courant de pompage de charge. L'application d'un signal périodique (à une fréquence qui peut être choisie) à la grille fait passer l'interface entre inversion et accumulation, provoquant un courant de substrat dû au piégeage et dépiégeage des porteurs dans les états d'interface. Une formule complexe lie ce courant à la densité d'états d'interface D_{it} : pour ce passage il est nécessaire de connaître la section de capture d'électron et trous, ce qui n'est pas toujours facile surtout après irradiation. De ce fait, et à cause aussi de quelques incertitudes sur les composants géométriques parasites du courant de pompage, l'évaluation de D_{it} peut être relativement imprécise. En outre, le calcul de ΔV_{it} à partir du ΔD_{it} mesuré avec cette technique n'est pas facile. Le pompage de charge mesure en fait la densité moyenne d'états dans un spectre énergétique d'environ 0.7 ± 0.1 eV, centré à la moitié de la bande interdite du silicium. Pour connaître exactement le ΔV_{it} à partir du ΔD_{it} mesuré par cette technique, il faut donc connaître la distribution énergétique des états de piégeage. Dans les dernières années, une nouvelle méthode de pompage de charge, appelée "à trois niveaux", a été proposée [22]. Cette technique permet de mesurer avec précision les paramètres des états d'interface des transistors MOS, et leur évolution avec l'irradiation [23].

La mise au point d'un banc de mesure pour la technique du pompage de charge demande un temps d'études et d'expérimentations long, ce qui fait que ce n'est pas une

méthode très répandue dans les laboratoires qui s'occupent de l'étude ou caractérisation du durcissement. Elle est parfois utilisée par ces laboratoires pour avoir des références ou des calibrations dans l'évaluation des résultats obtenus avec de techniques plus simples mais plus accessibles, comme celle décrite dans le paragraphe suivante.

3.3.2 Technique de la pente en inversion faible

Cette technique, qui permet de séparer la contribution relative des trous piégés dans l'oxyde et des états d'interface à partir d'une simple mesure statique du transistor, a été proposée pour la première fois en 1985 par McWorther et Winokur [24]. La courbe utilisée est celle du courant (en échelle logarithmique) en fonction de la tension de grille, comme celle en Figure 3.3, dans la région de conduction en sous-seuil du transistor (inversion faible). Dans cette région de fonctionnement, le courant peut être exprimé par [24]:

$$I_d = I_x \cdot \frac{\exp(\beta\psi_s)}{\sqrt{\beta\psi_s}} \quad (3.1)$$

où ψ_s est le potentiel à la surface, $\beta = q/kT = 1/\Phi_t$, $I_x = \frac{1}{\sqrt{2}} \mu \frac{W}{L} \sqrt{\frac{qN_a \epsilon_s}{\beta^3}} \left(\frac{n_i}{N_a}\right)^2$, N_a est le dopage du silicium massif, n_i la concentration intrinsèque de porteurs.

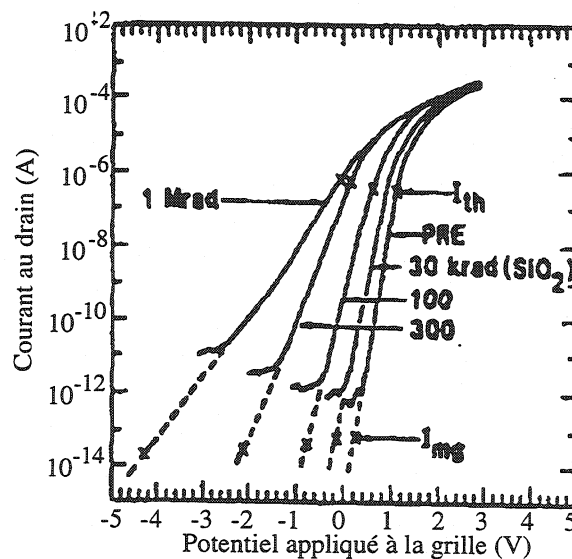


Figure 3.3: Courbe typique du changement de la pente en inversion faible avec l'irradiation. Ce changement est utilisé dans la méthode de McWorther et Winokur pour séparer les contribution des états d'interface et des charges piégées dans l'oxyde.

La méthode de la courbe en inversion faible part de l'hypothèse, formulée par McWorther et Winokur, que les états d'interface situés dans la moitié supérieure de la bande interdite sont accepteurs, et les états dans la moitié inférieure sont donneurs. Cette supposition a été discutée par Shanfield et Moriwaki [25], dont les résultats expérimentaux obtenus avec la technique du TSC (*Thermally Stimulated Current*) ont

révélé l'existence d'états en contradiction avec l'hypothèse de McWorther et Winokur. Quand le potentiel de surface passe entre la moitié de la bande interdite (*midgap*) et le seuil d'inversion forte (*threshold*), les états d'interface créés par l'irradiation dans cet intervalle énergétique se chargent (négativement pour les transistors à canal n, positivement pour les p). Par conséquent la tension d'allongement (*stretchout*) V_{so} , définie comme la différence entre la tension de seuil et la tension de *midgap* ($V_{so}=V_{th}-V_{mg}$), augmente avec la dose intégrée. la contribution des états d'interface et des charges piégées dans l'oxyde sur le déplacement du seuil sera simplement donnée par:

$$\begin{aligned}\Delta V_{it} &= V_{so,postrad} - V_{so,prerad} \\ \Delta V_{ot} &= V_{mg,postrad} - V_{mg,prerad}\end{aligned}\quad (3.2)$$

Dans la méthode telle qu'elle a été originalement proposée par McWorther et Winokur, V_{th} était estimé avec une extrapolation linéaire de la courbe $I_d=f(V_{gs})$, procédure qui est de routine dans l'extraction des paramètres des transistors. Une version corrigée a été proposé par la suite par les mêmes auteurs [26], la correction étant nécessaire pour avoir des résultats comparables avec ceux obtenus avec le pompage de charge et avec une autre méthode que nous ne discuterons pas ici, la méthode des deux transistors (*dual-transistor method*) [27, 28]. Dans cette version, V_{th} a été calculé différemment, et finalement remplacé par une tension que nous appellerons V_{ff} (fin inversion faible). La détermination de V_{ff} , comme celle de V_{mg} , est faite sur la courbe $\text{Log}(I_d)=f(V_{gs})$ en inversion faible, à partir de la valeur des courants I_{ff} et I_{mg} calculés avec l'équation (3.1), où on utilise le potentiel de surface équivalent respectivement au début de l'inversion modérée $\psi_s=2\Phi_B$ et à la moitié de la bande interdite $\psi_s=\Phi_B=(kT/q)\ln(N_a/n_i)$.

La procédure utilisée pour notre travail n'est pas tout à fait la même, mais on peut montrer que les résultats obtenus sont identiques. Le point de départ est toujours la courbe $\text{Log}(I_d)=f(V_{gs})$ en inversion faible, mais on extrait le "*subthreshold swing*", défini comme l'inverse de la pente en inversion faible, exprimé en V/décade:

$$S = \left[\frac{d(\text{Log}I_d)}{dV_{gs}} \right]^{-1} = (\ln 10) \left[\frac{d(\ln I_d)}{dV_{gs}} \right]^{-1}\quad (3.3)$$

La dérivée du courant en fonction de V_{gs} nécessite une formule qui exprime directement $I_d=f(V_{gs})$ en inversion faible, soit $I_d \propto \exp\left(\frac{qV_{gs}}{nkT}\right)$ [29] avec $n = 1 + \frac{C_d + C_{it}}{C_{ox}}$.

L'utilisation de cette formulation en (3.3) conduit, à la relation suivante:

$$S = 2.3 \frac{kT}{q} \left(1 + \frac{C_d + C_{it}}{C_{ox}} \right)\quad (3.4)$$

dans laquelle, C_{ox} , C_{it} et C_d sont les capacités par unité de surface de l'oxyde, des états d'interface et de la région désertée. La variation de S avec l'irradiation est donc une conséquence directe de la variation des états d'interface à travers la capacité C_{it} :

$$\Delta S = 2.3 \frac{kT}{q} \frac{\Delta C_{it}}{C_{ox}} \cong 60 \text{mV} \frac{\Delta C_{it}}{C_{ox}} = 60 \text{mV} \frac{q \Delta D_{it}}{C_{ox}} \quad (3.5)$$

L'équation (3.5), où on a assumé $kT/q \approx 25 \text{ mV}$, est valable à température ambiante. Les formules (3.3), (3.4) et (3.5) sont valables en inversion faible, c'est à dire entre les potentiels de surface Φ_B (début de l'inversion, *midgap*) et $2\Phi_B$ (fin de l'inversion faible). La différence en courant $I_{diff} = I_{fif} - I_{mg}$ entre fin d'inversion faible et *midgap*, estimée avec (3.1) et exprimée en décades (ce qui équivaut à $\Delta \text{Log}(I)$) est en première approximation égale à $\frac{\Phi_B}{2.3\Phi_t}$ (voir annexe 3)). La contribution au déplacement de seuil due aux états d'interface est donc:

$$\Delta V_{it} = \Delta S \cdot I_{diff} = \Delta S \cdot \frac{\Phi_B}{2.3\Phi_t} \quad (3.6)$$

Le résultat de cette méthode de calcul avec le paramètre S est le même que pour la méthode de McWerther et Winokur corrigée, car on peut intuitivement voir que le calcul effectué avec (3.6) est équivalent à:

- a) superposer les courbes en inversion faible avant et après irradiation de façon à avoir la même V_{mg} (donc, à ne pas considérer les trous piégés dans l'oxyde) comme origine des abscisses;
- b) dans ce système de référence, calculer la différence entre les V_{fif} après et avant l'irradiation.

La procédure décrite par a) et b) coïncide avec le calcul de ΔV_{it} formulé en (3.2). La différence entre ces deux procédures est que dans le cas de la méthode avec S , il n'y a pas besoin d'évaluer numériquement les courants I_{fif} et I_{mg} , mais plus simplement de mesurer les pentes en inversion faible, ce qui est aisément fait avec un analyseur de paramètres HP4145B. Dans la méthode avec S , le calcul de la contribution des trous piégés dans l'oxyde est fait à partir du déplacement total du seuil des transistors V_{seuil} mesuré, cette fois, par extrapolation linéaire de la courbe $I_d = f(V_{gs})$. ΔV_{ot} sera la différence entre ce déplacement total et la contribution des états d'interface:

$$\Delta V_{ot} = \Delta V_{seuil} - \Delta V_{it} \quad (3.7)$$

On peut aussi montrer qu'on arrive à (3.6) par un autre chemin, en partant de ΔS . Il s'agit de calculer la charge piégée dans les états d'interface quand le potentiel de surface passe du *midgap* à la fin de l'inversion faible, avec l'hypothèse que la distribution des nouveaux états d'interface est constante en énergie dans cet intervalle. Cette hypothèse est justifiée, autrement que par les études sur la nature microscopique des états

d'interface, par le fait que la pente en inversion faible est constante au changement de V_{gs} . Le calcul de charge dans ces conditions donne $\Delta Q_{it} = q \int_{\Phi_B}^{2\Phi_B} \Delta D_{it} d\psi_s$, soit:

$$\Delta V_{it} = \frac{\Delta Q_{it}}{C_{ox}} = \frac{q \int_{\Phi_B}^{2\Phi_B} \Delta D_{it} d\psi_s}{C_{ox}} = \frac{q \Delta D_{it} \Phi_B}{C_{ox}} \quad (3.8)$$

Si on utilise la formulation de ΔS obtenue en (3.5), on obtient encore la formule (3.6).

3.4 Synthèse

L'évaluation du durcissement des composants ou des technologies microélectroniques dans l'environnement radiatif réel (espace, accélérateurs de particules) n'est le plus souvent pas envisageable pour des raisons de coût et de temps. La caractérisation doit donc passer par la simulation de cet environnement avec différents types de sources d'irradiation, ce qui implique une stricte définition des conditions de test. Pour ce qui concerne la dose intégrée, le débit de dose, les conditions de polarisation et la source d'irradiation influencent les résultats du test.

Si l'on veut extrapoler correctement les résultats des test, effectués à des débits de dose supérieur d'un facteur 1000 ou plus par rapport à ceux typiques des environnement réels, il est nécessaire d'étudier les niveaux énergétiques des centres de piégeage dans l'oxyde. Ce type d'étude n'est pas encore couramment utilisé. Le plus souvent, les résultats d'une mesure immédiate après l'irradiation à haut débit de dose et ensuite d'une mesure après un recuit à haute température sont utilisés. Ces deux mesures donnent les points extrêmes de la dégradation des caractéristiques du dispositif, la dégradation dans l'environnement réel étant comprise entre les deux. Cela peut amener à rejeter des composants qui, dans la vraie application, pourraient bien survivre.

Le champ électrique dans l'oxyde détermine l'effets des rayonnements car il influence le processus de recombinaison initiale des couples électron-trou générées par le mécanisme de ionisation. Les conditions de polarisation doivent donc être contrôlées, la polarisation pire cas étant le plus souvent choisie.

La source d'irradiation de référence pour les effets de la dose intégrée est constituée par des éléments de ^{60}Co radioactif, dont les photons émis ont une énergie d'environ 1.25 MeV. L'utilisation d'une source de rayons X de 10 keV est devenue assez courante à cause de sa facilité d'accès et sa flexibilité qui permet l'irradiation des puces directement sur tranche.

Deux méthodes de test codifient la procédure recommandée pour la qualification des composants: la méthode de test 1019.4, d'origine américaine, et les spécifications de base 22900, proposée par l'Agence Européenne pour l'Espace (ESA). Ces deux méthodes donnent des recommandations détaillées pour ce qui concerne la source d'irradiation, la dosimétrie, la dose intégrée, le débit de dose, la procédure de recuit, la température, la polarisation et la dynamique du test.

Parmi les techniques de caractérisation des dégradations des transistors en environnement radiatif, le pompage de charge et la technique de la pente en inversion faible ont été décrites dans ce chapitre. Le pompage de charge, qui nécessite la mise au point d'un banc de mesure spécifique, permet de mesurer avec précision la densité des états d'interface créés par l'irradiation. La même information peut être obtenue, mais avec moins de précision, avec la simple mesure statique du transistor: la variation de la pente en inversion faible avec l'irradiation est directement corrélée à la création de nouveaux états d'interface. A partir de la densité d'états d'interface, on peut (en mesurant le déplacement de la tension de seuil du transistor) déterminer aussi la densité des charges piégées dans l'oxyde.

Le pompage de charge et la mesure de la pente en inversion faible ont été utilisées dans la caractérisation des transistors en technologie sur isolant (SOI) dont les résultats seront illustrés au chapitre 5. Avant de décrire les résultats sur une technologie spécifique, les caractéristiques des technologies sur isolant seront présentés au chapitre 4.

Chapitre 4

Les technologies SOI

Dans ce chapitre, les caractéristiques spécifiques aux technologies sur isolant (SOI=*Silicon On Insulator*) seront présentées.

4.1 L'oxyde enterré

Dans le domaine de l'électronique VLSI (*Very Large Scale Integration*), les technologies sur isolant constituent depuis une vingtaine d'années "les technologies du futur". Ce futur semble ne jamais arriver et encore aujourd'hui, même entre les partisans du SOI, l'opinion la plus répandue est qu'il n'arrivera peut-être pas encore dans les prochaines 5 années. Cela malgré une série de caractéristiques qui en font un procédé potentiellement très intéressant et qui ont leur origine dans la présence d'un oxyde enterré. Cet oxyde isole complètement la couche superficielle du silicium, dans laquelle on réalise les transistors, du reste de la tranche qui, dans le vocabulaire utilisé pour la description électrique du transistor, est appelée "substrat".

4.1.1 Isolation des transistors du substrat

Dans les technologies sur isolant les transistors sont complètement isolés les uns des autres et par rapport au substrat qui est commun à toute la tranche de silicium (Figure 4.1). Cette isolation totale diminue considérablement les effets d'injection de charge, notamment dans les circuits mixtes analogiques-numériques où l'injection du signal d'horloge dans la partie analogique représente un gros problème (*cross talk*). En outre, elle permet d'atteindre une parfaite immunité au verrouillage (*latch-up*).

En technologie sur silicium massif, les capacités parasites associées aux diffusions de source et drain sont constituées par les jonctions silicium polarisées en inverse qui entourent les diffusions (constante diélectrique du silicium, $\epsilon_{Si}=10.4 \cdot 10^{-13}$ F/cm). En technologie SOI, la jonction polarisée en inverse est limitée au seul côté de la diffusion confinant avec le film (configuration latérale), et la capacité parasite par rapport au substrat est constituée par l'oxyde enterré. La constante diélectrique de l'oxyde de silicium, $\epsilon_{Ox}=3.5 \cdot 10^{-13}$ F/cm, étant un tiers de celle du silicium, les capacités parasites de source et drain, qui pénalisent la consommation et la vitesse, sont plus faibles en SOI que en silicium massif.

L'isolation totale élimine la nécessité des puits (*well*) pour réaliser une technologie CMOS, ce qui signifie une plus grande densité et une simplification du procédé de fabrication: les technologies sur isolant ont besoin normalement de moins de masques que les technologies sur silicium massif équivalentes.

Un autre avantage dû à l'oxyde enterré est la capacité des transistors en SOI de fonctionner correctement à hautes températures. A température élevée, les jonctions qui constituent l'isolation des diffusions en technologie sur silicium massif présentent un courant de fuite important, qui empêche le fonctionnement correct des dispositifs. En technologie SOI, l'isolation avec l'oxyde maintient de bonnes caractéristiques jusqu'à 300°C.

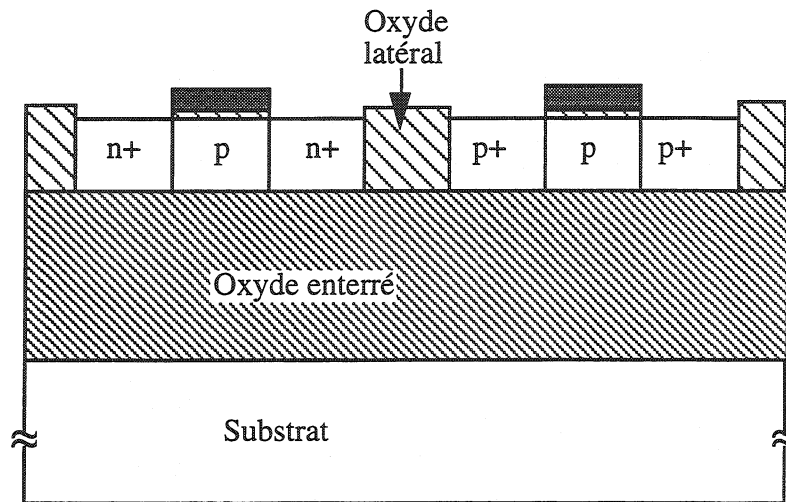


Figure 4.1: L'isolation totale des transistors en technologie CMOS sur isolant.

Ces propriétés tout à fait favorables des technologies sur isolant, auxquelles il faut encore rajouter les meilleures performances en vitesse et en basse puissance des transistors SOI complètement désertés (*Fully Depleted SOI*, FD-SOI) n'ont pas suffi jusqu'à présent à la diffusion à grande échelle des technologies sur isolant. Il y a en fait des problèmes spécifiques aux procédés SOI qui ne se trouvent pas dans les dispositifs sur silicium massif. Au niveau du transistor, le principal problème est constitué par les effets de film flottant (*floating body*), qui seront traités en paragraphe 4.2. Au niveau du matériau, la difficulté de réaliser des substrats de bonne qualité avec un procédé économique limite leur disponibilité. C'est pourquoi dans le développement du SOI beaucoup de ressources sont consacrées à la recherche et caractérisation du matériau, et les techniques pour obtenir un substrat d'une haute qualité reproductible occupent une place de choix.

4.1.2 Techniques de fabrication

De nombreux procédés technologiques ont été développés dans les dernières 30 années pour la fabrication de substrats SOI [1, 2]. Les trois procédés les plus connus à nos jours sont le BESOI, le SIMOX et le UNIBOND. La technologie HSOI3-HD étant fabriquée sur un substrat SIMOX, ce procédé sera traité plus en détail dans ce paragraphe que les deux autres.

SIMOX

L'acronyme SIMOX signifie *Separation by IMplanted OXYgen* (séparation par implantation d'oxygène). Il s'agit de former l'oxyde enterré par implantation d'ions oxygène à travers la surface de la tranche de silicium, et d'effectuer un recuit (*annealing*) du matériau pour éliminer les défauts induits par l'implantation dans le réseau cristallin du silicium. La dose d'implantation nécessaire pour former l'oxyde est 100 à 1000 fois plus élevée que celle normalement utilisée pour le dopage du silicium dans la fabrication de circuits intégrés. Par conséquent il faut utiliser des machines d'implantation spécifiques capables de fournir de courants de 100 mA et un faisceau d'ions O^+ à une énergie de 200 keV, machines qui ont été disponibles à partir de 1985. Depuis, cette technique a connu un succès croissant, et elle est aujourd'hui de loin la plus utilisée.

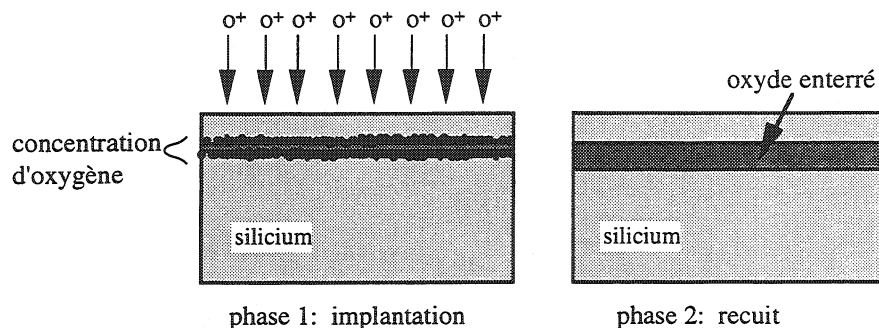


Figure 4.2: les deux phases dans la fabrication des substrat SIMOX

La qualité de l'interface Si-SiO₂ obtenue avec le SIMOX dépend de la dose d'oxygène implantée. L'oxyde de silicium stoechiométrique contient $4.4 \cdot 10^{22}$ atomes d'oxyde par cm³, ce qui semble indiquer que pour la formation d'une couche de 100 nm de SiO₂ une dose implantée de $4.4 \cdot 10^{17}$ atomes/cm² soit nécessaire. En réalité, à cause de son profil gaussien, seule la région centrale de la distribution spatiale de la dose implantée est suffisante pour la formation d'oxyde. Néanmoins, on arrive de nos jours à produire un bon isolant d'une épaisseur de 80-100 nm avec une dose implantée d'environ $4 \cdot 10^{17}$ atomes/cm² (SIMOX à faible dose), ce qui est intéressante pour des raisons économiques (le temps d'implantation est inférieur). Une dose beaucoup plus élevée est nécessaire, à partir de $1.4 \cdot 10^{18}$ atomes/cm², pour avoir un isolant épais continu. Cette dose atteinte, l'oxygène implanté au delà n'augmente pas le pic de concentration mais il sert à accroître l'épaisseur de la couche d'oxyde. En fait, à cause de la haute capacité de diffusion de l'oxygène dans l'oxyde, les ions implantés en plus peuvent migrer vers les bords de la distribution et oxyder le silicium dans ces régions. Une dose implantée de $1.8 \cdot 10^{18}$ atomes/cm² est normalement employée pour la fabrication, après recuit, d'une couche enterrée de 400 nm qui représente l'épaisseur "standard" dans les applications VLSI. La filière HSOI3-HD utilise ce type de substrat.

La température d'implantation est aussi un paramètre fondamental dans la production d'un substrat de bonne qualité [3]. Si elle est trop basse, le silicium au-dessus de la couche d'oxyde devient complètement amorphe, et pendant le recuit il se forme du

silicium polycristallin. Si au contraire elle est trop élevée, on observe la formation de nombreux précipités à proximité de l'interface. Un optimum a été trouvé pour une température d'environ 600-700°C.

Le but du recuit qui suit l'implantation est l'amélioration de la qualité du réseau cristallin au dessus de la couche d'oxyde et la diminution de la concentration résiduelle d'oxygène dans le silicium. Cet oxygène résiduel introduit des défauts qui peuvent s'activer électriquement (donneurs) à des températures variables entre 400 et 800°C [4], températures qu'on trouve dans les procédés de fabrication VLSI. Cet effet indésirable peut être éliminé par un recuit à une température de 1300-1400°C après l'implantation. Une telle température est nécessaire à la dissolution des précipités de SiO₂ et en définitive à obtenir un film de Si et une interface Si-SiO₂ de très bonne qualité [5, 6].

La qualité des substrats SIMOX s'est considérablement améliorée depuis l'apparition des machines d'implantation à haut courant. En 1991, cette technique faisait son apparition dans le commerce [7]. De nos jours, elle fournit la grande majorité des substrats sur le marché. Il reste néanmoins une quantité de défauts qui, malgré l'amélioration des techniques d'implantation et de recuit, influencent fortement le rendement du SIMOX [8]. Ces défauts peuvent être responsables du non-fonctionnement total ou d'une consommation excessive des circuits produits sur le substrat, ou provoquer des problèmes locaux au niveau des courant de fuite ou des tensions de seuil. Globalement, le rendement du meilleur procédé VLSI sur SIMOX est aujourd'hui comparable au rendement moyen des procédés sur silicium massif. La sélection des tranches de bonne qualité (*wafer screening*) [9] est compliquée (faible épaisseur du film) mais nécessaire pour augmenter le rendement de la fabrication de circuits intégrés en SOI, et donc pour diminuer leur coût. Si ce choix n'est pas effectué correctement le rendement peut être aléatoire, des lots entiers de tranches où on a déjà intégré les circuits pouvant être rejetés parce que les dispositifs produits sont hors des spécifications.

Une autre considération, de nature purement économique, s'impose pour permettre la croissance du marché du SIMOX. Le coût des substrats est trop élevé, pour des raisons de rendement, mais aussi parce que la capacité de production des machines d'implantation nécessaires est trop faible. Dans le cas d'une implantation "standard" d'une couche d'isolant de 400 nm, ces machines ont une capacité productive d'environ 50000 tranches par année. La réduction de la dose d'oxygène implantée pour obtenir une couche de 80 nm permet d'atteindre une production de 100000 tranches, mais l'emploi de ces substrats est moins universel. Les procédés de multi-implantation, qui donnent des substrats de qualité électrique meilleure demandent encore plus de temps de production et sont davantage coûteux.

L'utilisation d'un substrat SIMOX pour une technologie qui, comme HSOI3-HD, doit survivre dans un environnement radiatif, présente sûrement des risques. La haute sensibilité au matériau de départ et aux conditions de fabrication qui est typique d'un procédé durci demande *à fortiori* un stricte contrôle de la qualité des substrats. Dans ce cas, le rendement de la technologie VLSI n'est pas un paramètre déterminant car les

utilisateurs des technologies durcies (marché de l'espace et des applications militaires) ne sont pas tellement intéressés par les grands volumes de production. Beaucoup plus importante est la reproductibilité du durcissement entre puces et lots différents. Pour les applications dans le domaine de la physique des hautes énergies, et notamment pour les expériences de LHC, le rendement, et donc le coût, deviennent fondamentaux. Le nombre de circuits nécessaires pour le fonctionnement de ces expériences est tel que l'augmentation des coûts due à un rendement trop pauvre est inacceptable.

BESOI

Le principe de cette technique est très simple: il s'agit de "coller" deux tranches de silicium oxydées. Une des deux tranches est ensuite réduite, souvent par attaque chimique (BESOI = *Bonding and Etch-back SOI*), à une épaisseur convenable pour la fabrication de circuits VLSI. Le procédé est illustré en Figure 4.3. Avec cette technique on peut obtenir une haute qualité du film de silicium et de l'interface Si-SiO₂, d'origine thermique et donc moins riche en défauts [10].

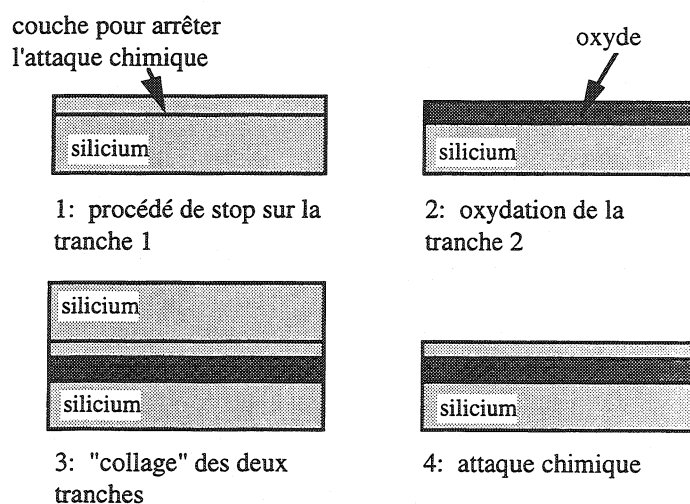


Figure 4.3: Schéma du procédé de fabrication des substrats BESOI

L'une des difficultés du BESOI est d'arrêter l'attaque du silicium de façon à avoir une bonne uniformité de la couche de silicium sur l'isolant. Le contrôle de l'épaisseur de cette couche était possible à $\pm 0.5 \mu\text{m}$ jusqu'au perfectionnement, dans les dernières années, des techniques d'amaincissement qui utilisent une couche butoir (appelée *etch stop layer*) pour arrêter et uniformiser l'attaque chimique [11]. De nos jours, on peut obtenir des substrats à film mince ($0.1 \mu\text{m}$) convenables pour l'intégration de circuits intégrés (DRAMs, circuits en technologie CMOS, ...). Le haut coût des techniques de *etch stop* et la nécessité de deux tranches de silicium pour obtenir un substrat BESOI, qui augmente aussi le coût, expliquent la diffusion relativement limitée de ce procédé.

Les substrats BESOI sont sujet à des défauts qui peuvent être similaires à ceux qu'on trouve dans les substrats SIMOX ou bien tout à fait typiques. En tout cas, ces défauts

limitent, tout comme pour le SIMOX, le rendement des technologies VLSI sur isolant qui les utilisent.

UNIBOND

L'expansion du marché des composants sur isolant impose la nécessité d'une large disponibilité à coût raisonnable de substrats de bonne uniformité et dont la qualité est comparable à celle des substrats en silicium massif. Il est clair que, pour les raisons exposées, ni le SIMOX ni le BESOI peuvent faire face à cette demande croissante. Un procédé qui unit les avantages des deux techniques a été mis à point dernièrement par SOITEC, une des plus grandes compagnies dans la production de substrats SOI. Ce procédé a été nommé UNIBOND, et est le meilleur candidat pour les applications VLSI [12].

Le procédé est illustré en Figure 4.4: au départ, l'une des deux tranches utilisées est oxydée pour former ce qui deviendra l'oxyde enterré. A travers cet oxyde on effectue une implantation d'hydrogène à une dose comparable à celle servant pour les diffusions source/drain dans les technologies CMOS. Les deux tranches sont ensuite collées (comme pour le BESOI), et l'implantation effectuée précédemment permet de séparer la plaque SOI (technique appelée SMART CUT). Après recuit de la tranche et nettoyage de la surface, le substrat est prêt, tandis que la tranche qui reste suite au découpage est nettoyée et réutilisée (voir en Figure 4.4).

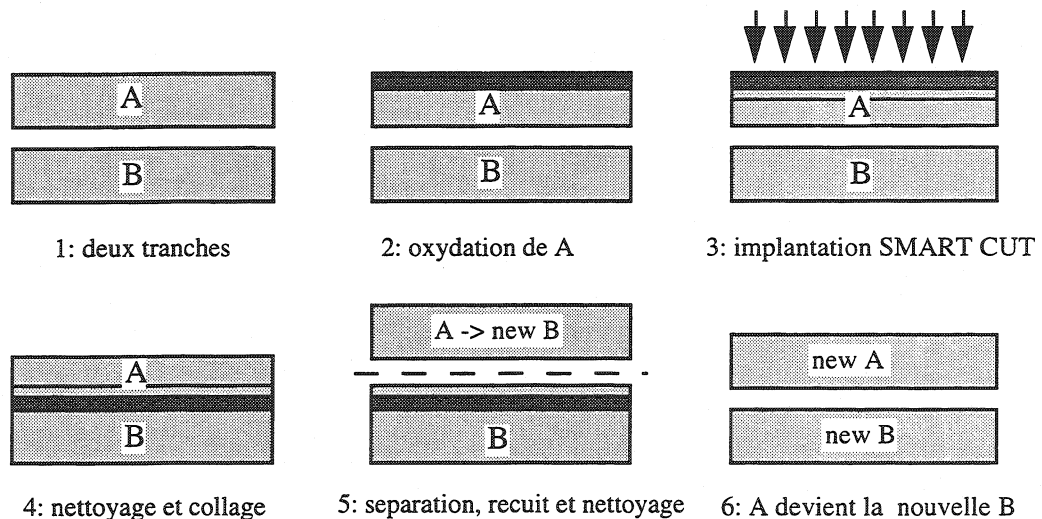


Figure 4.4: Schéma du procédé UNIBOND qui utilise la technologie SMART CUT.

Dans le procédé UNIBOND on trouve les avantages typiques du SIMOX et du BESOI regroupés: l'implantation ionique garantit la bonne uniformité du film de silicium, le "collage" entre deux tranches assure la réalisation d'un oxyde enterré d'origine thermique et la qualité du film de silicium. Les premiers résultats d'intégration sur substrats UNIBOND mettent en évidence ces avantages [13]. En outre, le SMART

CUT a lieu à basse température, ce qui signifie que le procédé de stabilisation (recuit à 1100°C) est effectué sur un substrat avec film mince sur oxyde enterré. Au contraire, dans le procédé BESOI le recuit a lieu avant l'attaque mécanique ou chimique pour réduire l'épaisseur du film, et cela peut être à l'origine de défauts importants à l'interface.

Cette technique semble pouvoir résoudre le problème de la disponibilité et du coût des substrats SOI de bonne qualité, et avec son utilisation la production de substrats sur isolant à niveau mondial devrait dépasser 1 million de tranches par année avant l'an 2000.

4.2 SOI partiellement, moyennement et totalement déserté

Le point commun de toutes les technologies SOI est la présence d'une interface supplémentaire Si-SiO₂, qui se trouve entre l'oxyde enterré et la couche de silicium active. Cette structure peut être vue comme un transistor MOS dans lequel le substrat en silicium constitue la grille arrière, qui est commune à tout le circuit intégré. Ce transistor, qui est appelé "de face arrière", est en parallèle avec le transistor principale qui est nommé par opposition "de face avant". La complexe interaction entre les deux, qui dépend fortement de l'épaisseur et du dopage de la couche de silicium, peut être indiquée avec le terme "couplage". Dans le dispositif sur SOI, on peut donc identifier 5 terminaux électriques: source, drain, grille (du transistor de face avant), substrat (grille du transistor de face arrière) et film, ou plus couramment *body*. Ce dernier est le volume de silicium qui est entouré par les deux oxydes (enterré et de grille) et par les diffusions de source et drain.

L'épaisseur et le dopage de la couche de silicium sur l'oxyde enterré, couche dans laquelle on fabrique les transistors, sont la base pour la classification des technologies sur isolant. Si on indique par t_{Si} l'épaisseur de la couche de silicium et par $x_{d,max}$ la profondeur maximale de la zone de déplétion du transistor, on peut distinguer trois types de dispositifs:

- a) partiellement désertés, pour $t_{Si} > 2x_{d,max}$
- b) totalement désertés, pour $t_{Si} < x_{d,max}$
- c) moyennement désertés, pour $2x_{d,max} < t_{Si} < x_{d,max}$

Dans le premier cas, on parle de technologies à film partiellement déserté, qui sont indiquées avec l'acronyme PD (*partially depleted*). Dans le deuxième cas, l'acronyme FD (*fully depleted*) est utilisée pour les technologies à film totalement déserté. Dans le troisième cas, on parle de technologies sur film moyennement déserté.

4.2.1 Technologies à film partiellement déserté (PD)

Dans les dispositifs partiellement désertés, la couche de silicium ne peut être complètement désertée par aucune combinaison des potentiels appliqués à la grille ou au substrat (grille du transistor de face arrière). Les régions de déplétion des deux transistors de face avant et de face arrière demeurent séparées, et il n'y a pas de couplage électrique entre elles. L'épaisseur du film est suffisante pour pouvoir implanter un gradient de concentration de façon à augmenter le seuil du transistor de face arrière. Celui-ci se trouve par conséquent en "accumulation" dans les conditions de fonctionnement standard du dispositif. Le transistor de face avant peut alors être traité comme un transistor sur silicium massif, et les mêmes équations de fonctionnement peuvent être utilisées.

Par rapport aux technologies sur silicium massif, et au niveau de la performance électrique, les technologies PD ont des capacités parasites de source et drain plus faibles et une meilleure isolation entre dispositifs. Dans le cas des technologies PD à film très épais (de l'ordre de 1 μm), les diffusions de source et drain n'atteignent pas l'oxyde enterré, et leur valeur est comparable à celle typique des technologies sur silicium massif. Un exemple d'une technologie sur film très épais dans le domaine des technologies durcies pour des applications dans les expériences de physique est DMILL [14], qui a une couche de silicium de l'épaisseur de 1 μm . Le choix d'un film très épais est dans ce cas justifié par l'exigence de tenue aux radiations, comme on verra en 4.3.

4.2.2 Technologies à film totalement déserté (FD)

Dans les dispositifs des technologies FD, le film de silicium (*body*) est totalement déserté quand un potentiel équivalent au seuil est appliqué à la grille, et cela indépendamment du potentiel appliqué au substrat. Seule une mince couche d'accumulation ou d'inversion à l'interface arrière peut subsister, si un potentiel très important est appliqué au substrat. Le potentiel du *body* est fixé par la condition de déplétion, et un contact électrique n'est pas nécessaire pour l'imposer. Le fonctionnement normal prévoit la conduction du transistor de face avant (principal), le transistor de face arrière, en déplétion, n'étant pas actif.

La désertion totale de la couche de silicium dans les transistors FD implique le couplage électrique entre les deux interfaces. Le seuil du transistor en face avant dépend fortement des conditions de charge (inversion, accumulation, désertion) de la face arrière, et sa valeur peut être exprimée avec les équations suivantes [1, 15, 16, 17]:

- face arrière en accumulation

Le potentiel de surface de la face arrière est égal à zéro, et le seuil de face avant $V_{th,acc}$ peut être exprimé par:

$$V_{th,acc} = V_{fb}^f + \left[1 + \frac{C_d + C_{it}^f}{C_{ox}^f} \right] 2\Phi_B - \frac{Q_d}{2C_{ox}^f} \quad (4.1)$$

où V_{fb}^f est le potentiel de bandes plates de l'interface avant, $V_{fb}^f = \Phi_{MS}^f - \frac{Q_{ox}^f}{C_{ox}^f}$, $2\Phi_B$ le potentiel de surface avant (en inversion forte), Q_d la charge dans le film complètement déserté ($Q_d = -qN_a t_{Si}$). C_d , C_{ox}^f et C_{it}^f sont, respectivement, les capacités de la région désertée, de l'oxyde de face avant et des états d'interface de face avant ($C_{it}^f = qD_{it}^f$). En condition d'accumulation à la face arrière, le seuil du transistor avant ne dépend pas du potentiel appliqué au substrat.

- face arrière en inversion

Ce cas n'est pas pratique, car un courant passe continuellement entre source et drain grâce au canal d'inversion de la face arrière, dont le potentiel de surface est constant à environ $2\Phi_B$ (et peut arriver jusqu'à $2\Phi_B + 6kT/q$ en inversion forte). La tension seuil du transistor principal $V_{th,inv}$ vaut

$$V_{th,inv} = V_{fb}^f + \left(1 + \frac{C_{it}^f}{C_{ox}^f} \right) 2\Phi_B - \frac{Q_d}{2C_{ox}^f} \quad (4.2)$$

et ne dépend pas du potentiel appliqué au substrat.

- face arrière en déplétion

Quand l'interface arrière est en déplétion, son potentiel de surface varie entre 0 (début de l'accumulation) et $2\Phi_B$ (début de l'inversion). Si on définit par V_{acc}^b le potentiel qu'il est nécessaire d'appliquer au substrat pour que l'interface arrière commence à entrer en accumulation (en condition de face avant en inversion, $\psi_s^f = 2\Phi_B$), ce potentiel peut être exprimé par

$$V_{acc}^b = V_{fb}^b - \frac{C_d}{C_{ox}^b} 2\Phi_B - \frac{Q_d}{2C_{ox}^b} \quad (4.3)$$

où les indices b indiquent que les paramètres sont référés à l'interface avec l'oxyde enterré. La tension seuil du transistor principal vaut en ce cas

$$V_{th,depl} = V_{th,acc} - \frac{C_{ox}^b C_d}{C_{ox}^f (C_{ox}^b + C_d + C_{it}^b)} [V_g^b - V_{acc}^b] = V_{th,acc} - \kappa [V_g^b - V_{acc}^b] \quad (4.4)$$

où V_g^b est le potentiel appliqué au substrat et C_{it}^b la capacité associée aux états d'interface à la face arrière ($C_{it}^b = qD_{it}^b$). Le seuil du transistor varie linéairement avec le

potentiel V_g^b . Le coefficient κ est appelé "coefficient de couplage" car il indique l'intensité du couplage électrique entre les deux interfaces. On peut simplifier l'expression pour κ en considérant que $C_{ox}^b + C_d + C_{it}^b \approx C_d$, et obtenir l'approximation

$$\kappa \approx \frac{C_{ox}^b}{C_{ox}^f} \quad (4.5)$$

Les résultats obtenus pour les trois conditions de l'interface avec l'oxyde enterré peuvent être résumés dans la Figure 4.5, qui montre la variation qualitative de la tension de seuil du transistor principal en fonction de V_g^b pour deux valeurs du coefficient de couplage κ .

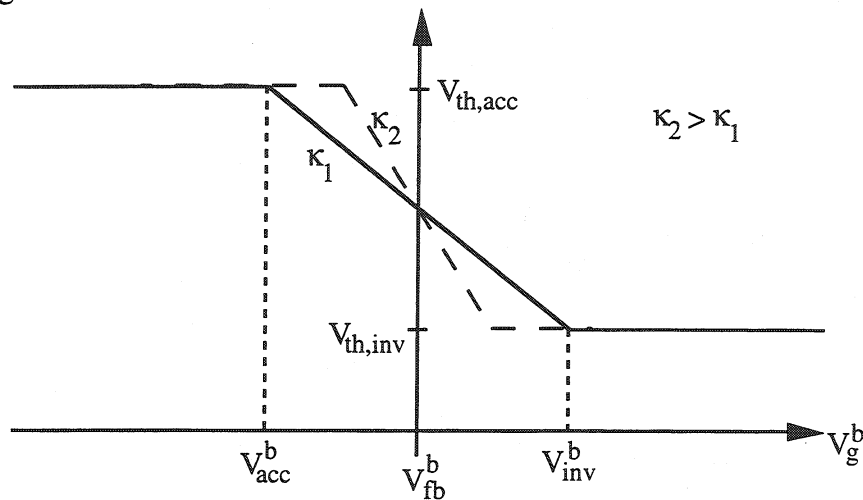


Figure 4.5: Tension seuil du transistor principal en fonction de la tension appliquée au substrat. La courbe en pointillés est représentative d'un coefficient de couplage κ plus élevé (oxyde arrière plus mince).

Dans la pratique, les transistors totalement désertés travaillent toujours en régime de déplétion à l'interface arrière. L'inversion à la face arrière ne peut pas être permise car, comme il a déjà été indiqué, elle implique un courant constant entre source et drain. L'accumulation n'est pas favorable non plus, car elle implique une tension de seuil plus élevée, ce qui peut être gênant pour des applications à faible voltage ou faible puissance. Par contre, dans la condition de l'interface arrière désertée, les transistors FD peuvent bénéficier de performances électriques supérieures [18]. Pour mettre en évidence cet avantage, on peut partir de l'expression du courant en saturation et en inversion forte pour un transistor sur silicium massif ou sur isolant:

$$I_d = \frac{1}{2n} \mu C_{ox} \frac{W}{L} (V_g - V_{th})^2 \quad (4.6)$$

Dans le cas du FD-SOI, il faut lire dans (4.6) $C_{ox} = C_{ox}^f$, $V_{th} = V_{th,depl}$ ou $V_{th,acc}$ selon la condition de la face arrière. V_g est le potentiel appliqué à la grille principale. n est le coefficient d'effet-body dans les transistors sur silicium massif, et peut être exprimé par:

$$n = 1 + \alpha_{\text{bulk}} = 1 + \frac{C_d + C_{\text{it}}}{C_{\text{ox}}} \quad (4.7)$$

En négligeant la contribution des états d'interface, (4.7) devient:

$$n = 1 + \alpha_{\text{bulk}} \cong 1 + \frac{\varepsilon_{\text{Si}}}{C_{\text{ox}} x_{\text{d,max}}} \quad (4.7\text{bis})$$

Pour les transistors FD-SOI, le coefficient n n'a pas la même origine physique, mais il peut être défini à partir de l'équation du courant. Il peut alors être exprimé, respectivement dans le cas de l'interface arrière en déplétion et en accumulation, par:

$$n_{\text{depl}} = 1 + \alpha_{\text{depl}} = 1 + \frac{C_{\text{ox}}^{\text{b}} C_d}{C_{\text{ox}}^{\text{f}} (C_{\text{ox}}^{\text{b}} + C_d + C_{\text{it}}^{\text{b}})} \quad (4.8)$$

$$n_{\text{acc}} = 1 + \alpha_{\text{acc}} = 1 + \frac{C_d + C_{\text{it}}^{\text{f}}}{C_{\text{ox}}^{\text{f}}} \quad (4.9)$$

En négligeant la contribution des états d'interface, les équations deviennent:

$$n_{\text{depl}} = 1 + \alpha_{\text{depl}} \cong 1 + \frac{C_{\text{ox}}^{\text{b}} C_d}{C_{\text{ox}}^{\text{f}} (C_{\text{ox}}^{\text{b}} + C_d)} \cong 1 + \frac{C_{\text{ox}}^{\text{b}}}{C_{\text{ox}}^{\text{f}}} \quad (4.8\text{bis})$$

$$n_{\text{acc}} = 1 + \alpha_{\text{acc}} \cong 1 + \frac{C_d}{C_{\text{ox}}^{\text{f}}} = 1 + \frac{\varepsilon_{\text{Si}}}{C_{\text{ox}}^{\text{f}} t_{\text{Si}}} \quad (4.9\text{bis})$$

A partir d'une comparaison entre (4.7bis), (4.8bis), et (4.9bis) on peut voir, en se rappelant que pour le SOI à film totalement déserté $t_{\text{Si}} < x_{\text{d,max}}$, que la relation entre les coefficients n est:

$$n_{\text{depl}} < n_{\text{bulk}} < n_{\text{acc}} \quad (4.10)$$

Numériquement, la valeur typique de n_{bulk} varie aujourd'hui entre environ 1.15 et 1.5, et tend à augmenter avec la réduction des technologies vers les dimensions submicroniques (le dopage augmente, $x_{\text{d,max}}$ diminue). Pour les transistors FD-SOI, la valeur de n_{depl} est environ 1.05, et est indépendante du dopage. Il est évident que le courant exprimé en (4.6) est plus grand pour un dispositif totalement déserté avec face arrière en déplétion, à parité de tension appliquée et de paramètres électriques. Même si, à cause des effets de saturation de la vitesse des porteurs, la mobilité des porteurs dans les transistors SOI en technologie à film totalement déserté décroît, on a calculé qu'elle reste supérieure d'environ 25% à celle des dispositifs sur silicium massif.

Le coefficient n influence aussi la pente en inversion faible [19, 20], dont l'inverse peut être exprimé pour les transistors sur silicium massif avec (3.4): $S = 2.3n kT/q$. Cette même équation peut être utilisée aussi pour les transistors FD-SOI, en négligeant les contributions des états d'interface de face avant et de face arrière. En utilisant (4.8bis)

en (3.4), on obtient pour les dispositifs totalement désertés avec face arrière en déplétion:

$$S_{\text{depl}} \cong 2.3 \frac{kT}{q} \left(1 + \frac{C_{\text{ox}}^b}{C_{\text{ox}}^f} \right) \quad (4.11)$$

Dans ce cas, et quand l'oxyde enterré est beaucoup plus épais de l'oxyde de grille, la valeur de l'inverse de la pente en inversion faible approche le minimum théorique (60 mV/décade), et est en tout cas inférieure à celle des transistors sur silicium massif. Cette caractéristique se traduit par la possibilité de les utiliser avec un seuil inférieur pour un même courant de fuite (courant entre source et drain pour $V_g=0V$). Cela est illustré en Figure 4.6a. Les transistors complètement désertés avec face arrière en déplétion présentent donc un grand intérêt pour les applications à basse tension et basse puissance.

Finalement, le coefficient n entre aussi dans l'expression du gain des transistors dans des circuits analogiques, qui dépend du rapport g_m/I_d . En inversion faible, région dans laquelle travaillent les transistors d'entrée des amplificateurs de charge, ce rapport peut être exprimé par:

$$\frac{g_m}{I_d} = \frac{1}{n\Phi_t} \quad (4.12)$$

et le gain par unité de courant en inversion faible est par conséquent supérieur pour les transistors totalement désertés, comme montré en Figure 4.6b.

Les technologies FD présentent des avantages aussi en simplicité de procédé technologique par rapport au technologies PD et sur silicium massif. Le *body* du transistor étant mince, il n'y a l'espace que pour une implantation uniforme (pas de gradient de concentration), et l'ajustement du seuil ne demande pas d'implantation supplémentaire. Le nombre de masques nécessaires peut par conséquent être inférieur.

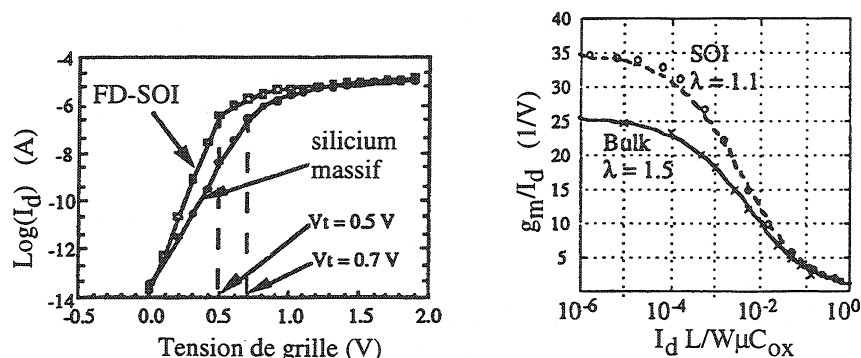


Figure 4.6: Pente en inversion faible et transconductance normalisé pour un transistor SOI totalement déserté et un transistor sur silicium massif (bulk) [18].

Effets dynamiques

L'utilisation des technologies FD présente aussi des problèmes, qui ne sont pas encore de nos jours résolus ou maîtrisés, et qui se manifestent dans le fonctionnement dynamique des transistors. Le potentiel du film (*body*) est fixé par la polarisation de la grille du transistor, et lors de la variation rapide de la tension appliquée à la grille (typique des circuits numériques ou des interrupteurs analogiques) il ne peut pas suivre assez rapidement cette variation. Une conséquence est l'activation dynamique du bipolaire parasite qui cause une injection de charge dans la source et le drain du transistor. Un exemple de ce problème est illustré dans les références [21, 22] pour des mémoires DRAM.

4.2.3 Technologies à film moyennement déserté

Dans les technologies à film moyennement déserté, la région de déplétion contrôlée par la grille de face avant n'arrive pas jusqu'à l'interface arrière. Le film peut être complètement déserté seulement si un potentiel suffisant est appliqué au substrat, de façon que les régions de déplétion des interfaces puissent se rejoindre. La condition de l'interface arrière est, à cause de l'épaisseur et du dopage du film, déterminée uniquement par le potentiel du substrat, et elle se trouve en "accumulation" dans les conditions de fonctionnement normales du transistor. L'application d'un potentiel au substrat peut changer cette condition, et le transistor peut être complètement déserté avec, en conséquence, l'apparition des effets de couplage. La dépendance de la tension de seuil du transistor de face avant en fonction du potentiel de substrat est représentée en Figure 4.7. Contrairement aux transistors totalement désertés, l'interface arrière se trouve en accumulation lorsqu'un potentiel nul est appliqué au substrat.

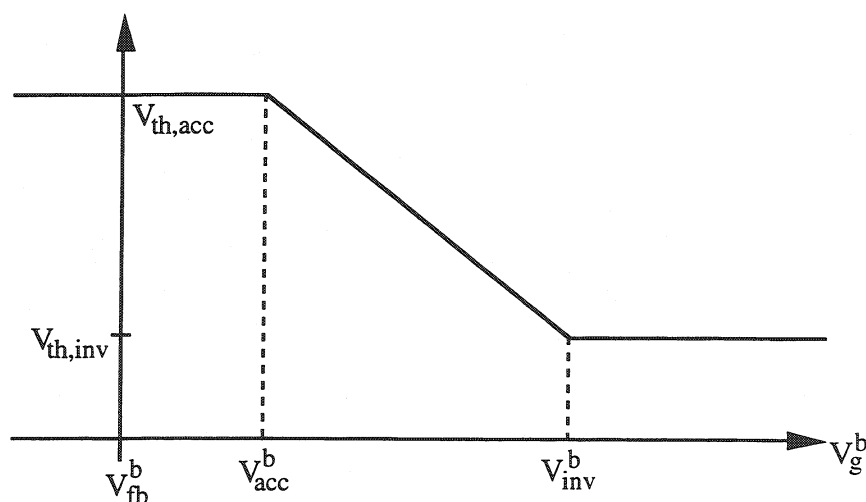


Figure 4.7: Tension seuil du transistor principal en fonction de la tension appliquée au substrat pour une technologie sur film moyen. La condition de fonctionnement normal est avec l'interface arrière en accumulation.

Dans le fonctionnement normal des transistors moyennement désertés, la région de film qui n'est pas en déplétion est neutre et les deux interfaces sont découplées. Le potentiel

du film peut être imposé par l'extérieur en présence d'un contact supplémentaire, ou bien "flottant" (*floating body*) en absence de ce contact. On peut donc parler en tout cas d'une tension *body*-source V_{bs} . Les lignes du champ électrique de la face avant se ferment sur le *body* qui se trouve à V_{bs} , et l'expression (4.1) pour le seuil du transistor de face avant $V_{th,acc}$ peut être modifiée en

$$V_{th,acc} = V_{fb}^f + \left[1 + \frac{C_d + C_{it}^f}{C_{ox}^f} \right] 2\Phi_B - \frac{Q_d}{2C_{ox}^f} - \frac{C_d}{C_{ox}^f} V_{bs} \quad (4.12)$$

Le seuil a une dépendance linéaire avec la tension appliquée au *body*, et diminue pour $V_{bs} > 0$. En condition de face arrière en déplétion ou en inversion, le film est complètement déserté et les équations vues pour les transistors sur film mince sont applicables.

Du fait qu'ils fonctionnent avec l'interface arrière en accumulation, les transistors moyennement désertés sont pénalisés en termes de courant, pente en inversion faible et gain, car leur coefficient n est plus élevé que pour les transistors sur silicium massif (voir équation 4.10).

Effets de film flottant

En absence d'un contact supplémentaire, le potentiel de *body* V_{bs} est flottant. Cela est la cause d'un effet parasite non désiré, qu'on nomme "effet kink", qui est évident dans la courbe $I_d=f(V_d)$ des transistors à canal n, comme on voit en Figure 4.8.

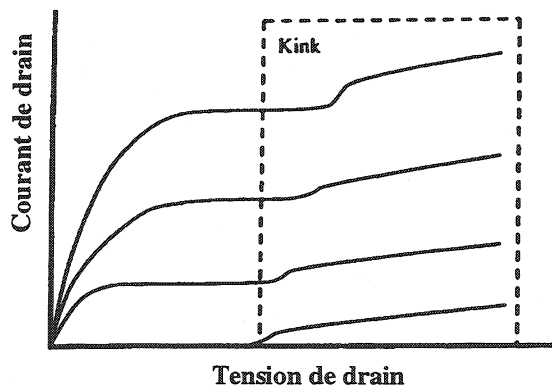


Figure 4.8: Caractéristique du courant de drain en fonction de la tension appliquée au drain pour quatre polarisations V_{gs} différentes [2]. La modification de la conductance de sortie due à l'effet kink est évidente.

L'explication de cet effet est la suivante. Quand le potentiel du drain est assez élevé, les électrons dans le canal peuvent atteindre une énergie suffisante, dans la région à haut champ électrique en proximité du drain, pour créer des paires électron-trou. Les électrons créés migrent rapidement vers le drain, tandis que les trous se déplacent vers la région avec le potentiel le plus faible: le film flottant. L'injection de trous dans le

body flottant augmente le potentiel du film, et cela diminue la tension seuil du transistor suivant la relation (4.12). La diminution du seuil implique une augmentation du courant du transistor, ce qui explique l'effet kink et son apparition à des tension de drain élevées. Le même changement du potentiel de *body* peut mettre en conduction le bipolaire parasite npn qui est naturellement présent dans le transistor, et donner naissance à une autre augmentation de courant, souvent plus importante, qu'on appelle parfois "deuxième kink". Ce dernier phénomène est possible aussi dans les structures bipolaires pnp formés par les transistors courts à canal p.

Ces problèmes dus au film flottant, qui apparaissent déjà dans le fonctionnement statique des transistors, se manifestent aussi dans le fonctionnement dynamique. Dans la partie dédiée aux technologies FD, on a parlé des effets dynamiques d'enclenchement du bipolaire parasite; ces effets sont indiqués comme "effets de film flottant dynamiques", et sont naturellement encore plus importants dans les transistors moyennement désertés, pour lesquels les effets de *body* flottant sont présents déjà en fonctionnement statique. A titre d'exemple, on a observé [23] qu'à cause de cet effet le temps de propagation du signal dans un circuit numérique peut changer de 15% en fonction de la fréquence.

En théorie, la solution pour éviter les effets de film flottant est de fixer le potentiel du film avec un contact supplémentaire. Cela est possible seulement pour les dispositifs partiellement ou moyennement désertés: en cas de film complètement déserté la résistance du film est trop élevée pour que le contact soit efficace. Trois types de layout ont été proposés pour la réalisation d'un contact au film: ils sont représentés en Figure 4.9.

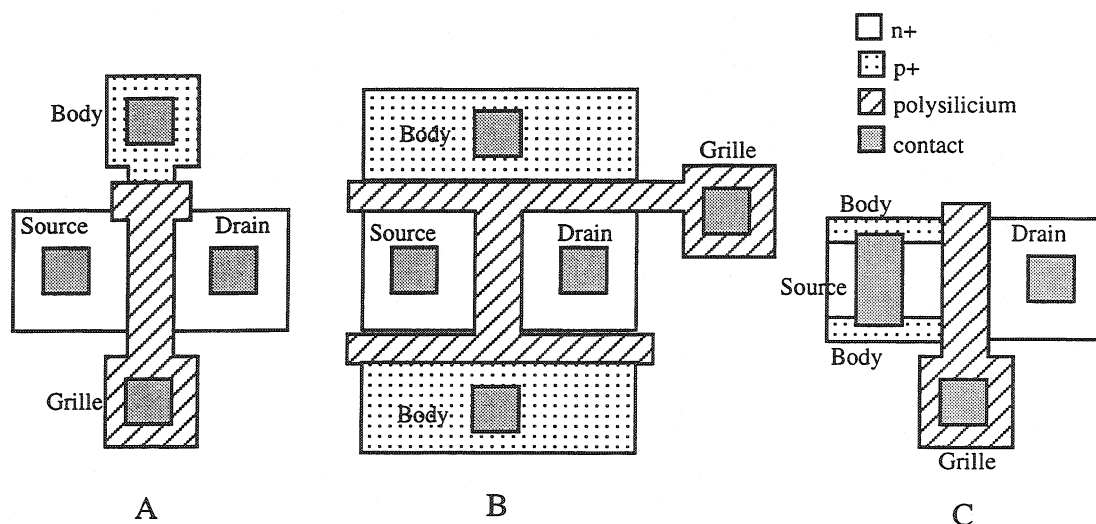


Figure 4.9: Les trois types de layout proposés pour la réalisation du contact au body.

En réalité, l'efficacité de tous ces contacts n'est pas parfaite, et elle dépend de l'épaisseur du film, de la largeur W et de la longueur L du transistor. Il faut se rappeler que, à cause de la faible épaisseur de la couche de silicium, la résistance de la région faiblement dopée sous la grille est très élevée. Si on peut imaginer que près du bord du

transistor on peut réaliser un bon contact, l'efficacité du contact diminue rapidement en s'éloignant des bords. Les layouts B) et C), avec contacts aux deux bords, sont par conséquent préférables. Néanmoins, même pour ces structures on peut mesurer une résistance importante et distribuée en valeur en s'éloignant des bords, qui dépend en plus du potentiel appliqué à la grille [24]. Pour limiter la résistance d'accès au film, une méthode est d'imposer une limitation à la largeur des transistors et d'utiliser plusieurs transistors en parallèle pour réaliser un transistor de grande largeur. Cela se traduit par une perte de densité considérable, qui est très gênante pour les applications VLSI.

La communauté des scientifiques qui travaillent sur les technologies SOI est à nos jours encore partagée en deux. Une partie soutient que la seule solution pour les effets de film flottant (dynamique) est d'utiliser une technologie PD ou sur film moyennement déserté avec contact de *body*. L'autre partie considère que, les contacts de *body* étant peu efficaces, on peut modéliser ces effets, concevoir des circuits en technologie FD et bénéficier des avantages en vitesse et faible consommation de ces dernières.

4.3 Tenue aux radiations des technologies SOI

On entend souvent mentionner la meilleure tenue aux radiations des composants sur isolant par rapport aux composants sur silicium massif. Le but de ce paragraphe est d'examiner rapidement la réponse des technologies SOI aux radiations pour ce qui concerne la dose intégrée et pour les phénomènes non récurrents, et de la comparer aux technologies sur silicium massif.

4.3.1 Dose intégrée

Les effets de la dose intégrée, comme on a vu dans le chapitre 2, ont leur origine dans les oxydes. Pour cette raison, il est utile de considérer séparément les différents types d'oxydes: de grille, latéraux, de champs et enterrés.

Oxyde de grille

Pour ce qui concerne l'oxyde de grille, les effets sont tout à fait semblables à ceux examinés dans le chapitre 2 pour les transistors MOS sur silicium massif. Les mêmes techniques de durcissement de l'oxyde de grille peuvent être utilisées pour les technologies sur isolant avec des résultats identiques.

Oxydes latéraux et de champs

À cause de la présence de l'oxyde enterré, les transistors peuvent en technologies sur isolant être complètement isolés les uns des autres. Cela signifie que la formation d'un chemin de courant de fuite entre transistors différents est impossible, et élimine le

problème du comportement de l'oxyde de champs avec l'irradiation. Cela représente un grand avantage par rapport aux transistors sur silicium massif, pour lesquels un dopage supplémentaire sous l'oxyde de champs ou la réalisation d'un anneau de garde sont nécessaires pour empêcher l'inversion du silicium et la création conséquente d'un chemin de fuite entre transistors à canal n (voir chapitre 3).

L'isolation entre transistors en SOI peut être réalisée avec plusieurs techniques, et la réponse aux radiations de l'oxyde latéral est dépendant de la technique choisie. Les deux techniques d'isolation les plus utilisés sont l'isolation LOCOS et l'isolation MESA. L'isolation LOCOS (*LOC*al *IS*olation *OF* *Si*licon) est une technique qui est couramment utilisée pour les technologies sur film épais, et peut être appliquée presque inchangée aux technologies sur isolant. L'oxydation thermique du silicium qui entoure la région active où le transistor se trouve, donne un profil graduel de l'épaisseur d'oxyde aux bords du transistor (bec d'oiseau). Pour les transistors SOI, le profil qui en résulte est illustré en Figure 4.10. Pour augmenter le seuil du transistor latéral dans le cas des transistors à canal n, une implantation de bore est normalement effectuée aux deux bords, ce qui peut ne pas être suffisant pour atteindre un niveau de durcissement acceptable. Le canal de fuite source-drain après irradiation se forme dans la région où le film de silicium (body) est plus mince et entouré par un oxyde épais (latéral et enterré) [25]. Pour des applications qui demandent un niveau de durcissement élevé, l'utilisation de techniques de durcissement spécifiques est nécessaire. Ces techniques, qui sont tenues secrètes par les fabricants, sont centrées sur le dopage de la région sensible du silicium et sur la technique d'oxydation (température, atmosphère, profil).

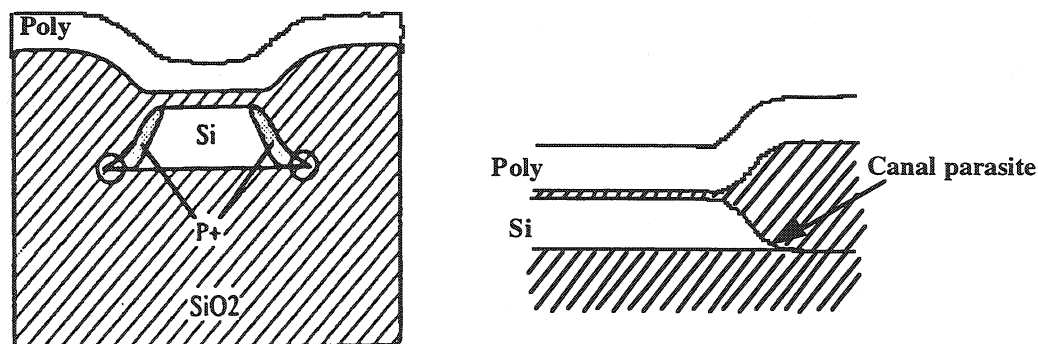


Figure 4.10: Profile de l'isolation LOCOS, avec mise en évidence de la région la plus sensible pour le courant de fuite après irradiation.

L'isolation MESA est au contraire possible seulement pour les technologies sur isolant, et consiste à effectuer une attaque chimique sélective sur le film de silicium de façon à obtenir des îlots (en anglais, on les appelle *mesas*) de silicium sur l'oxyde enterré [2]. Les transistors sont réalisés dans ces îlots. Le profil qui en résulte est mieux compris en regardant Figure 4.11, où on peut voir que l'oxyde mince sous la grille recouvre aussi les bords du transistor. En ce cas aussi, la région sensible du point de vue de la tenue aux radiations est l'endroit où le film devient très mince. Par rapport à l'isolation LOCOS, le fait que l'oxyde supérieur soit mince en cette région cause une baisse du seuil du transistor latéral parasite. Le déplacement du seuil avec l'irradiation est en ce

cas causé par le piégeage de trous dans le seul oxyde épais enterré. Des techniques spécifiques de durcissement des bords peuvent être appliquées en ce cas aussi, et les détails des procédés restent aussi secrets [26].

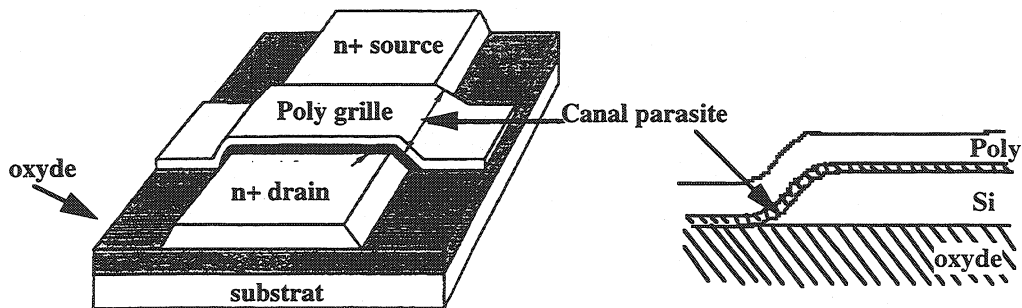


Figure 4.11: Profil de l'isolation MESA. Le canal parasite après irradiation se forme dans la région où le silicium est plus mince, à cause du piégeage de trous dans l'oxyde enterré.

La présence d'un contact de body, symétrique aux deux bords du transistors comme les contacts montrés en Figure 4.9 B et C, élimine tout courant de fuite avec une implantation p+ sur le chemin d'inversion possible.

Oxyde enterré

Si les problèmes pour la tenue à la dose intégrée viennent des oxydes, la présence d'un oxyde supplémentaire, l'oxyde enterré, dans les technologies SOI ne peut que rendre ces dernières plus sensibles aux effets des radiations. On a vu en chapitre 2 que le piégeage de trous dans les oxydes est fortement dépendant de leur épaisseur (Figure 2.11). L'épaisseur typique de l'oxyde enterré peut varier entre environ 380 et 80 nm, ce qui signifie un piégeage de trous très important. Par conséquent, le potentiel de surface à l'interface arrière change considérablement, à parité de potentiel appliqué, avec la dose intégrée. Les conséquences de ce piégeage sur le comportement du transistor sont différentes pour les technologies à film partiellement, totalement ou moyennement déserté.

a) Technologies à film partiellement déserté (PD)

Les deux interfaces étant complètement découplées, le comportement du transistor ne change pas si le piégeage dans l'oxyde enterré n'est pas suffisant à créer un canal d'inversion à l'interface arrière. En ce cas, un courant continu passera dans le canal du transistor de face arrière, courant incontrôlable avec le potentiel de la grille. On peut aisément empêcher l'inversion avec un fort dopage du silicium à l'interface de l'oxyde enterré, ce qui ne modifie pas les caractéristiques du transistor de face avant.

Les technologies PD à film très épais ne sont pas sensibles au piégeage de charge dans l'oxyde enterré. Les diffusions de source et drain n'atteignant pas l'oxyde enterré,

même en cas d'inversion de l'interface arrière aucun courant de fuite peut s'écouler entre source et drain.

b) Technologies à film totalement déserté (FD)

Le couplage entre les deux interfaces est total en fonctionnement normal et le seuil du transistor dépend du potentiel de bande plate à l'interface arrière V_{fb}^b , comme indiqué en (4.3) et (4.4). Le piégeage de trous dans l'épais oxyde enterré cause en ce cas une variation importante du seuil du transistor. La réduction de l'épaisseur de l'oxyde enterré à environ 80 nm diminue considérablement le piégeage de charge mais ne représente pas une solution. L'équation (4.5) montre que le coefficient de couplage κ est environ équivalent au rapport entre les capacités des deux oxydes. La diminution de l'épaisseur de l'oxyde enterré diminue le piégeage mais en même temps augmente le couplage entre les deux interfaces, et la sensibilité du seuil du transistor à la dose intégrée ne s'améliore pas. V.Ferlet-Cavrois et al. ont bien démontré cet effet [27]; la solution à ce problème est dans le durcissement de l'oxyde enterré et non pas dans la diminution de son épaisseur. Malheureusement une technique capable de produire un oxyde enterré durci n'a pas encore été trouvée. Les recherches dans cette direction ont néanmoins montré qu'une amélioration du durcissement peut être obtenue avec l'utilisation d'une implantation multiple lors de la formation de l'oxyde enterré [28] ou avec une implantation profonde de germanium [29].

c) Technologies à film moyennement déserté

Dans le fonctionnement normal des transistors moyennement désertés, l'interface arrière se trouve en accumulation et les deux interfaces sont découplées. Le comportement du transistor ne change pas avec l'irradiation jusqu'à ce que le piégeage de charges dans l'oxyde enterré soit suffisant pour commencer la désertion à l'interface arrière. Quand l'interface arrière passe en déplétion, l'évolution du seuil du transistor avec l'irradiation devient comparable à celle des transistors totalement désertés. Il est nécessaire donc d'avoir un seuil très élevé du transistor de face arrière (dans le cas des NMOS), ce qui peut être réalisé avec une implantation supplémentaire en profondeur.

4.3.2 Phénomènes non récurrents

Dans les transistors sur isolant, les seuls porteurs générés par le passage d'un ion lourd dans le film de silicium sur l'oxyde enterré peuvent migrer aux noeuds sensibles et causer un aléa logique (SEU). L'épaisseur du film SOI étant généralement mince par rapport à la couche épitaxiée en technologie sur silicium massif, le nombre de porteurs qui peuvent générer un SEU est bien inférieur. L'oxyde enterré empêche aussi la présence d'un courant de "funneling" (voir chapitre 2). Pour ces raisons, le niveau de durcissement des technologies SOI à l'aléa logique est normalement plus élevé que pour les technologies sur silicium massif. A titre d'exemple, un LET_{th} de 80 MeVcm²/mg a été mesuré pour une SRAM à 256k réalisé sur une technologie complètement désertée [30] sans l'application d'aucune technique de durcissement.

Le bipolaire parasite présent en chaque transistor court sur isolant est un point délicat de ces technologies pour ce qui concerne la sensibilité aux phénomènes non récurrents. L'injection de porteurs dans la région du film des transistors, qui est due au passage d'un ion lourd, peut modifier le potentiel du film même, surtout en absence d'un contact de *body*. La diminution du potentiel source-*body* qui en résulte provoque une injection de porteurs minoritaires dans le film, qui est la base du bipolaire parasite, et un courant important est injecté au drain par l'effet bipolaire. Ce courant, avec le courant dû à la charge déposée par l'ion lourd, peut causer un SEU. La sensibilité à cet effet dépend entre autre du dopage du film [31].

La présence d'un contact de *body*, qui en principe tient fixe le potentiel du film du transistor, améliore mais n'élimine pas l'effet bipolaire. Comme on a déjà vu, ces contacts ne sont pas complètement efficaces pour les effets dynamiques. Leur utilité pour réduire l'effet du bipolaire dépend fortement de leur position par rapport à la trace de l'ion lourd, et diminue avec l'augmentation de la distance. Cela est montré en Figure 4.12, où la charge critique pour un SEU est représentée en fonction de la distance (normalisé à la position du contact de *body*) de la trace[32].

Une autre technique pour réduire l'effet du bipolaire parasite est l'implantation de germanium dans le film, qui a comme effet la diminution le temps de vie des porteurs dans le canal. Avec cette technique, le gain du bipolaire parasite a pu être dégradé de 35 à environ 0.7 [29].

Avec l'utilisation de contact de *body* et de techniques architecturales de durcissement aux SEU, pour une SRAM de 256k intégrée dans une technologie SOI, il n'a pas été possible de mesurer la section efficace pour SEU jusqu'à un LET de $163 \text{ MeVcm}^2/\text{mg}$ [33].

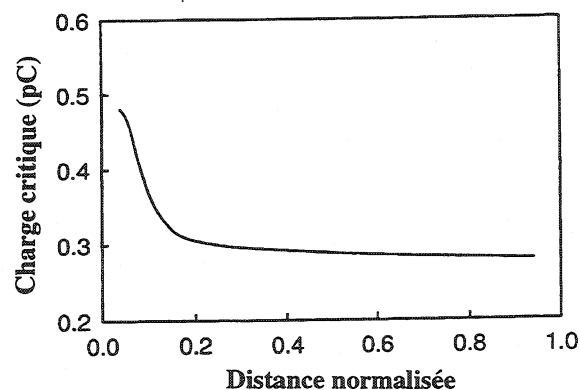


Figure 4.12: Charge critique pour le SEU en fonction de la distance du contact de *body* pour une technologie partiellement désertée. La distance 0.0 représente la position du contact.

Mais le plus grand avantage des technologies sur isolant pour ce qui concerne la réponse aux phénomènes non récurrents est l'insensibilité totale aux SEL. A cause de l'isolation totale entre les transistors, la structure parasite responsable du latch-up dans les technologies sur silicium massif n'existe pas. Et ce résultat est obtenu naturellement

dans le SOI, sans modifier le procédé technologique et sans devoir introduire des dispositifs de contrôle du courant total dans les circuits.

4.3.3 Résumé comparatif

Le tableau suivant résume les avantages et les inconvénients pour ce qui concerne la tenue aux radiations des technologies sur isolant par rapport aux technologies sur silicium massif.

On peut bien voir que les technologies FD présentent le plus de problèmes, notamment pour la dose intégrée. Les technologies PD offrent des avantages pour le courant fuite entre transistors et pour le latchup, et sont les plus aisément modifiables pour des applications dans les environnement radiatifs. Dans le cas des technologies à film très épais, elles sont très proches des technologies sur silicium massif, et les mêmes techniques de durcissement peuvent être appliquées. Les technologies à film moyennement déserté offrent, en présence d'un contact de body, le plus d'avantages en terme de durcissement. Elles présentent néanmoins des complications de procédé, car une maîtrise absolue des profils de dopage, de la qualité des substrats et des étapes de fabrication est nécessaire pour obtenir une reproductibilité constante du durcissement. A nos jours, plusieurs producteurs de composants durcis choisissent le SOI moyennement déserté (Thomson TCS, Honeywell, Lockheed-Martin), et une seule technologie PD sur film très épais existe (DMILL, commercialisé par Temic).

Tableau 4.1: Sensibilité aux effets des radiations des technologies sur isolant, par rapport aux technologies sur silicium massif.

Problématique	FD-SOI	SOI moyen. dés.	PD-SOI
Dose intégrée: transistor principal	très sensible à cause du couplage entre les deux interfaces	plus sensible si l'interface arrière passe en déplétion	même sensibilité
Dose intégrée: courant fuite source-drain aux bords du transistor (oxyde latéral)	très sensible sur les bords	plus sensible sur les bords sans prise de <i>body</i> . Insensible si une prise de <i>body</i> est intégrée	même sensibilité
Dose intégrée: fuite entre diffusions	insensible	insensible	insensible
SEU	moins sensible, mais problèmes avec le bipolaire parasite	bien moins sensible en présence d'un contact de <i>body</i>	légèrement moins sensible si l'épaisseur du film est moindre que la couche épitaxiée des technologies sur silicium massif
SEL	insensible	insensible	insensible

4.4 Synthèse

En technologies sur isolant, les transistors sont complètement isolés du substrat grâce à une couche de SiO₂. Cet oxyde, appelé oxyde enterré, peut être fabriqué avec plusieurs techniques, dont la plus répandue est aujourd'hui la séparation par implantation d'oxygène (SIMOX). Même si la qualité des substrats SIMOX est constamment en amélioration, le rendement et la trop faible capacité de production des machines d'implantation nécessaires augmentent considérablement leur coût. Une nouvelle technique de fabrication, le procédé UNIBOND, semble pouvoir résoudre ces problèmes et contribuer à atteindre avant l'an 2000 une production mondiale de tranches SOI supérieure à 1 million par année.

Dans la famille des technologies sur isolant, on peut distinguer les technologies à film partiellement, moyennement et totalement déserté. Les technologies à film totalement déserté (FD) présentent des avantages considérables pour ce qui concerne la performance électrique (courant de drain plus élevé à parité de polarisation, meilleure pente en inversion faible, meilleur gain) et constituent des excellents candidats pour les applications à basse puissance et basse tension. Leur utilisation pose néanmoins le problème des effets de *body* flottant dynamique, qui n'ont pas encore été précisément modélisés. Les technologies à film moyennement déserté, qui n'ont pas les mêmes avantages en termes de performance électrique, présentent déjà des effets de *body* flottant en caractérisation statique (effet *kink*). Pour limiter cet effet, on essaye de fixer le potentiel du film (*body*) à travers un contact supplémentaire. L'efficacité de ce contact pour les effets dynamiques n'est pas parfaite, et l'espace nécessaire pour l'intégrer implique une perte de densité considérable.

Du point de vue de la tenue aux radiations, les technologies sur isolant présentent plusieurs caractéristiques favorables. Les transistors étant complètement isolés, aucune fuite entre diffusions est possible et l'insensibilité au SEL est totale. Leur niveau de durcissement à l'aléa logique (SEU) est aussi plus élevé que pour les dispositifs sur silicium massif. Le piégeage de charges dans l'épais oxyde enterré peut néanmoins donner des problèmes pour la tenue à la dose intégrée, notamment dans les technologies à film totalement déserté. Les technologies à film moyennement déserté, en présence d'un contact de *body* et d'un ajustement du seuil du transistor de face arrière, offrent le plus d'avantages en terme de durcissement. Les résultats de la caractérisation en environnement radiatif d'une telle technologie seront présentés dans le prochain chapitre.

Chapitre 5

Caractérisation statique des transistors en HSOI3-HD et leur tenue à la dose intégrée

Dans ce chapitre, une description de la technologie HSOI3-HD, qui constitue l'objet de cette étude, sera donnée. Cette technologie, commercialisée en France par Thomson TCS (Thomson Composants Spécifiques), est le produit d'une recherche [1, 2] du CEA (Bruyères-Le-Châtel) et du LETI (Grenoble) orientée vers le développement d'une électronique en mesure de survivre à un rayonnement très intensif et de courte durée, comme l'environnement d'une explosion nucléaire. Son nom (HD=hautement durcie) est témoin de l'effort mis dans son durcissement aux effets des radiations. Comme pour toute technologie durcie, les détails de fabrication (espèces et concentration des dopages, températures, gradients thermiques, etc.) ne sont pas diffusés par le fabricant. Par conséquent, dans la description de la technologie, seulement les données disponibles seront utilisées. Seuls les paramètres statiques seront traités dans ce chapitre, la caractérisation en bruit étant examinée au chapitre 6.

5.1 HSOI3-HD

HSOI3-HD est une technologie CMOS sur isolant qui utilise un substrat SIMOX. La dimension minimum qui peut être atteinte ($1.2 \mu\text{m}$) est déterminée par la précision de la lithographie. Les contacts utilisent cette dimension minimum, qui est permise aussi pour les lignes métalliques (métal 1), tandis que pour des raisons de fiabilité sous irradiation la grille des transistors ne peut avoir une longueur inférieure à $1.4 \mu\text{m}$. Le procédé utilise une seule couche de polysilicium, ce qui implique l'utilisation de l'oxyde mince de grille pour l'intégration de capacités dans les applications analogiques. Dans ce cas, l'électrode inférieure est constituée par le film de silicium, qui est très fortement dopé pour diminuer sa résistivité.

L'intégration de résistances de valeur importante constitue, comme dans beaucoup de technologies, un problème car la résistance du polysilicium, qui est un polycide de type n, est très faible (environ $2 \Omega/\text{carré}$). L'utilisation d'une résistance en diffusion est possible mais la précision absolue qu'on peut atteindre est médiocre. Le polysilicium étant unique et dopé n, les transistors p sont enterrés. L'ajustement du seuil des transistors p demande en fait un dopage de bore supplémentaire, ce qui éloigne le canal de l'interface Si-SiO₂.

Deux couches de métal sont disponibles pour le routage, et la tension d'alimentation nominale V_{dd} prévue est de 5V. L'isolation latérale est réalisée avec un LOCOS, et la technique LDD est utilisée pour diminuer l'intensité du champ électrique dans la région du drain. L'épaisseur de l'oxyde de grille est d'environ 23 nm.

5.1.1 Épaisseur du film

HSOI3-HD est une technologie sur isolant à film moyennement déserté. L'épaisseur de l'oxyde enterré est d'environ 380 nm, et celle de la couche de silicium est d'environ 150 nm. Comme on voit en Figure 5.1, en condition d'une polarisation nulle appliquée au substrat, l'interface arrière demeure en accumulation et le seuil du transistor principal ne dépend pas des faibles variations du potentiel de substrat.

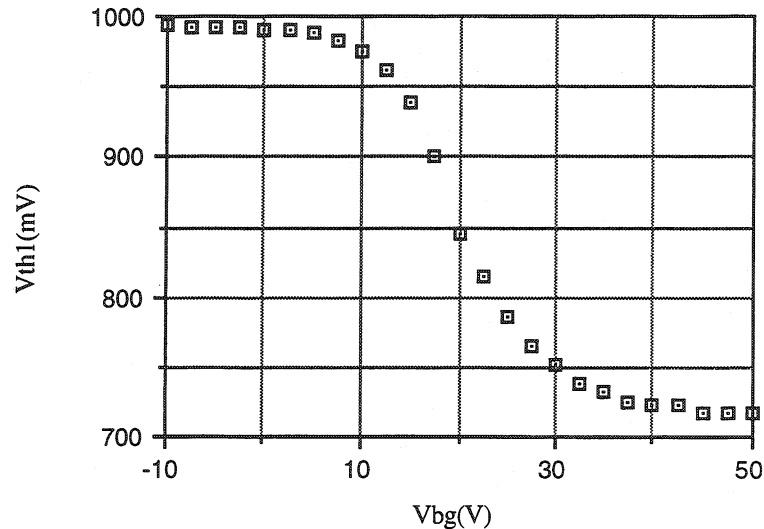


Figure 5.1: Tension seuil du transistor principal (face avant) en fonction du potentiel appliqué au substrat ($V_{bg}=V_{backgate}$) pour un transistor à canal n.

Le seuil d'inversion de la face arrière est, pour les transistors à canal n, d'environ 25 V, tandis qu'il est de -15 V pour les transistors à canal p. Les transistors provenant de lots de fabrication différents présentent une certaine variabilité de ce seuil, qui peut être dans un intervalle de presque 10 V, surtout pour les transistors à canal n dont le seuil mesuré peut être compris dans l'intervalle 22-30 V.

Comme on a vu en chapitre 5, les transistors moyennement désertés ne bénéficient pas des avantages sur les caractéristiques électriques du SOI complètement déserté. En Figure 5.2, le courant en inversion faible est montré pour deux conditions de polarisation d'un transistor à canal n. Le *swing* (inverse de la pente) de 115 mV/dec est obtenu en condition de fonctionnement normal. Néanmoins, si on applique une polarisation au film (à l'aide d'un contact de *body*) on peut atteindre la désertion totale du film et un *swing* de 68 mV/dec, proche de la valeur limite théorique. En correspondance, le seuil du transistor augmente, en agrément avec équation 4.12, jusqu'à environ 2V. Cette condition de polarisation n'est pas acceptable à cause de la tension de seuil trop élevée et aussi parce que la conductance de sortie des transistors est fortement dégradée.

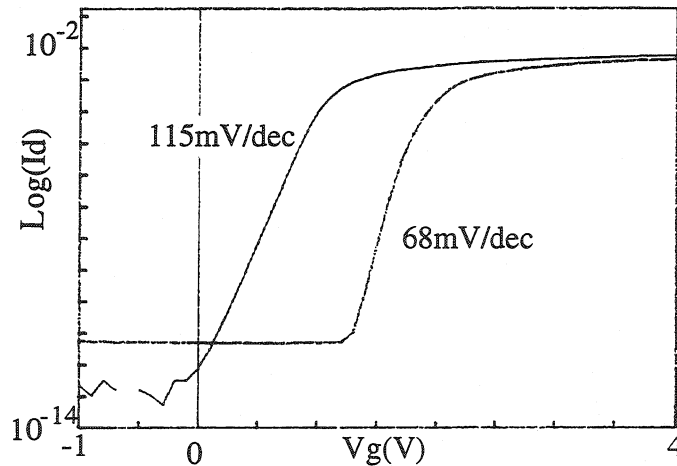


Figure 5.2: Courant sous-seuil pour un transistor à canal n. La courbe de gauche correspond au fonctionnement en désertion partielle. La courbe de droite correspond au fonctionnement en désertion totale, obtenu en appliquant une polarisation de -2 V au body.

5.1.2 Contacts de body

Les technologies à film moyennement déserté nécessitent un contact au film (*body*) pour éliminer ou au moins réduire les effets de *body* flottant. HSOI3-HD prévoit deux types de contact de *body*, et par conséquent les transistors peuvent avoir deux *layouts* différents.

Le premier type prévoit une asymétrie entre la source et le drain, car le body est relié directement à la source comme montré en Figure 4.9C. Ce *layout* a l'avantage d'être très compact et de permettre une densité d'intégration plus importante. Il est aussi efficace à couper le chemin de fuite source-drain latéral qui, à cause de l'isolation LOCOS, pourrait représenter un problème à la tenue aux radiations. Néanmoins, il n'est pas utilisable pour les interrupteurs analogiques et son efficacité à fixer le potentiel du film est pauvre. Cela est bien visible dans la courbe de la conductance de sortie (courbe $I_d=f(V_d)$) des transistors à canal n, dans laquelle un effet *kink* est évident pour des polarisations de drain supérieures à 2 V. Un exemple est montré en Figure 5.3. La performance en bruit de ces structures est aussi assez insatisfaisante, une composante de bruit supplémentaire étant présente sur un domaine de fréquence très vaste. En Figure 5.3 on peut voir la courbe de bruit en fonction de la fréquence, et la présence d'un grand plateau qui couvre le bruit 1/f [3]. Avec de telles caractéristiques, l'utilisation de ce type de structure est envisageable seulement pour les circuits numériques. Toute l'étude des caractéristiques analogiques sera par conséquent centrée sur les transistors avec deux contacts de *body* latéraux, dont le *layout* ressemble à celui montré en Figure 5.9a, mais avec une symétrie entre les deux contacts de *body* qui se trouvent de chaque côté de la grille.

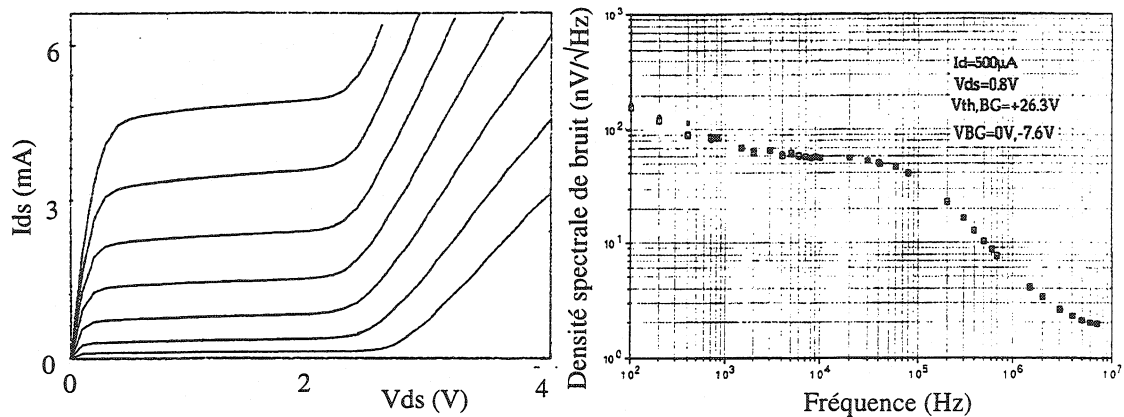


Figure 5.3: Caractéristique de sortie ($I_d=f(V_d)$) et densité spectrale de bruit pour un transistor 1000/2 avec body relié directement à la source (layout montré en figure 4.9C). La conductance de sortie est très fortement dégradée même pour des tensions de drain légèrement supérieures à 2 V. Le plateau à basse fréquence du spectre de bruit couvre complètement le bruit $1/f$.

5.1.3 Paramètres statiques

Le seuil des transistors a été mesuré en régime linéaire, avec une tension drain-source $V_{ds}=50$ mV, et avec l'interface arrière en accumulation. Le but de la mesure était en fait de suivre l'évolution des paramètres avec l'irradiation, et tenir l'interface arrière en accumulation permettait de découpler et par conséquent d'étudier séparément l'effet des irradiations sur les deux interfaces. Le potentiel appliqué au substrat pendant la mesure était de -20 V pour les transistors à canal n et de 20 V pour les transistors à canal p. Dans ces conditions, le seuil des transistors à canal n était d'environ 1 V, et le seuil des transistors à canal p d'environ -1.2 V.

La mobilité a été extraite dans les mêmes conditions d'accumulation à l'interface arrière et en régime ohmique ($V_{ds}=50$ mV). L'utilisation de transistors avec un ratio W/L limité (environ 10) permet d'effectuer l'extraction à un faible niveau de courant, et par conséquent de limiter l'influence de la résistance série parasite (qui, à de hauts niveaux de courant, peut modifier le V_{ds} effectivement appliqué à la source et au drain du transistor et introduire une grande erreur sur la mobilité). La mobilité mesurée sur les dispositifs de taille différente était d'environ 400 cm²/Vs pour les canaux n et 200 cm²/Vs pour les canaux p.

Le courant de fuite source-drain a aussi été régulièrement mesuré pour étudier sa variation avec l'irradiation. Le courant de fuite mesuré, dans les conditions de stress maximum ($V_{ds}=5$ V), était toujours inférieur à 10 pA, même pour des transistors avec un W/L égal à 2000/1.4.

La tension de seuil de l'interface arrière, mesuré avec l'interface avant en accumulation (potentiel appliqué à la grille de -1 V pour les transistors à canal n et 1 V pour les canaux p), variait entre 22 et 30 V pour les transistors à canal n et entre -13 et -17 V pour les transistors à canal p.

5.2 Conditions de test

Les dispositifs utilisés pendant cette étude étaient toujours montés dans des boîtiers en céramique. Les dimensions des transistors variaient pour couvrir les tailles typiques pour des applications analogiques et numériques. Les premières structures mesurées avaient $W=20\ \mu\text{m}$ et L variable entre 1.4 et $20\ \mu\text{m}$, et visaient une caractérisation pour des applications numériques. Dans les circuits analogiques tels que les circuits amplificateurs utilisés en physique des hautes énergies, le transistor d'entrée détermine souvent les performances du système et est dimensionné pour avoir une capacité de grille équivalent aux 2/3 de la capacité du détecteur qu'il doit lire. Ce transistor travaille généralement en inversion faible et a une W de 500 à $7000\ \mu\text{m}$, avec une longueur de grille proche du minimum permis dans la technologie. Pour pouvoir étudier les paramètres analogiques de HSOI3-HD, surtout pour ce qui concerne le bruit, et leur comportement avec l'irradiation, des transistors de test de $W=1000$ et $2000\ \mu\text{m}$ et de L variable entre 1.4 et $3\ \mu\text{m}$ ont été spécialement intégrés.

Les irradiations ont été effectuées avec une source de ^{60}Co à température ambiante. Les dispositifs ont été exposés en boîtier avec couvercle et toujours polarisés pendant l'irradiation. Trois types de polarisation ont été essayés: "off" (tout à la masse), polarisation numérique et polarisation analogique. Dans la polarisation numérique, le drain, la source et la grille des transistors à canal p sont à la masse; pour les transistors à canal n, le drain et la source se trouvent à la masse tandis que le potentiel le plus élevé (5 V) est appliqué à la grille. Dans la polarisation analogique, drain et grille sont connectés (le transistor se trouve par conséquent toujours en saturation) et un courant dont la densité est d'environ $0.2\ \mu\text{A}/\mu\text{m}$ circule dans le transistor. Le substrat est normalement connecté à la masse, mais on a étudié aussi l'influence du potentiel de substrat sur l'évolution du seuil du transistor de face arrière avec l'irradiation. La même polarisation est appliquée (sauf quand différemment spécifié) pendant le temps de recuit, qui est effectué à température ambiante.

Le débit de dose de l'irradiation a été choisi entre 1 et 120 rad/s selon le niveau de dose intégrée qu'on voulait atteindre pendant l'irradiation à la source Pagure qui se trouve au CEA à Saclay. La précision avec laquelle on connaît la dose intégrée est de $\pm 20\%$.

Les mesures des caractéristiques statiques ont été effectuées avec un analyseur de paramètres de composants à semiconducteurs HP4145B (Hewlett Packard). Les transistors ont été mesurés avant irradiation, le plus rapidement possible après l'irradiation et encore régulièrement pendant le temps de recuit.

Des mesures supplémentaires ont été effectuées avec la technique du pompage de charge sur des transistors avec un contact de body séparé. Dans ces mesures, l'amplitude de l'impulsion était constante tandis que le niveau de base des impulsions variait depuis l'inversion jusqu'à l'accumulation. La forme de l'impulsion était carrée, et sa fréquence 1 MHz. Cette technique a été utilisée seulement pour étudier la densité de défauts à

l'interface avant, le seuil du transistor de face arrière étant trop élevé pour pouvoir appliquer le pompage de charge avec le système de mesure à notre disposition.

5.3 Variation de la tension seuil avec l'irradiation

5.3.1 Transistor principal

L'influence de la polarisation pendant l'irradiation pour les transistors à canal n est montrée en Figure 5.4 [4], qui regroupe une série de mesures effectuées quelques minutes après l'irradiation. La condition de moindre dérive est pour tous les contacts connectés à la masse (moindre champs électrique dans l'oxyde), tandis que la dégradation la plus importante est atteinte quand le champ électrique est maximum. Les contributions des charges piégées dans l'oxyde et des états d'interface sont séparées avec la méthode de la pente en inversion faible, comme spécifié au chapitre 3, en utilisant les relations (3.6) et (3.7).

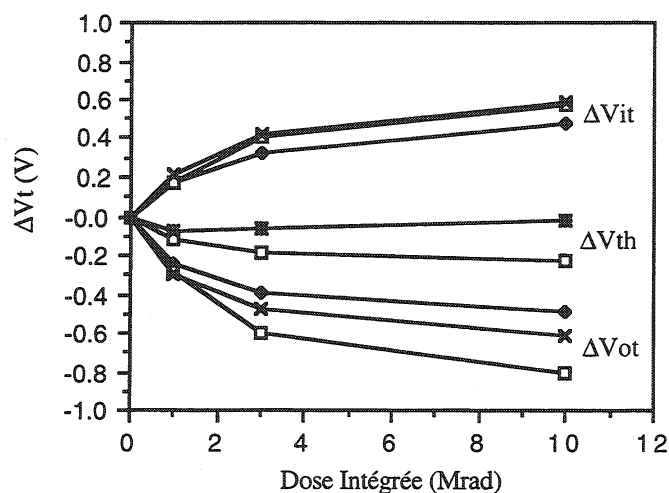


Figure 5.4: Dérive de la tension seuil de transistors à canal n ($W/L=20/2$) pour trois conditions de polarisation: "off" ($V_g=V_d=V_s=0V$; rhombe noir), analogique ($V_s=0V$, $V_g=V_d$, $I_d=0.2\mu A/\mu m$; croix) et numérique ($V_d=V_s=0V$, $V_g=5V$; carré blanc).

La dérive de la tension seuil du transistor à canal n jusqu'à une dose intégrée de 25 Mrad montre le phénomène nommé *rebound*. Le déplacement du seuil est d'abord négatif et devient ensuite positif. Cela est montré en Figure 5.5, où on voit la différente vitesse entre le piégeage de trous dans l'oxyde et la formation d'états d'interface. Le dépiégeage des trous est aussi évident, déjà pendant l'irradiation à 25 Mrad et après pendant le temps de recuit sous polarisation. Les états d'interface, au contraire, ne connaissent presque pas d'*annealing*. Le déplacement total du seuil après 25 Mrad et recuit est environ 340 mV, résultat atteint par l'équilibrage des contributions des états d'interface et des charges piégées dans l'oxyde et non pas en les réduisant fortement. Cela signifie que, malgré la dérive relativement faible du seuil, l'interface Si-SiO₂ est assez fortement endommagée, et d'autres caractéristiques telles que la mobilité, la

transconductance et le bruit, qui ont une forte dépendance des états d'interface, peuvent être fortement dégradées.

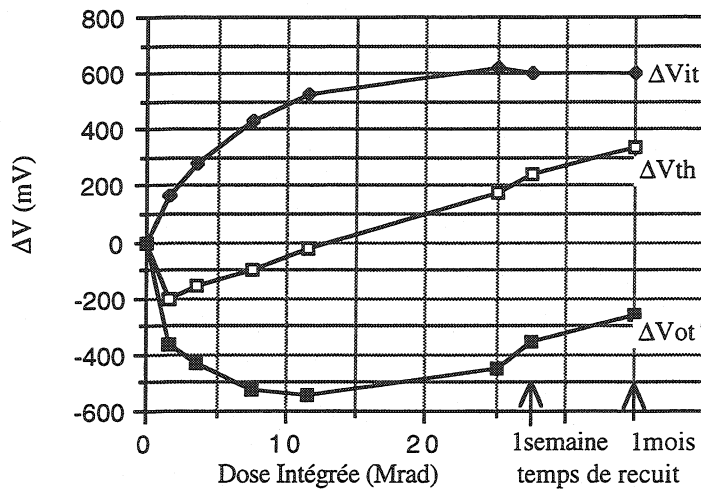


Figure 5.5: déplacement du seuil d'un transistor à canal n ($W/L=1000/1.4$) polarisé en analogique ($V_s=0V$, $V_g=V_d$, $I_d=0.2\mu A/\mu m$) en fonction de la dose intégrée et avec le recuit. Les carrés blancs représentent le déplacement de seuil qui est dû aux contributions des charges piégées dans l'oxyde (carrés noirs) et des états d'interface (rhombes noirs).

Pour les transistors à canal p, l'influence de la polarisation pendant l'irradiation sur l'évolution du seuil est montrée en Figure 5.6. Les mesures de cette figure ont été effectuée tout de suite après la fin de l'irradiation. Le déplacement de seuil le plus important a lieu pour la polarisation "off", et décroît en passant aux polarisations analogique et numérique, c'est à dire en augmentant le champs électrique dans l'oxyde de grille. Ce champ électrique augmente la fraction de paires électron-trou qui ne se récombine pas, mais à cause de son orientation pousse les trous vers le polysilicium. Le piégeage des trous a lieu par conséquent dans l'oxyde loin de l'interface Si-SiO₂, et leur influence sur le seuil est fortement atténuée. Pour cette raison la condition de moindre champs électrique, pour laquelle la fraction de paires qui se récombine est plus élevée mais le piégeage est plus près de l'interface, représente le pire cas.

En Figure 5.7 le déplacement de seuil d'un transistor 1000/1.4 à canal p sous polarisation analogique est décomposé dans les contributions des charges piégées dans l'oxyde et des états d'interface pour mettre en évidence la différente dynamique des deux. Même en ce cas, on voit que les états d'interface ont une évolution beaucoup plus lente. Si on compare avec le canal n en Figure 5.5 (aussi en polarisation analogique), on voit que les deux contributions demeurent en valeur absolue beaucoup moindres pour le transistor p. Néanmoins, les deux étant du même signe, le déplacement total du seuil est plus importante pour le transistor à canal p. La dégradation réelle de l'interface est inférieure pour les transistors p, et on peut s'imaginer que les caractéristiques qui dépendent de la qualité de l'interface, telles que transconductance et bruit, seront moins modifiées par l'irradiation. Cette hypothèse sera confirmée par la suite.

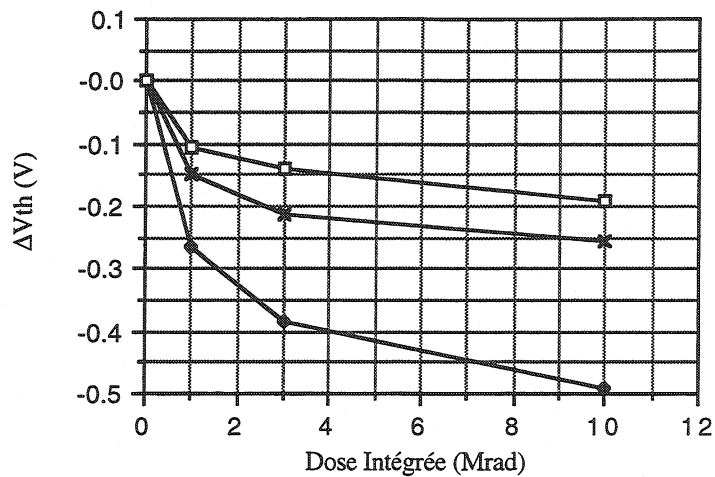


Figure 5.6: Dérive de la tension seuil de transistors à canal p ($W/L=20/2$) pour trois conditions de polarisation: "off" ($V_g=V_d=V_s=0V$; rhombe noir), analogique ($V_s=0V$, $V_g=V_d$, $I_d=0.2\mu A/\mu m$; croix) et numérique ($V_d=V_s=0V$, $V_g=5V$; carré blanc).

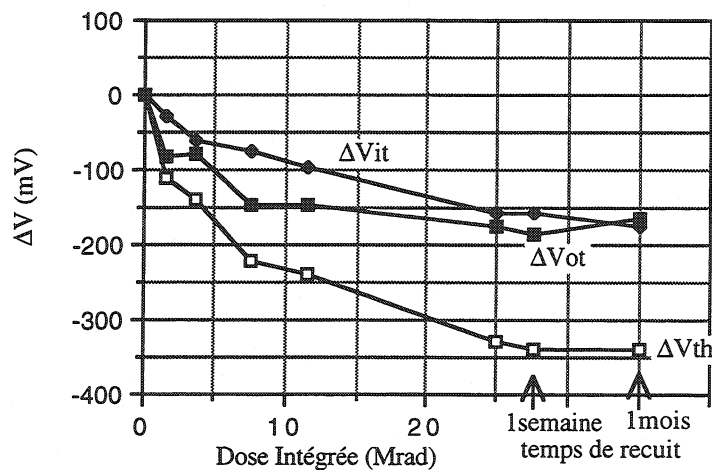


Figure 5.7: Déplacement du seuil d'un transistor à canal p ($W/L=1000/1.4$) polarisé en analogique en fonction de la dose intégrée et avec le recuit. Les carrés blancs représentent le déplacement de seuil qui est dû aux contributions des charges piégées dans l'oxyde (carrés noirs) et des états d'interface (rhombes noirs).

5.3.2 Transistor de face arrière

On a vu en chapitre 4 que les technologies SOI à film moyennement déserté peuvent avoir un problème supplémentaire pour ce qui concerne la tenue à la dose intégrée: le déplacement du seuil du transistor de face arrière. L'interface arrière se trouve normalement en accumulation, et pour ne pas introduire un fort couplage entre les deux interfaces cette condition d'accumulation ne doit pas changer avec l'irradiation. Si cela ne pose pas de problème pour les transistors à canal p, le piégeage de trous dans l'oxyde enterré épais peut en principe baisser significativement le seuil du transistor

arrière dans les dispositifs de type n. Pour cette raison, HSOI3-HD a été conçue avec un seuil de face arrière très élevé, de l'ordre de 22-30 V pour les transistors à canal n. Cela est réalisé avec un dopage supplémentaire en profondeur dans le film de silicium.

Comme pour l'oxyde de grille du transistor principal, le mécanisme de création et de piégeage de charge dans l'oxyde enterré dépend fortement du champ électrique, et par conséquent de la polarisation appliquée au substrat. A la différence du transistor principal, la contribution des états d'interface au déplacement de seuil est pour le transistor de face arrière toujours largement dominée par la contribution des trous piégés [5]. Cela à cause de l'épaisseur de l'oxyde enterré, qui est presque 20 fois celle de l'oxyde de grille. Le recuit des défauts introduits par l'irradiation sera aussi important, et il faudra en tenir compte surtout dans les extrapolations des résultats de laboratoire pour des applications à faible débit de dose.

En Figure 5.8, on voit le déplacement du seuil du transistor de face arrière en fonction de la dose intégrée pour un canal n. Ces mesures ont été effectuées tout de suite après l'irradiation. Trois conditions de polarisation sont illustrées, et le potentiel indiqué est toujours référé à la source du transistor. Si un potentiel positif (+4 V) est appliqué au substrat, le déplacement du seuil du transistor de face arrière est de presque -90 V déjà après 1 Mrad. Dans ce cas, la grille du transistor principal ne peut plus contrôler le courant de face arrière, et le circuit ne marche plus. Si le substrat se trouve pendant l'irradiation au même potentiel que la source, le déplacement de seuil est limité à environ -20 V, et l'interface arrière reste à la limite entre l'accumulation et la déplétion. Avec le recuit à température ambiante pour un mois, qui augmente le seuil d'environ +3 V, la condition d'accumulation est assurée. Mais il est évident que le cas de figure le plus sûr est pour une polarisation négative appliquée au substrat, qui force la migration des trous loin de l'interface et limite à environ -4 V le déplacement de seuil même après 10 Mrad.

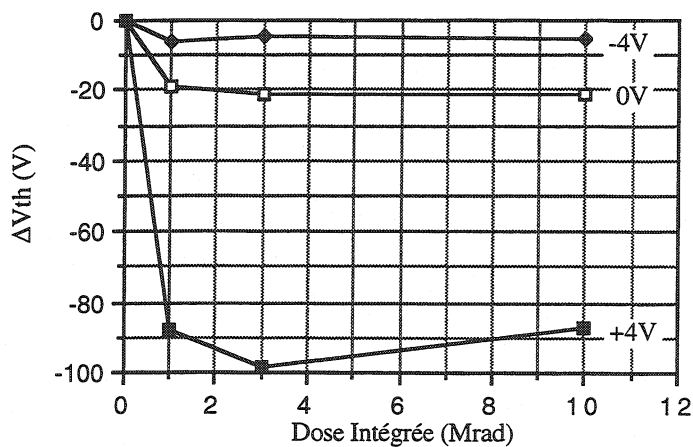


Figure 5.8: Déplacement du seuil du transistor de face arrière (canal n) en fonction de la dose intégrée pour trois conditions de polarisation du substrat. Test effectué avec l'interface avant en accumulation ($V_g = -1V$).

Dans la conception d'un circuit durci, il faut tenir compte de ces résultats. Il est évident que dans aucun cas la tension appliquée au substrat ne doit être supérieure à celle appliquée à la source, et cela pour tous les transistors du circuit. La source des transistors n au moindre potentiel dans le circuit se trouve à V_{ss} , et cette condition est celle de la plupart des transistors n dans un circuit numérique. On pourrait donc envisager, pour avoir une condition de polarisation optimale à l'interface arrière de ces transistors, de fixer le potentiel du substrat à $V_{ss}-\Delta V$, ΔV étant environ 3 V. Mais le substrat étant commun à tout les transistors du circuit, les transistors p avec la source à V_{dd} (qui sont la plupart des transistors p dans un circuit numérique) se trouvent alors avec $V_{bg}=- (V_{dd}-V_{ss}+\Delta V)$, qui est la différence de potentiel entre le substrat et la source, approchant -9 V. Pour cette valeur, l'interface arrière des transistors p entre en déplétion avant irradiation et cause le couplage entre les deux interfaces. Par conséquent, la seule condition de polarisation qui ne cause pas de couplage avant irradiation (pour les transistors à canal p) et après irradiation (pour les transistors à canal n) est de maintenir le substrat connecté à V_{ss} .

5.4 Transconductance et mobilité

La transconductance et la mobilité sont deux paramètres très fortement dépendants de la qualité de l'interface Si-SiO₂, donc de la densité d'états d'interface. Leur variation avec l'irradiation est un indicateur important du changement de la vitesse et du bruit des circuits intégrés dans la technologie étudiée.

Pour les applications analogiques, il est intéressant de représenter la transconductance normalisée (g_m/I_d) en fonction de la densité de courant (I_d/W) pour mieux visualiser sa variation dans les trois régimes d'inversion: faible, modéré et forte. La Figure 5.9, qui montre la transconductance normalisée avant et après une irradiation à 25 Mrad pour des transistors 1000/1.4 à canal n et p, est un exemple de ce type de représentation [6].

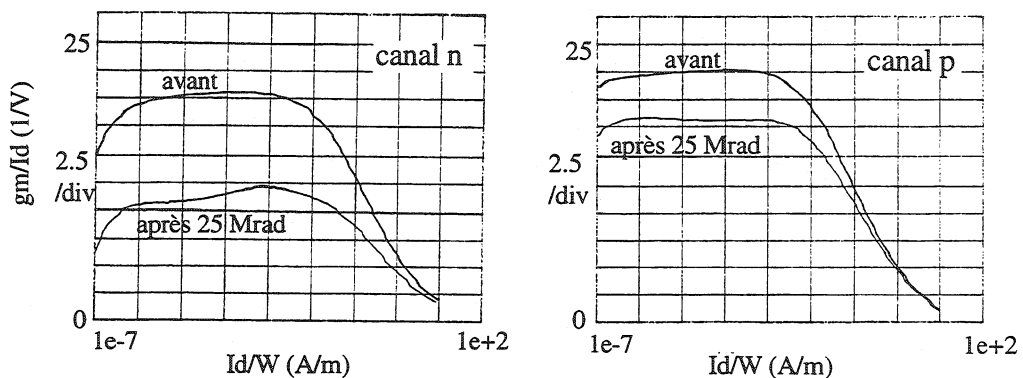


Figure 5.9: Transconductance normalisée avant et après 25 Mrad pour des transistors de taille $W/L=1000/1.4$. La polarisation pendant l'irradiation était du type analogique $V_s=0V$, $V_g=V_d$, $I_d=0.2\mu A/\mu m$, et les mesures ont été effectuées après recuit.

La valeur du plateau de la transconductance normalisée à faible densité de courant est liée au coefficient d'effet-body n déjà vu au paragraphe 4.3 (formule (4.4)) par l'équation:

$$\frac{g_m}{I_d} = \frac{1}{n\Phi_t} \quad (5.1)$$

Si on considère $n = 1 + \frac{C_d + C_{it}^f}{C_{ox}^f}$, on peut corréler la variation de la densité des états d'interface à la variation du coefficient n par:

$$\Delta n = \frac{\Delta C_{it}^f}{C_{it}^f} = q \frac{\Delta D_{it}^f}{C_{it}^f} \quad (5.2)$$

La mesure de la variation de la transconductance en faible inversion, qui est liée par (5.1) au coefficient d'effet-body, fournit donc un moyen d'évaluer la variation d'états d'interface avec l'irradiation, et ce résultat peut être comparé avec le ΔD_{it}^f obtenu à partir de la *subthreshold swing* et formalisé par l'équation (4.5). La comparaison des deux méthodes pour une irradiation à 25 Mrad est montrée dans le tableau suivant pour des transistors à canal n et p.

Tableau 5.I: Comparaison des densités d'états d'interface obtenues avec deux méthodes qui se basent sur la mesure de la transconductance (n) et de la pente en inversion faible (subthreshold swing) dont l'inverse, S , est exprimé par équation (4.4). Les résultats pour ΔD_{it}^f concordent à $\pm 20\%$.

	param. n	param. n	ΔD_{it}^f	S	S	ΔD_{it}^f
	avant irr.	25 Mrad		avant irr.	25 Mrad	
canal n	1.92	3.85	$1.8 \cdot 10^{12}$	119	207	$1.4 \cdot 10^{12}$
canal p	1.71	2.14	$4 \cdot 10^{11}$	106	130	$3.7 \cdot 10^{11}$

Des mesure supplémentaires effectuées avec le pompage de charge sur un échantillon de transistors irradiés pendant cette étude donnent pour ΔD_{it}^f une valeur qui est aussi à $\pm 20\%$ en accord avec celle estimée avec la méthode de la pente en inversion faible. On a donc démontré que, même sans disposer d'un système pour effectuer le pompage de charge, deux méthodes simples d'extraction permettent d'avoir une bonne évaluation quantitative de la dégradation de l'interface Si-SiO₂.

La dégradation de la courbe représentant la transconductance normalisée en Figure 5.9 et la densité de nouveaux états d'interface après irradiation, au tableau 5.I, mettent en évidence la grande différence du comportement en dose intégrée des transistors à canal n et p. Cette différence est confirmée en Figure 5.10, qui montre la variation de mobilité (extraite en régime ohmique) pour des transistors NMOS et PMOS en fonction de la dose intégrée jusqu'à 25 Mrad.

Les transistors à canal n ont une réduction de la mobilité de 44% après 25 Mrad, et une densité de défauts de l'ordre de $1.5 \cdot 10^{12}$ qui montrent une forte dégradation de

l'interface. Cette dégradation importante était déjà évidente dans l'étude du déplacement du seuil, où on avait vu la grande contribution des états d'interface. Les transistors à canal p, au contraire, montrent une dégradation de la mobilité limitée à environ 10%, et une densité de défauts quatre fois inférieure (environ $4 \cdot 10^{11}$). Cette différence est due à deux facteurs:

- la polarisation appliquée à la grille des deux types de transistors est différente en signe, et pénalise le canal n en favorisant la migration des charges positives vers l'interface. En chapitre 2, on a vu que cette migration est aussi responsable de la formation de centres de piégeage à l'interface.
- les transistors à canal p sont des dispositifs à canal enterré. Le canal se forme plus en profondeur, et par conséquent les caractéristiques électriques sont moins sensibles aux défauts qui se trouvent à l'interface.

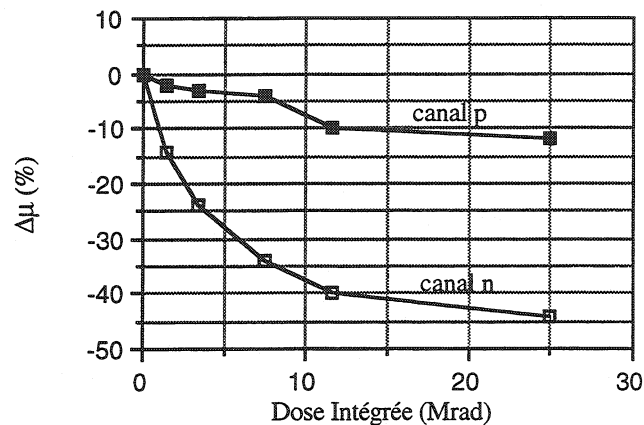


Figure 5.10: Variation en pourcentage de la mobilité extraite en régime ohmique pour deux transistors de taille $W/L=1000/1.4$. L'extraction a été effectuée toujours après recuit.

5.5 Courant de fuite

Avec le durcissement de l'oxyde latéral et le *layout* des transistors, qui grâce aux contacts de *body* coupe le chemin d'inversion parasite latéral, le courant de fuite latéral après irradiation est fortement limité. Ce courant de fuite reste de l'ordre 1 nA (pour $V_d=5V$) pour des transistors de taille $W/L=1000/1.4$ après une dose intégrée de 25 Mrad sous polarisation analogique ($V_s=0V$, $V_g=V_d$, $I_d=0.2\mu A/\mu m$). Pour des transistors de taille 30/2, qui sont plus représentatifs des applications numériques, le courant de fuite latéral est limité à environ 1 pA après 10 Mrad sous polarisation numérique ($V_d=V_s=0V$, $V_g=5V$). Dans les mêmes conditions, le courant fuite source-drain dû à la diminution du seuil du transistor de face arrière est inférieure à 1 pA.

Ces résultats, avec l'isolation totale entre les transistors qui est caractéristique des technologies sur isolant, montrent que le courant de fuite ne représente pas un problème pour la tenue à la dose intégrée des circuits en HSOI3-HD.

5.6 Irradiations avec sources autres que le ^{60}Co

Les circuits intégrés qui seront utilisés dans le LHC se trouveront dans un environnement radiatif formé par les rayons γ , neutrons et particules chargées massives (principalement pions, protons et kaons). Les transistors MOS, étant des dispositifs de surface, sont sensibles surtout aux effets de ionisation, et le test de tenue à la dose intégrée est effectué normalement avec une source de ^{60}Co . Néanmoins, pour vérifier que les irradiations avec particules chargées massives et neutrons ne donnaient pas lieu à d'autres effets non prévus, dans le cadre du projet RD9 une série d'irradiations avec des sources différentes a été effectuée.

5.6.1 Irradiations avec une source de neutrons

L'expositions aux neutrons atmosphériques des circuits en technologie CMOS, circuits utilisés dans des applications aéronautiques, ne pose pas de problèmes pour ce qui concerne les effets cumulés (fluence de neutrons). La fluence de neutrons atmosphériques à une altitude de 12 km est, à titre d'exemple, d'environ $3 \cdot 10^{10}$ neutrons/($\text{cm}^2 \cdot \text{année}$), ce qui est trop faible pour que les effets de déplacement provoqués par les neutrons dans le silicium (Annexe 1) modifie la performance électrique des transistors MOS. Par conséquent, les irradiations avec une source de neutrons ne font pas partie des procédures de test standard de durcissement des circuits intégrés en technologie CMOS. Dans les dernières années, et surtout pour des dispositifs de puissance, des phénomènes non récurrents provoqués par les neutrons ont été observés. Ces effets sont provoqués indirectement par les neutrons, ces particules neutres ne pouvant pas déposer de l'énergie dans la matière par ionisation. Il s'agit plutôt des particules produites dans les interactions nucléaires (élastiques ou inélastiques) entre les neutrons et les atomes de silicium, particules chargées (particules alpha principalement, mais aussi ions de silicium) qui peuvent déposer suffisamment d'énergie de ionisation dans la matière pour provoquer un SEE.

Dans les expériences de physique du LHC, surtout dans le *tracker* et dans les calorimètres, la fluence de neutrons pourra être supérieure à 10^{14} neutrons/ cm^2 , ce qui représente une fluence beaucoup plus importante que celle des neutrons atmosphériques. Nous avons donc jugé utile d'effectuer une irradiation avec une source de neutrons sur les dispositifs en technologie HSOI3-HD pour étudier les effets des neutrons sur les transistors. L'irradiation a eu lieu auprès de la source "*PS-ACOL Irradiation Facility (PSAIF)*" [7, 8] qui se trouve au CERN. Les neutrons sont produits par la collision entre un faisceau de protons et un matériau cible, et par conséquent le flux de neutrons qui irradie les dispositifs est pulsé et n'est pas continu dans le temps, le faisceau de protons pouvant être interrompu pendant plusieurs heures ou même plusieurs jours. L'interaction entre les protons et les atomes du matériau cible produit aussi des antiprotons, qui sont collectés dans un anneau de stockage et n'atteignent pas

les dispositifs, et des photons (γ). Ces derniers irradient aussi les transistors, et déposent une dose intégrée (énergie de ionisation) parasite. La plupart de la dose intégrée dans le dispositif pendant l'irradiation provient néanmoins des décroissances radioactives des matériaux qui se trouvent à proximité de la ligne du faisceau, et qui sont activés par les neutrons. Il s'agit surtout de photons, avec une distribution énergétique centrée autour de quelque centaine de keV. Cette irradiation γ parasite se poursuit par conséquent aussi en l'absence du faisceau, et la dose intégrée est plus importante, à parité de fluence de neutrons, pour des irradiations longues (beaucoup de temps sans faisceau).

Un autre problème des irradiations avec une source de neutrons est l'activation des matériaux. Les neutrons déposent de l'énergie dans la matière par interaction nucléaire, et les produits de cette interaction peuvent être des noyaux instables. La décroissance radioactive de ces noyaux est accompagnée par l'émission de particules (rayons α , β) et de photons. Cela se passe surtout pour les matériaux lourds: dans notre cas, avec les dispositifs montés dans des boîtiers en céramique, c'est surtout l'activation des boîtiers qui pose des problèmes. L'analyse spectrale des émissions après l'irradiation a montré que les matériaux activés sont principalement l'or (Au) et le tungstène (W). Avant de pouvoir manipuler les dispositifs après l'exposition à la source de neutrons, et donc les mesurer, il est nécessaire d'attendre au moins deux jours (le temps pour que la radioactivité du matériau soit réduite d'un facteur 2.7 est de 23 heures pour le tungstène et de 2.7 jours pour l'or).

Les dispositifs ont été exposés, sous polarisation "off" ($V_g=V_d=V_s=0V$), pendant une période de 2 mois. Cette condition de polarisation a été choisie à cause de la difficulté d'accès au faisceau de neutrons, à 9 m sous terre. Une fluence de environ $2.8 \cdot 10^{14}$ neutrons/cm² a été atteinte, mais la dynamique de l'irradiation n'est pas connue, la disponibilité du faisceau de protons dans la ligne de production des neutrons ayant été très variable pendant les 2 mois d'exposition. Des mesures à des fluences intermédiaires ont été effectuées à environ 4 et $6.5 \cdot 10^{13}$ neutrons/cm². La dose intégrée déposée par les photons pendant l'irradiation peut être estimée à partir des mesures de calibration effectuées périodiquement auprès de la source avec dosimètres RPL, TLD, polymer/alanine et Fricke [7]. Pour l'irradiation de nos transistors, elle a été estimée à environ 1.8 Mrad, dose exprimée dans les matériaux des dosimètres. La dose équivalente en silicium (ou, mieux, en oxyde de silicium) ne peut pas être connue avec précision car le spectre énergétique des photons n'a jamais été mesuré. On peut aussi prévoir la présence d'effets d'augmentation de dose (*dose enhancement*) par les photons d'énergie inférieure à 200 keV, abondamment présent dans l'environnement radiatif de la source, les transistors ayant été irradiés en boîtier avec couvercle.

Dans les conditions d'irradiations décrites, il est très difficile de séparer les effets des neutrons et ceux de la dose intégrée parasite. Figure 5.11 montre le déplacement du seuil des transistors NMOS et PMOS (de taille $W=20 \mu m$, $L=2 \mu m$) en fonction de la fluence de neutrons. Les points blancs représentent le résultat, sur des dispositifs identiques, pour une irradiation de la durée d'environ 16 heures effectuée avec une source de ⁶⁰Co à une dose intégrée de 1 Mrad. Dans ce cas, la mesure a eu lieu

immédiatement après l'irradiation et l'effet du recuit n'est pas visible. A partir de ces deux points seulement, et en considérant l'effet typique du recuit sur les oxydes de la technologie (effet qui peut être observé en figure 5.5 et 5.7), on ne peut pas exactement isoler la contribution des $2.8 \cdot 10^{14}$ neutrons/cm² sur les déplacements de seuil. Il est néanmoins possible, et c'était l'objectif de la mesure, de comprendre si une telle fluence de neutrons (qui correspond presque au maximum prévu pour LHC) dégrade de façon significative la performance des transistors.

Pour le déplacement de seuil après irradiation, l'effet de la dose intégrée parasite domine largement sur l'effet des neutrons, et cela pour les transistors NMOS et PMOS. Pour les transistors NMOS, le dépiégeage des charges dans l'oxyde avec le recuit est très significatif, comme montré en Figure 5.5. Pour la comparaison des deux irradiations, le point pour l'irradiation avec une source de ⁶⁰Co en Figure 5.11 doit donc être corrigé par l'effet du recuit et par une dose supplémentaire, la dose intégrée étant supérieure pour l'irradiation avec une source de neutrons. En conclusion, le déplacement de seuil après l'irradiation avec une source de neutrons peut être justifié par le seul effet de la dose intégrée parasite. Pour les transistors PMOS, le recuit a un petit effet sur le déplacement de seuil. Dans ce cas, la correction sur le point pour le ⁶⁰Co est due surtout à la différence de dose. Même en ce cas, on ne peut pas mettre en évidence une contribution des neutrons sur le déplacement de seuil.

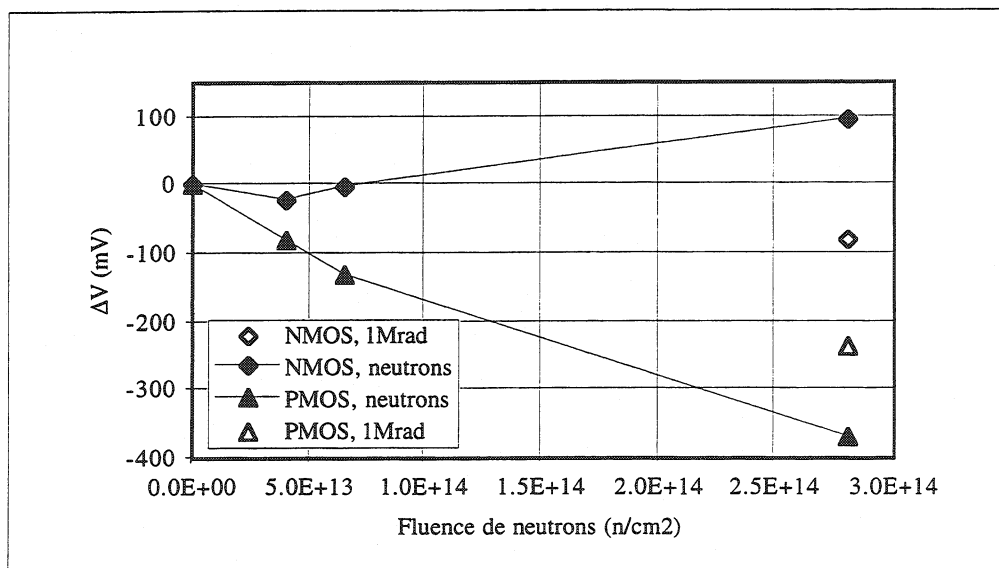


Figure 5.11: Déplacement de seuil pour des transistors NMOS et PMOS ($W=20 \mu\text{m}$, $L=2 \mu\text{m}$) irradiés avec une source de neutrons sous polarisation "off" ($V_g=V_d=V_s=0V$). Les points blancs ont été obtenus sur des dispositifs identiques irradiés à une dose intégrée de 1 Mrad avec une source de ⁶⁰Co, et sont utilisés, comme expliqué dans le texte, pour estimer l'effet net des neutrons sur le déplacement de seuil.

Comme pour le déplacement du seuil, la dégradation des autres paramètres électriques (transconductance, mobilité, pente en inversion faible) est dominée par les effets d'ionisation de la dose intégrée parasite qui accompagnait la fluence de neutrons pendant l'irradiation.

5.6.2 Irradiations avec une source de protons

Dans les expériences du LHC, la plupart de la dose intégrée dans les circuits électroniques sera déposée par des particules massives (protons, pions, kaons), qui peuvent perdre leur énergie dans la matière à travers des mécanismes autres que l'ionisation. Ces particules provoquent donc des effets de dose intégrée et aussi des effets de déplacement. Pour compléter l'étude des effets des rayonnements sur les transistors en technologie HSOI3-HD, nous avons effectué une série d'irradiations avec une source de protons. Dans ce cas, la source était constituée par un faisceau de protons d'une énergie de 24 GeV extrait de l'accélérateur PS (*Proton Synchrotron*) du CERN [7]. Comme dans le cas de la source de neutrons, l'irradiation avec protons est compliquée par les problèmes d'activation des composants et surtout des boîtiers en céramique qui les contiennent. Les effets de l'irradiation avec protons sur le bruit des transistors ont aussi été mesurés.

Les transistors, de taille $W=1000\ \mu\text{m}$ et $L=1.4$ et $2\ \mu\text{m}$, ont été irradiés sous polarisations "off" ($V_g=V_d=V_s=0\text{V}$) et analogique ($V_s=0\text{V}$, $V_g=V_d$, $I_d=0.2\ \mu\text{A}/\mu\text{m}$). L'utilisation d'une polarisation analogique dans le cas d'une irradiation avec une source de protons complique le problème de l'activation: le support pour maintenir les transistors sous polarisation contient beaucoup de matériaux lourds, qui s'activent fortement lorsqu'ils sont irradiés. Le temps d'attente avant de pouvoir manipuler les dispositifs est d'environ 2-3 semaines. Même si les irradiations sont beaucoup plus rapides que celles avec une source de neutrons (on peut parfois atteindre une fluence de 10^{14} protons/cm² en une dizaine d'heures), il faut attendre 2 semaines avant de pouvoir mesurer les transistors et il n'est pas possible d'étudier les effets du recuit. La dosimétrie est aussi très compliquée.

Les transistors ont été exposés à une fluence de $2 \cdot 10^{14}$ protons/cm². On peut estimer la dose (énergie de ionisation) déposée par les protons si l'on considère que, pour les protons de 24 GeV, $4 \cdot 10^{13}$ protons/cm² déposent environ 1 Mrad dans le silicium. Par conséquent, l'exposition à une fluence de $2 \cdot 10^{14}$ protons/cm² équivaut à une dose d'environ 5 Mrad(Si).

Le résultat des mesures indique, comme dans le cas de l'irradiation avec une source de neutrons, que l'effet de la dose intégrée domine la dégradation de la performance des transistors. Les caractéristiques électriques des seuls transistors PMOS montrent après irradiations des changements qui pourraient être attribués aux effets de déplacement provoqués par les protons. Le bruit 1/f des transistors PMOS augmente après irradiation avec une source de protons [9], comme montré en Figure 5.12 pour un transistor avec $W=1000\ \mu\text{m}$ et $L=2\ \mu\text{m}$, polarisé en condition analogique. Un transistor similaire et provenant du même lot de fabrication, irradié avec une source de ⁶⁰Co, n'a pas montré une augmentation comparable. Pour les transistors NMOS, au contraire, une dégradation identique est mesurée après les irradiations avec protons ou rayons γ . Le transistor PMOS étant un dispositif à canal enterré, la différence entre les transistors à canal n et p semble pouvoir être attribuée aux effets des protons dans le film de silicium (*body*), et non à l'interface Si-SiO₂.

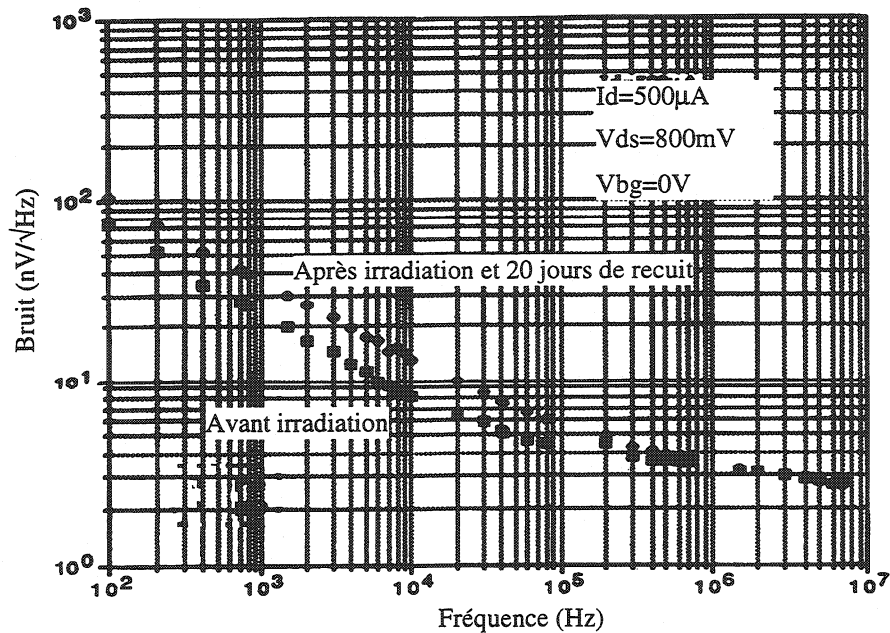


Figure 5.12: Spectre de bruit pour un transistor PMOS avec $W=1000 \mu\text{m}$ et $L=2 \mu\text{m}$ irradié sous polarisation analogique ($V_s=0\text{V}$, $V_g=V_d$, $I_d=0.2\mu\text{A}/\mu\text{m}$). L'irradiation a eu lieu avec une source de protons jusqu'à une fluence de $2 \cdot 10^{14}$ protons/cm², et la mesure a été effectuée 20 jours après l'irradiation. L'augmentation du bruit à basse fréquence a été attribuée aux effets de déplacement provoqués par les protons.

5.7 Synthèse

Dans ce chapitre, la technologie HSOI3-HD a été décrite. Il s'agit d'une technologie sur Silicium sur Isolant (SOI) à film moyennement déserté. Pour éviter la déplétion ou inversion de l'interface arrière avec l'irradiation, le seuil du transistor de face arrière des transistors NMOS a été choisi dans l'intervalle 22-30 V. Un contact au film (*body*) du transistor est intégré pour réduire les effets de *body* flottant et aussi supprimer le chemin de fuite source-drain latéral.

Les transistors ont été irradiés avec une source de ⁶⁰Co jusqu'à une dose intégrée maximum de 25 Mrad. Plusieurs conditions de polarisation pendant l'irradiation ont été étudiées, la condition numérique ($V_d=V_s=0\text{V}$, $V_g=5\text{V}$ pour les NMOS et $V_g=0\text{V}$ pour les PMOS) représentant le pire cas pour la dégradation des paramètres.

La différente condition de polarisation des dispositifs (différente orientation et intensité du champ électrique dans l'oxyde) et leur différente nature (canal en surface pour les NMOS et en profondeur pour les PMOS) déterminent la différente réponse aux radiations des transistors à canal n et p.

Les transistors NMOS, à cause de la formation des états d'interface, subissent une diminution plus importante de transconductance et mobilité (-44% après 25 Mrad), et montrent un déplacement de seuil, après recuit, toujours positif (+320 mV après 25 Mrad). Pour les transistors PMOS, la densité d'états d'interface après irradiation est

environ quatre fois moindre que pour les NMOS, et la dégradation de transconductance et mobilité est limité à environ -10% après 25 Mrad. Le déplacement de seuil, toujours négatif, est par contre plus importante (-350 mV après 25 Mrad) que pour les NMOS. Le courant de fuite ne représente pas un problème: même après 25 Mrad, aucune augmentation de courant de fuite source-drain a été mesuré, et l'isolation entre transistors est parfaite dans cette technologie sur isolant.

La mesure du déplacement de seuil du transistor de face arrière montre que, pour éviter la déplétion de l'interface arrière des dispositifs à canal n avec l'irradiation, la polarisation du substrat doit être connectée à Vss (potentiel le moins élevé dans le circuit).

Une série de mesures a été effectuée avec des sources autres que le ^{60}Co (protons et neutrons). Seuls les transistors à canal p, qui sont des dispositifs à canal enterré et donc plus sensibles aux effets des radiations dans le film semiconducteur (*body*), montrent des dégradations du bruit $1/f$ qui ne sont pas observés dans le cas d'irradiations avec une source de ^{60}Co , et qui pourraient être provoquées par des effets de déplacement. Ces dégradations sont dans tous les cas dominées par celles provoquées par les effets d'ionisation.

En conclusion, les transistors en technologie HSOI3-HD ont montré un très bon comportement en environnement radiatif jusqu'au niveau maximum mesuré de 25 Mrad et $2.8 \cdot 10^{14}$ neutrons/cm².

Dans le chapitre suivant, les résultats de l'étude du bruit des transistors et des effets des rayonnements sur le bruit seront reportés.

Chapitre 6

Le bruit

Les circuits analogiques qui seront utilisés dans les expériences du LHC auront, entre autre, la tâche d'amplifier et lire les signaux électriques délivrés par les détecteurs de particules. L'amplification à l'étage d'entrée (*front end*) est une étape essentielle du traitement du signal, car elle permet aux circuits *back-end* d'effectuer l'élaboration désirée (stockage, comparaison avec un seuil donné, conversion anaogique-numérique, soustraction du piédestal, transmission) sans modifier l'information contenue dans le signal. En effet, le bruit que les circuits de *back-end* rajoutent au signal doit être négligeable par rapport au signal même, résultat obtenu en amplifiant suffisamment le signal provenant des détecteurs avec le circuit *front-end*.

A l'entrée de l'amplificateur, le signal électrique tel qu'il est délivré par les détecteurs se trouve mélangé au bruit électronique de l'ensemble détecteur-amplificateur, et doit lui être suffisamment supérieur pour pouvoir être distingué. Par conséquent, l'amplitude du signal minimum lisible par le système de *readout* est déterminée en partie par la caractéristique de bruit de l'amplificateur. Le bruit des amplificateurs, toujours référé à l'entrée dans le milieu de la physique des hautes énergies (où on exprime en électrons le signal délivré par les détecteurs), est exprimé en électrons [1, 2]. Ce bruit est dépendant de l'architecture choisie pour le circuit amplificateur et, pour une même architecture, est déterminé par la caractéristique de bruit des transistors dans la technologie VLSI utilisée pour l'intégration.

La caractérisation en bruit est un passage nécessaire à l'étude des performances analogiques d'une technologie, et dans ce chapitre les résultats obtenus pour HSOI3-HD seront présentés.

6.1 Conditions expérimentales de mesure

6.1.1 Taille des transistors mesurés

Dans le spectre de bruit du transistor MOS, le niveau minimum est représenté par le bruit blanc, qui est indépendant de la fréquence (et qui sera décrit au paragraphe 6.4). La mesure du bruit étant effectuée au drain du transistor, il est nécessaire que le bruit du système de mesure soit, au drain, inférieur au bruit blanc du transistor. Le choix de transistors avec un grand bruit blanc en courant au drain permet donc de simplifier les spécifications du système de mesure. La densité spectrale de bruit blanc au drain $S_{I,d,\text{blanc}}^2$ peut être exprimée par la relation [3]:

$$S_{I,d,blanc}^2 = 4kTG \left(\frac{\eta - \eta^2 + \frac{1}{3}\eta^3}{\eta - \frac{1}{2}\eta^2} \right) \quad (6.1)$$

où $G = \frac{W}{L} \mu C_{ox} (V_g - V_{th})$ est la conductance pour $V_d=0$, et η est un paramètre qui vaut 1 en saturation et $\frac{V_d}{V_g - V_{th}}$ en régime linéaire. Le bruit au drain dépend donc du rapport $\frac{W}{L}$, et le choix d'un transistor avec une grande largeur de canal (W) conduit à un bruit en courant plus élevé. Pour cette raison, dans l'étude du bruit de HSOI3-HD, nous avons choisi des transistors avec une largeur $W=1000 \mu m$ et une longueur L variable entre 1.4 et 3 μm .

La taille choisie est aussi justifiée parce qu'elle est très proche de celle utilisée pour certains circuits amplificateurs en physique des hautes énergies. Dans ces circuits, le bruit à l'entrée est dominé largement par la contribution du seul transistor d'entrée. La taille de ce transistor est choisie de façon à optimiser le rapport signal/bruit, condition qui est réalisée quand la capacité de grille du transistor (C_{gs}) est environ égale à la capacité du détecteur (C_{det}) [1]. Pour les *strip detectors*, détecteurs en silicium qui se trouvent dans une région de l'expérience où l'utilisation d'une technologie durcie est nécessaire, la condition de bruit minimum est obtenue avec des transistors d'entrée d'environ 1000 μm de largeur et de longueur proche du minimum permis dans la technologie.

6.1.2 Polarisation pendant la mesure

La plupart des mesures de bruit ont été effectuées avec le transistor en régime de saturation et en inversion forte. Pendant ces mesures, le transistor était polarisé avec une densité de courant de 0.5 ou 0.4 $\mu A/\mu m$ et une tension V_{ds} de 800 mV. Une série de mesures avec le transistor en régime linéaire et toujours en inversion forte a aussi été effectuée. En ce cas, la densité de courant était 0.4 $\mu A/\mu m$, et la tension de drain V_{ds} était 50 mV.

Dans les deux types de mesures, les polarisations du substrat et du *body* ont été changées pour étudier leur influence sur les caractéristiques de bruit.

6.1.3 Le système de mesure

Deux systèmes de mesure ont été mis au point pour l'acquisition du bruit en saturation et en régime ohmique. Ils sont décrits de façon générale en Annexe 4.

6.2 Le spectre de bruit des transistors MOS

Le bruit des doubles bipôles est en théorie complètement décrit par deux générateurs équivalents à l'entrée: un générateur parallèle et un générateur série [4]. Cela est illustré de façon schématique en Figure 6.1, où le double bipôle qui contient des sources de bruit est représenté par le même double bipôle sans les sources de bruit internes et avec les deux générateurs (parallèle et série) connectés à l'entrée. Dans cette description, la corrélation entre les sources parallèle et série doit en principe être considérée. Néanmoins, dans un grand nombre de cas réels, la corrélation peut être négligée, surtout si l'un des deux générateurs domine largement le bruit.

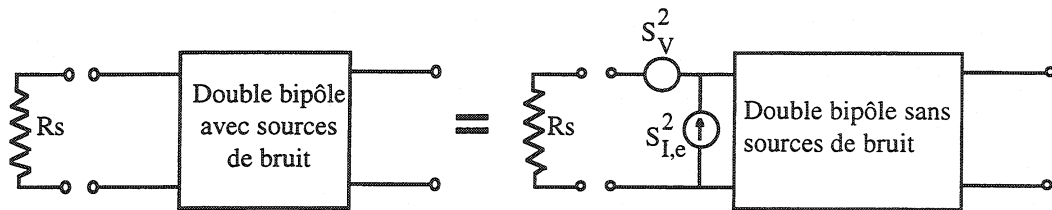


Figure 6.1: Représentation du bruit d'un double bipôle par deux générateurs (un parallèle et un série) équivalents à l'entrée.

Pour un transistor MOS, les deux générateurs équivalents peuvent être calculés à partir du circuit équivalent de Figure 6.2a, qui représente les sources de bruit du transistor. La capacité grille-drain, C_{gd} , a été négligée, et un court-circuit constitue la charge de sortie. Le bruit en courant à la grille est un bruit de grenaille (*shot noise*) associé au courant de fuite à la grille, I_g , et sa densité spectrale peut être exprimé par l'équation:

$$S_{I,g}^2 = 2qI_g \quad (6.2)$$

Le générateur de bruit en courant au drain $S_{I,d}^2$ est associé au bruit du canal, et est composé par le bruit blanc, le bruit 1/f et le bruit G-R (qui seront examinées en détail aux paragraphes 6.3, 6.4 et 6.5):

$$S_{I,d}^2 = S_{I,d,\text{blanc}}^2 + S_{I,d,1/f}^2 + S_{I,d,G-R}^2 \quad (6.3)$$

Dans cette expression, où on a négligé le bruit blanc généré par la résistance de source et de drain, la contribution du bruit de génération-recombinaison (G-R) est aussi négligeable pour les transistors MOS avancés. Pour calculer les deux générateurs équivalents, série et parallèle, le circuit de Figure 6.2a doit être comparé au circuit de Figure 6.2b.

En introduisant un court-circuit à l'entrée des deux circuits et en égalisant les deux courants de sortie (i_0), on obtient l'expression pour le générateur série équivalent à l'entrée:

$$S_V^2 = \frac{S_{I,d}^2}{g_m^2} \quad (6.4)$$

Au contraire, le générateur parallèle équivalent à l'entrée $S_{I,e}^2$ peut être calculé avec un circuit ouvert à l'entrée des deux circuits. Les générateurs en courant au drain et à la grille sont indépendants: en égalisant les courants des deux sorties (i_0), on obtient donc:

$$S_{I,e}^2 = S_{I,g}^2 + \frac{\omega^2 C_{gs}^2}{g_m^2} S_{I,d}^2 \quad (6.5)$$

Ce générateur est dominé, pour des fréquences fortement inférieures à la fréquence de transition du transistor, par le bruit de grenaille associé au courant de grille. Le courant de grille étant très faible pour les transistors MOS (de l'ordre de 10^{-12} A), le générateur parallèle est d'habitude négligé dans la description du bruit de ces transistors. Pour cette raison, la courbe qui caractérise la performance en bruit des transistors MOS montre la densité spectrale en tension à la grille (générateur série équivalent à l'entrée) en fonction de la fréquence. La densité spectrale en tension est exprimée en nV / \sqrt{Hz} .

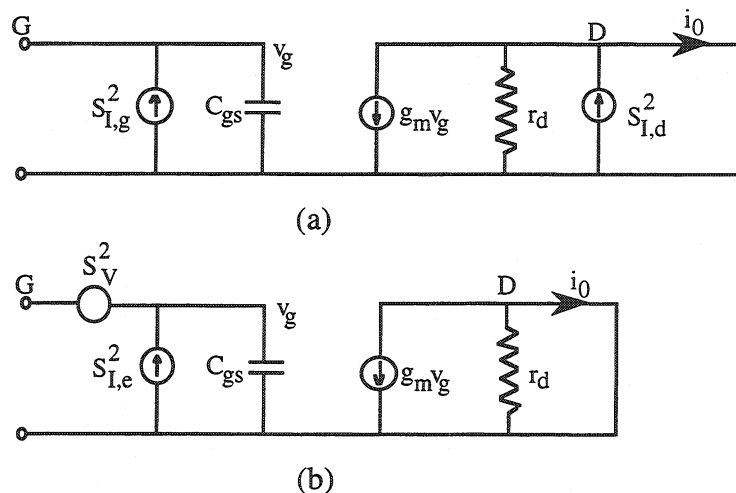


Figure 6.2: Circuit équivalent pour petits-signaux pour le transistor MOS: (a) avec les générateurs de bruit et (b) avec les deux générateurs équivalents (série et parallèle) à l'entrée.

Dans les spectres de bruit des transistors MOS avancés, on peut aisément reconnaître les contributions du bruit blanc et du bruit $1/f$. Les transistors en HSOI3-HD montrent, dans leur spectre de bruit, une troisième composante, qui apparaît comme une bosse superposée aux deux composantes standard. Le spectre typique des transistors dans cette technologie est montré de façon qualitative en Figure 6.3. Les trois composantes et leur variation avec l'irradiation seront traités séparément dans les paragraphes 6.3, 6.4 et 6.6. Le paragraphe 6.5 décrira le bruit de génération-recombinaison (G-R).

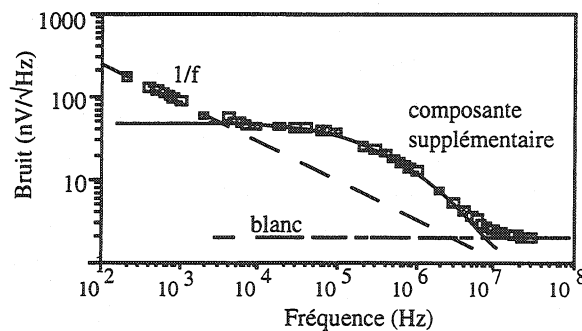


Figure 6.3: Représentation du spectre de bruit typique des transistors en technologie HSOI3-HD, qui montre la présence d'une composante additionnelle se superposant aux composantes $1/f$ et de bruit blanc.

La composante additionnelle de bruit peut être complètement caractérisée par deux paramètres: la valeur du bruit au plateau et la fréquence de coupure. Le premier paramètre, qu'on appellera simplement "bruit au plateau", est la valeur constante du bruit à basse fréquence et est indiqué par S_{p1} . La fréquence de coupure, indiquée par f_c , est la fréquence où le bruit est 3 dB en dessous de S_{p1} . Une caractéristique surprenante de cette bosse est qu'elle se déplace largement en fréquence (f_c) et amplitude (S_{p1}) quand on change la polarisation du substrat ou du *body*. Cette propriété est utilisée pour étudier le bruit $1/f$ et le bruit blanc.

Dans un spectre comme celui montré en Figure 6.3 il est difficile de pouvoir étudier les composantes du bruit $1/f$ et blanc, car la superposition de la composante additionnelle les cache partiellement ou totalement. Néanmoins, en appliquant au substrat ou au *body* une polarisation qui déplace la bosse vers les basses fréquences on peut étudier à haute fréquence le bruit blanc. Inversement, en déplaçant avec une polarisation adaptée la bosse vers les hautes fréquences, on peut étudier le bruit $1/f$. Cette procédure a été couramment utilisée pour obtenir les résultats qui seront présentés dans la suite.

6.3 Le bruit $1/f$

Le bruit $1/f$, aussi appelé "*flicker noise*" en anglais, est présent dans tout dispositif électronique [5] et sa caractéristique est que sa densité spectrale décroît linéairement en fonction de la fréquence (d'où le nom $1/f$). Malgré les efforts pour modéliser ce bruit, on ne peut pas aujourd'hui l'expliquer de façon universelle. Les théories élaborées dans les dernières années pour le cas des transistors MOS peuvent être regroupées en deux approches différentes: fluctuation de la mobilité et fluctuation du nombre des porteurs. Le modèle de la fluctuation de la mobilité a été introduit par Hooge et explique mieux le bruit $1/f$ des dispositifs semi-conducteurs massifs [6, 7]. Le modèle de la fluctuation du nombre des porteurs, proposé par McWorther [8] est mieux adapté pour le bruit aux interfaces: il est donc le plus utilisé pour les transistors MOS [9]. A partir de cette

théorie, plusieurs autres modélisations ont été proposées, tout en gardant l'hypothèse de la fluctuation du nombre des porteurs [10, 11].

Les deux théories prévoient pour le bruit équivalent à la grille une expression du type

$$S_{V,1/f}^2 = \frac{A_f}{f^\alpha} \quad (6.6)$$

où le coefficient α a été introduit sur des bases expérimentales. L'expression pour A_f est néanmoins différente dans les deux modèles, spécialement pour ce qui concerne la dépendance de la polarisation (courant de drain) et des paramètres géométriques (surface de la grille). Pour vérifier lequel des deux modèles est le mieux adapté à notre cas, nous avons étudié la variation du coefficient A_f en fonction du courant de drain. La théorie de la fluctuation de la mobilité prévoit [6] une relation $A_f \propto \sqrt{I_d}$, tandis que la fluctuation du nombre des porteurs ne prévoit aucune dépendance. Le résultat de notre étude, montré en Figure 6.4 pour des transistors à canal n et p, confirme que le modèle de McWorther représente mieux la réalité pour les transistors MOS.

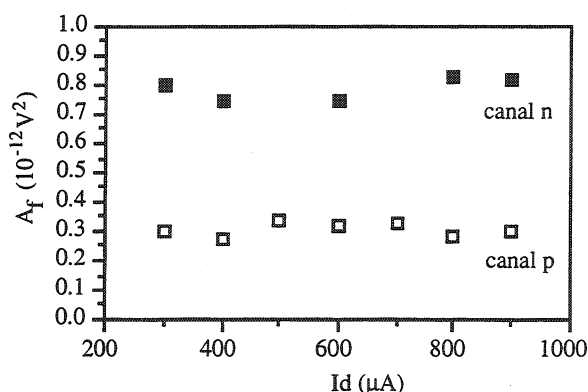


Figure 6.4: Coefficient A_f en fonction du courant de drain pour des transistors à canal n et p dans la technologie HSOI3-HD.

Suite à ce résultat, on utilisera pour le bruit 1/f la formulation donnée par (6.6) avec une valeur pour le coefficient A_f exprimé par [12]

$$A_f = \frac{K_f}{(C_{ox}')^2 WL} \quad (6.7)$$

où C_{ox}' est la capacité de grille (face avant) par unité de surface et K_f un paramètre qui dépend de la technologie.

Le bruit mesuré dans l'intervalle de fréquence dominé par le bruit 1/f a été interpolé à l'aide de (6.6) et (6.7) pour extraire le paramètre K_f et le coefficient α . Les résultats pour des transistors à canal n et p irradiés sous polarisation analogique à des doses intégrées de 12 et 25 Mrad sont résumés en tableau 6.I [13]. Les mesures ont été effectuées après recuit.

Tableau 6.1: Paramètre K_f et coefficient α extraits avant et après irradiation et recuit. Les transistors étaient sous polarisation analogique ($V_s=0V$, $V_g=V_d$, $I_d=0.2\mu A/\mu m$) pendant l'irradiation.

	α avant	α 12Mrad	α 25Mrad	K_f ($fC^2/\mu m^2$) avant	K_f ($fC^2/\mu m^2$) 12Mrad	K_f ($fC^2/\mu m^2$) 25Mrad
canal n	0.88	0.92	0.94	$2.83 \cdot 10^{-9}$	$16.82 \cdot 10^{-9}$	$20.79 \cdot 10^{-9}$
canal p	1.02	1.04	1.00	$1.37 \cdot 10^{-9}$	$5.61 \cdot 10^{-9}$	$6.90 \cdot 10^{-9}$

Avant de commenter ces données, il est utile de rappeler que le bruit $1/f$ est un bon indicateur de la qualité de l'oxyde à proximité de l'interface Si-SiO₂. Les travaux de D. Fleetwood et al. ont montré que, contrairement à ce qu'on pourrait intuitivement imaginer, l'augmentation du bruit $1/f$ après irradiation est corrélée au piégeage de trous dans l'oxyde et non à la formation d'états d'interface [14]. Les défauts révélés par les mesures du bruit $1/f$ seraient de type E' (paragraphe 2.1.1). Il s'agit de "border traps", défauts localisés dans l'oxyde près de l'interface (10-20 Å) mais qui peuvent échanger des charges avec le canal.

Le coefficient α a une valeur très proche de l'unité, comme prévu par la théorie. Pour les transistors PMOS, ce coefficient n'évolue pas pendant l'irradiation, tandis que pour les transistors NMOS on observe systématiquement une augmentation, de l'ordre de 10%. Sur la Figure 6.5, qui représente un fit sur les données mesurées, on voit que le bruit $1/f$ des NMOS augmente sur toute l'intervalle de fréquences, mais de façon plus significative à basse fréquence (100-1000 Hz). La variation de α est directement reliée à ce phénomène, et semble indiquer que l'activation de centres de piégeage lents, qui sont les plus éloignés de l'interface, domine.

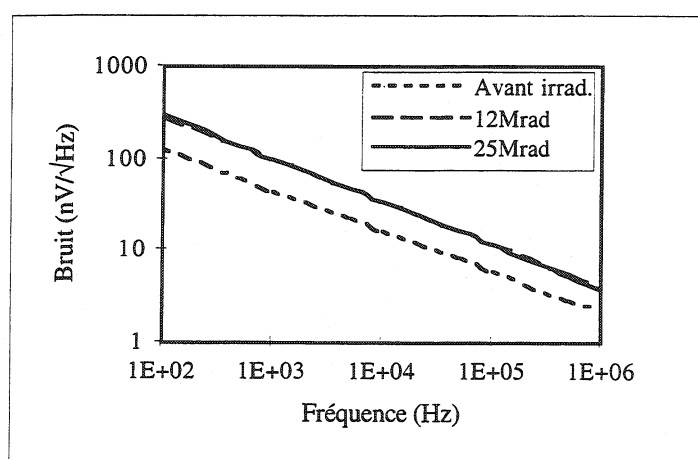


Figure 6.5: Fit du spectre du bruit $1/f$ pour un transistor NMOS de taille $W=1000 \mu m$, $L=1.4 \mu m$. Le bruit augmente considérablement avec l'irradiation à 12 Mrad (d'environ 500%), et très peu par la suite (d'environ 25% pendant l'irradiation qui augmente la dose intégrée à 25 Mrad).

La Figure 6.5 montre aussi, pour les transistors NMOS, que l'augmentation du bruit $1/f$ est très importante au début de l'irradiation. Le paramètre K_f , qui caractérise l'amplitude du bruit $1/f$, peut être utilisé pour quantifier cette augmentation. Après une augmentation de l'ordre de 500% avec une dose intégrée de 12 Mrad, l'irradiation avec une dose additionnelle de 13 Mrad (pour atteindre les 25 Mrad) ne modifie le bruit que du 25%. Il y a donc un phénomène de saturation dans l'activation des pièges. Le même effet de saturation a été mesuré pour les transistors PMOS.

Le paramètre K_f peut être utilisé pour comparer le bruit $1/f$ des transistors NMOS et PMOS. Déjà avant l'irradiation, les transistors à canal p ont un bruit beaucoup plus faible que les transistors à canal n. Cela peut être expliqué par la plus grande difficulté du canal p à échanger des charges avec l'oxyde, qui est justifiée par deux considérations. En premier lieu, on a déjà mis en évidence que le canal du transistor p est enterré, il se trouve en profondeur dans le silicium et donc plus éloigné de l'oxyde. Ensuite, on sait que la barrière pour injection de porteurs dans l'oxyde est plus élevée pour les trous (≈ 4.7 eV) que pour les électrons (≈ 3.2 eV) [15]. Tout cela n'est pas spécifique de la technologie HSOI3-HD, mais généralement pour toute technologie le bruit $1/f$ du transistor à canal p est inférieur à celui du transistor à canal n (un exemple pour une technologie sur silicium massif est donné en [16]).

Pour ce qui concerne l'effet du recuit sur le bruit $1/f$, nous avons observé, pour les transistors NMOS, une diminution du paramètre K_f au cours des recuits à température ambiante qui ont suivi les irradiations [17]. Pour les transistors PMOS cet effet est beaucoup plus limité. L'évolution du bruit $1/f$ d'un transistor NMOS de taille $W=1000$ μm et $L=1.4$ μm avec l'irradiation à 3 Mrad et un recuit de 260 jours à température ambiante est montrée en Figure 6.6.

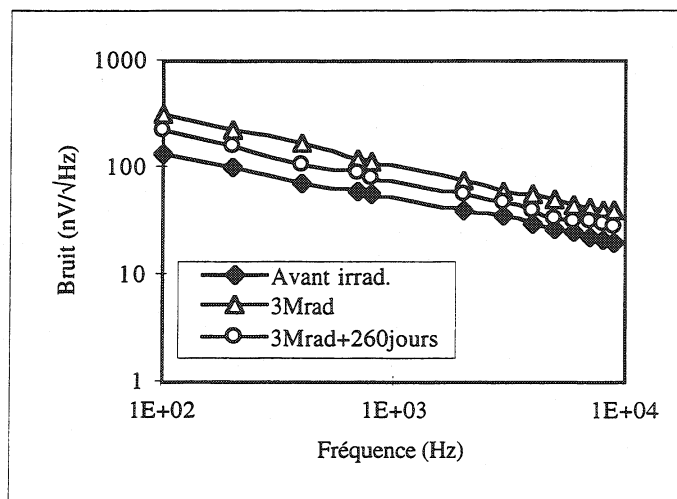


Figure 6.6: Evolution du bruit $1/f$ en fonction de l'irradiation et du recuit pour un transistor NMOS de taille $W=1000$ μm , $L=1.4$ μm .

Ces résultats pour les transistors à canal n et p peuvent être comparés à l'évolution des charges piégées dans l'oxyde et des états d'interface illustrée au chapitre 5. Pour les NMOS, la contribution des états d'interface ne change pas avec le temps de recuit (Figure 5.5), et le seul effet d'*annealing* est sur les charges piégées dans l'oxyde. Le recuit est beaucoup moins important pour les transistors à canal p (Figure 5.7). Nos mesures confirment par conséquent la corrélation entre les charges piégées dans l'oxyde (ΔV_{ot}) et le bruit $1/f$, corrélation qui avait déjà été mesurée par Fleetwood [14, 18].

Pour conclure, les transistors à canal p ont un bruit $1/f$ moindre avant et, a fortiori, après irradiation. Pour les applications analogiques à basse fréquence où le bas bruit est une exigence fondamentale, le transistor à canal p conduit à de meilleures performances.

6.4 Le bruit blanc

Le bruit blanc, aussi appelé bruit Johnson ou bruit de Nyquist, a une densité spectrale qui est indépendante de la fréquence (d'où le nom "blanc"). Dans les transistors MOS, ce bruit est associé au bruit thermique dans le canal, causé par le mouvement d'agitation thermique des porteurs. Cela est similaire à ce qui se passe dans les résistances, dont la densité spectrale du bruit thermique est exprimée en tension par $4kTR$, où R est la valeur de la résistance même. Le bruit thermique du canal d'un transistor MOS utilise la même formulation, mais avec une résistance équivalente qui est déterminée par le régime de fonctionnement du dispositif. En régime de saturation et en inversion forte, la résistance équivalente de bruit peut être exprimée par [19]:

$$R_{eq} = \frac{2}{3} \frac{(1 + \delta)}{g_m} \quad (6.8)$$

où δ est un paramètre qui tient compte de la variation entre source et drain du potentiel du canal. La transconductance a été exprimée par $g_m = \frac{W}{L} \frac{\mu C_{ox}}{(1 + \delta)} (V_g - V_{th})$. Le terme $(1 + \delta)$ est normalement présent aussi dans l'équation du courant de drain en saturation, mais il est souvent négligé pour les calculs à la main, ce qui peut conduire parfois à des erreurs de l'ordre de 50–100%. Pour la densité spectrale du bruit thermique du canal référée à la grille on peut donc utiliser (6.8) et obtenir:

$$S_{V,blanc}^2 = 4kT \frac{2}{3} \frac{(1 + \delta)}{g_m} = \frac{8}{3} kT \frac{(1 + \delta)}{g_m} \quad (6.9)$$

Dans la pratique, à cause de la difficulté dans l'évaluation du paramètre δ (même en connaissant les détails technologiques) et de l'observation que le bruit blanc mesuré à la grille est toujours supérieur à la prévision théorique formulée en (6.9), on utilise plus couramment la formulation suivante:

$$S_{V,\text{blanc}}^2 = \frac{8}{3} kT \frac{\Gamma}{g_m} \quad (6.10)$$

Le coefficient Γ , appelé "coefficient de bruit en excès", regroupe, en plus du terme $1+\delta$, tous les effets qui provoquent un bruit blanc mesuré à la grille plus important que la prévision de (6.9). Parmi ces effets, on peut mentionner la contribution du bruit blanc de la résistance de grille (due à la résistivité du polysilicium) et des résistances série de source et drain. Ces dernières regroupent elles mêmes les contributions des résistances de diffusion, de contact métal–semiconducteur et du métal (généralement négligeable pour de connections courtes). Γ inclut aussi les effets des porteurs chauds qui peuvent avoir un effet sur le bruit des transistors à canal court, quand les porteurs ne sont localement plus en équilibre thermique avec le réseau du cristal. Ce coefficient est utilisé dans les études de résistance à la radiation en qualité d'indicateur de la dégradation du bruit blanc après l'irradiation [20].

Dans notre étude, nous avons utilisé l'équation (6.10) pour le bruit blanc sans essayer de décomposer les différentes contributions au coefficient Γ . On verra que, dans le cas du transistor à canal n, ce coefficient peut être presque totalement prédit par le terme $1+\delta$, tandis que pour le canal p l'analyse semble beaucoup plus compliquée. Les résultats pour des transistors à canal n et p irradiés sous polarisation analogique à des doses intégrées de 12 et 25 Mrad sont résumés en tableau 6.II. Les mesures ont été effectuées après recuit. Contrairement au cas du bruit 1/f, qui est en général bien visible dans des conditions de polarisation "normales" ($V_{BG}=0$ V, $V_{Body}=0$ V), le bruit blanc est caché par la contribution additionnelle. Il est nécessaire d'appliquer une polarisation "spéciale" pour pouvoir déplacer cette contribution vers les basses fréquences et mesurer le seul bruit blanc. Cette polarisation est obtenue avec $V_{BG}=0$ V et avec un potentiel de *body* $V_{Body}=0.9$ V pour les transistors à canal p, et $V_{Body}=-0.7$ V pour les transistors à canal n.

Tableau 6.II: Résultats de mesure du bruit blanc avant et après irradiation pour des transistors à canal n et p. Les transistors sont sous polarisation analogique pendant l'irradiation. La densité spectrale de bruit référée à la grille, la transconductance et le coefficient Γ sont montrés pour un courant $I_d=500$ μ A pendant la mesure .

	$S_V(nV/\sqrt{Hz})$ avant	$S_V(nV/\sqrt{Hz})$ 12Mrad	$S_V(nV/\sqrt{Hz})$ 25Mrad	$g_m(mS)$ avant	$g_m(mS)$ 12Mrad	$g_m(mS)$ 25Mrad	Γ avant	Γ 12Mrad	Γ 25Mrad
n	1.96	3.10	3.19	4.28	2.98	2.67	1.48	2.58	2.45
p	2.25	3.14	3.29	4.22	4.19	3.82	1.92	3.72	3.73

Dans le tableau, la valeur de la transconductance a été mesurée dans les mêmes conditions de polarisation appliquées pendant la mesure du bruit blanc. Dans tous les cas, l'augmentation du bruit avec la dose intégrée est due à la diminution de la transconductance mais aussi à l'augmentation du coefficient Γ .

Pour les transistors à canal p, la valeur initiale du coefficient Γ n'est pas explicable par le seul terme $1+\delta$. Il y a d'autres raisons physiques, peut-être provenant de la nature enterrée du canal de conduction, pour justifier un coefficient de bruit en excès plus élevé. Avec l'irradiation, la diminution de la transconductance est limitée au 10% après 25 Mrad. L'augmentation du bruit blanc est de l'ordre du 45% après la même dose intégrée, ce qui est déterminé par une dégradation du coefficient Γ d'environ 95%. Cette dégradation de Γ du transistor à canal p est difficile à expliquer.

La valeur du coefficient Γ des transistors à canal n avant l'irradiation peut au contraire bien être expliqué par le terme $1+\delta$. Ce terme peut être estimé avec l'équation empirique suivante [21]:

$$1 + \delta = 1 + \frac{\gamma}{2\sqrt{\Phi_c + 2\Phi_B + V_{SB}}} \quad (6.11)$$

où Φ_c est un potentiel constant égal à 1 V, V_{SB} est la tension entre source et *body* (égale à -0.7 V dans la mesure du bruit des transistors à canal n) et le coefficient de l'effet de *body* est $\gamma = \frac{\sqrt{2q\epsilon_s N_A}}{C_{ox}}$. L'utilisation en (6.11) des paramètres connus de façon approximative pour la technologie HSOI3-HD donne pour le terme $1+\delta$ une valeur de environ 1.5, ce qui est très proche de la valeur Γ extraite de la mesure du bruit blanc.

Avec l'irradiation, la diminution de la transconductance du transistor à canal n est, comme il a déjà été vu au chapitre 6, de l'ordre du 40% après 25 Mrad. Le bruit blanc augmente du 60% et la dégradation du coefficient Γ est d'environ 65%. Si l'on compare au canal p, on voit que la dégradation du bruit blanc est plus importante pour le canal n. Ce comportement est dû à la diminution de la transconductance, qui est beaucoup plus importante pour les transistors à canal n, et par l'augmentation du coefficient de bruit en excès (plus faible pour le canal n que pour le canal p).

6.5 Le bruit de génération-recombinaison (G-R)

Dans ce paragraphe, seulement les caractéristiques du bruit G-R utilisées dans notre étude seront illustrées. Le bruit de génération-recombinaison est généré par les fluctuations de charge dans le canal à cause des phénomènes de piégeage et dépiégeage des porteurs dans les centres Shokley-Read-Hall (SRH) [22]. Ces centres, situés physiquement dans la région désertée entre le canal conducteur et le substrat, ont une énergie localisé dans la bande interdite. Ces phénomènes sont activés par l'énergie thermique, et induisent une fluctuation du courant qui s'écoule dans le transistor.

Dans la littérature, on peut trouver plusieurs travaux sur la modélisation du bruit G-R [23-25], le point commun étant la formulation suivante pour le spectre de bruit à la grille (générateur série équivalent):

$$S_{V,G-R}^2 \propto \frac{\tau_t}{1 + \omega^2 \tau_t^2} \quad (6.12)$$

où la constante de temps τ_t détermine la fréquence de coupure ($f_{\text{coupure}} = 1/2\pi\tau_t$). La forme de ce spectre est illustré en Figure 6.7. Une région où le bruit est indépendant de la fréquence est suivie, à partir de la fréquence de coupure, par une région où le bruit diminue proportionnellement au carré de la fréquence.

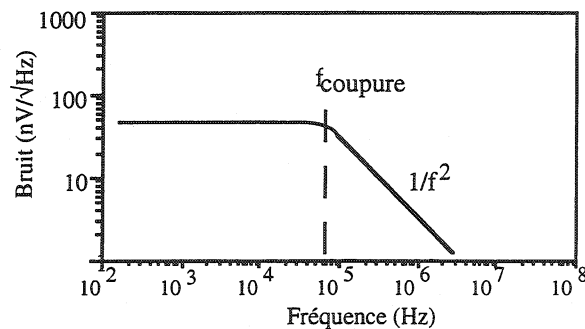


Figure 6.7: Spectre qualitatif du bruit de génération-recombinaison pour un transistor MOS.

Deux caractéristiques du bruit G-R qui seront utilisées dans la suite sont:

- 1) L'amplitude du bruit augmente avec la polarisation appliquée au drain [23].
- 2) L'amplitude du bruit est déterminée par la densité des centres SRH [24].

Pour des concentrations de centres SRH très basses, ce qui est normalement le cas dans les dispositifs MOS des technologies modernes, ce bruit est couvert par le bruit $1/f$ et n'apparaît pas dans le spectre. Dans les études concernant le bruit G-R, où on veut amplifier le phénomène pour bien le mesurer, on effectue un dopage de la région du canal avec de l'or pour augmenter la densité des centres de piégeage [23]. Dans ce cas, la contribution du bruit G-R est superposée à celle des sources de bruit blanc et $1/f$, et visible comme une bosse dans le spectre.

Récemment, une simple technique pour déterminer l'énergie et la section efficace des centres de piégeage, fondée sur le bruit à basse fréquence, a été proposée [26, 27]. Dans le cas des technologies SOS (*Silicon on Sapphire*), le spectre de bruit montre parfois plusieurs composantes G-R avec une variété de constantes de temps, visibles dans des conditions de polarisations particulières [28, 29].

6.6 La contribution additionnelle dans le spectre de bruit

Comme on a vu en 6.2, le spectre de bruit des transistors en technologie HSOI3-HD est caractérisé par la présence d'une composante additionnelle qui se superpose aux deux

composantes normalement trouvées pour toute technologie CMOS avancée, notamment le bruit blanc et le bruit 1/f. Cette composante additionnelle, qu'on caractérise complètement avec les deux paramètres S_{pl} (bruit au plateau) et f_c (fréquence de coupure) introduits en 6.2, peut être largement déplacée en fréquence et amplitude en changeant le potentiel appliqué au substrat ou au *body*. Un exemple est montré en Figure 6.8 pour un transistor à canal n pour lequel la tension de substrat V_{bg} varie entre 7 et 11.5 V.

En Figure 6.8 on voit que lorsque la fréquence de coupure diminue, l'amplitude augmente. Le même résultat est obtenu si on maintient constant V_{bg} et on change le potentiel appliqué au *body* du transistor. La Figure 6.9 montre de façon évidente cette corrélation entre S_{pl} et f_c pour les transistors à canal n et p lorsque le potentiel de *body* est modifié.

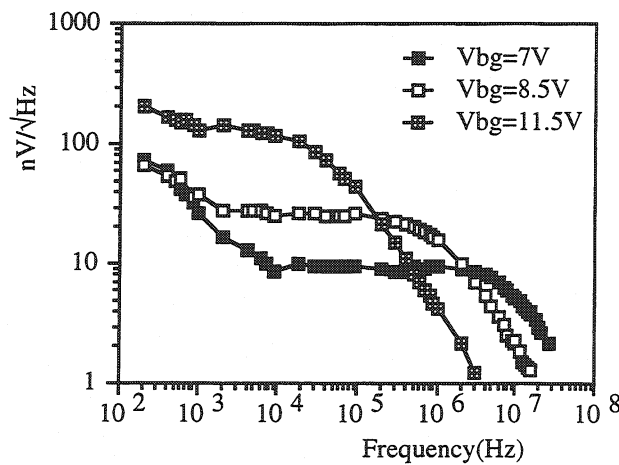


Figure 6.8 La composante additionnelle de bruit se déplace en fréquence et en amplitude en changeant le potentiel appliqué au substrat. Seule la troisième composante est montrée, le bruit blanc et le bruit 1/f ayant déjà été soustraits au spectre.

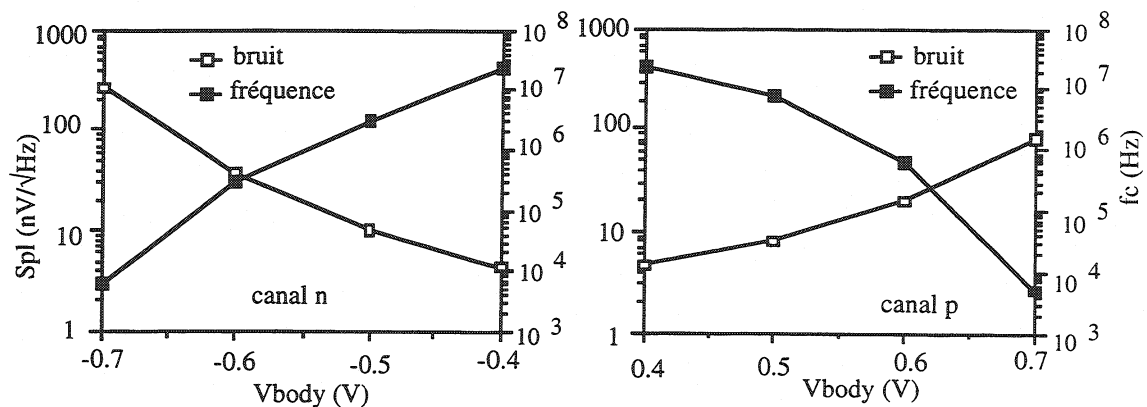


Figure 6.9: Variation de la fréquence de coupure et du bruit au plateau en fonction de la polarisation du body pour des transistors à canal n et p, avec $W=1000 \mu m$ et $L=1.4 \mu m$. Ces résultats ont été obtenus avec $V_{bg}=0 V$.

La caractéristique du bruit de génération-recombinaison de se présenter comme une bosse dans le spectre, nous a conduit à penser dans un premier temps que l'origine de la bosse observée dans la technologie HSOI3-HD était aussi d'origine G-R. Il y avait néanmoins une série de mesures qui n'était pas explicable dans le cadre de la théorie de la génération-recombinaison, plus spécifiquement pour ce qui concerne les deux caractéristiques (1) et (2) décrites au paragraphe 6.5:

(1) Dans nos mesures, aucun changement n'est mesuré dans le bruit en changeant le potentiel du drain entre 0.8 et 2.5 V. Cela ne correspond pas à la théorie G-R.

(2) L'amplitude du bruit G-R ne change pas en fonction de la surface du dispositif, le bruit dépendant de la densité de centres de piégeage. Au contraire, dans nos mesures, l'amplitude du bruit diminue quand la surface du transistor augmente, ainsi que le montre la Figure 6.10, où des transistors de W identique ($2000 \mu\text{m}$) et L variable (1.4 et $2 \mu\text{m}$) ont été utilisés.

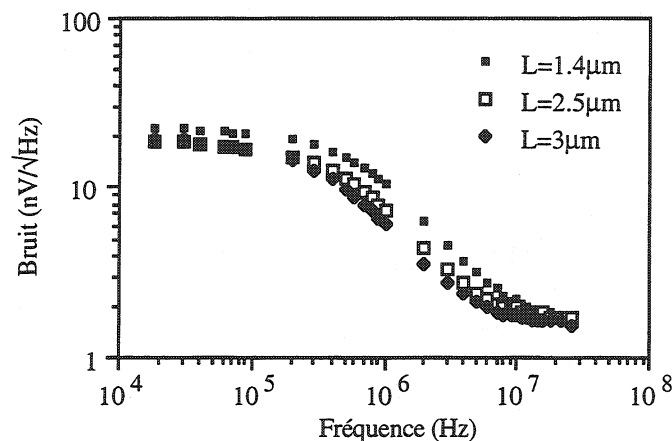


Figure 6.10: Composante additionnelle de bruit mesurée sur des transistors à canal n avec $W=2000 \mu\text{m}$ et L variable. Le bruit augmente avec la diminution de la longueur du canal, et donc de la surface du dispositif.

Ces deux résultats en désaccord avec la théorie du bruit G-R nous ont poussés à une recherche plus approfondie.

Pour étudier si l'origine du bruit additionnel était liée à une résistance parasite (par exemple, la résistance série du drain et de la source), nous avons mesuré le bruit en rajoutant une résistance en série à l'extérieur du transistor dans les configurations montrées en Figure 6.11. La polarisation du dispositif pendant ces mesures était choisie pour mettre bien en évidence la bosse de bruit supplémentaire, et pouvoir aisément observer ses variations avec la position et la valeur de la résistance série rajoutée. Dans les configurations (A) et (B), la résistance rajoutée n'avait aucune influence sur la bosse de bruit, et cela pour une grande variété de valeurs de la résistance. Par contre, la configuration (C) montrait une évidente corrélation entre la résistance rajoutée et la bosse. Le résultat de cette expérience est à l'origine du modèle pour la composante additionnelle qui sera présenté dans le paragraphe suivant.

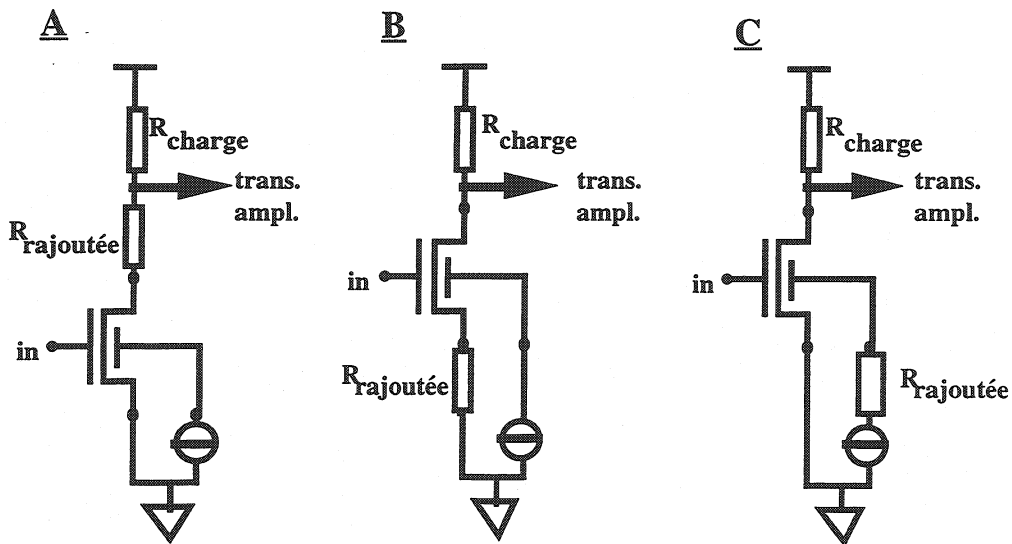


Figure 6.11: Configurations essayées pour étudier l'influence d'une résistance série extérieure sur la composante additionnelle de bruit. R_{charge} est la résistance utilisée pour polariser le transistor pendant la mesure de bruit. $R_{rajoutée}$ est la résistance qu'on a rajoutée en série au drain (A), à la source (B) et au body (C). Pour les détails du système de mesure, voir Annexe 4.

6.6.1 Modèle de l'origine de la composante additionnelle de bruit

L'observation de base de notre modèle est que la fréquence de coupure et l'amplitude de la bosse additionnelle de bruit se déplacent considérablement avec le potentiel appliqué au substrat et au *body*. Cela se passe pour des polarisations pour lesquelles la condition de déplétion du film de silicium, et par conséquent sa résistance, est fortement dépendante de la polarisation appliquée. D'un point de vue électrique, la résistance du film peut être considérée en série entre la source de tension extérieure qui impose la polarisation au *body* et le film de silicium même. On appellera cette résistance R_{body} . L'introduction des capacités associées à l'oxyde de grille et à l'oxyde enterré conduit pour le transistor à l'équivalence illustrée en Figure 6.12, qui est à la base du modèle proposé.

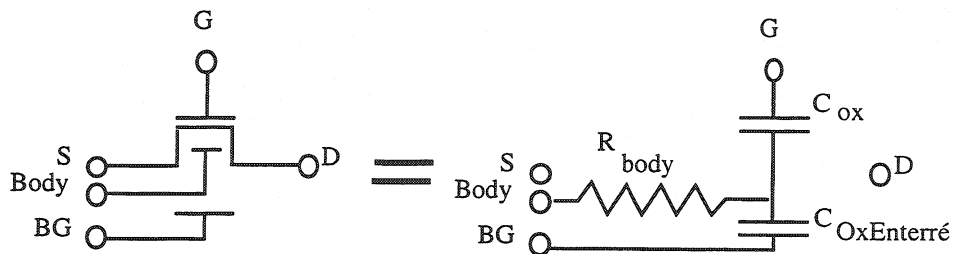


Figure 6.12: Schéma équivalent du modèle qui explique l'origine du bruit supplémentaire.

La résistance R_{body} génère un bruit thermique indépendant de la fréquence (bruit blanc), qui peut être exprimé par sa densité spectrale:

$$S_{V_{body}}^2 = 4kTR_{body} \quad (6.13)$$

Ce bruit est transmis en courant au drain du transistor à travers la transconductance de *body*, g_{mb} . Dans nos mesures, le bruit en courant au drain est converti en tension par l'amplificateur de lecture et ensuite amplifié en tension et mesuré par un analyseur de spectre. Le bruit mesuré est ensuite référé à la grille du transistor en connaissant la fonction de transfert du système de mesure. Pour ce qui concerne l'étage amplificateur constitué par le transistor même, la fonction de transfert est égale à la transconductance de grille. Nous pouvons donc référer le bruit de la résistance R_{body} à la grille, où sa contribution en tension vaut:

$$S_{V_{grille}}^2 = 4kTR_{body} \left(\frac{g_{mb}}{g_m} \right)^2 \quad (6.14)$$

En principe, cette contribution est constante pour toutes les fréquences car le bruit thermique de la résistance est, comme déjà dit, un bruit blanc. Néanmoins, à cause de la présence des capacitances C_{ox} et $C_{OxEnterré}$ la situation est différente. Ces capacités, qui sont en parallèle, forment avec la résistance R_{body} un circuit RC dont la fréquence de coupure est donnée par:

$$f_c = \frac{1}{2\pi R_{body} C} \quad (6.15)$$

où C est la somme de C_{ox} et $C_{OxEnterré}$ (l'oxyde enterré est beaucoup plus épais que l'oxyde de grille, donc $C \approx C_{Ox}$). Ce filtre RC qui se trouve au *body* coupe le bruit thermique de R_{body} à la fréquence f_c , et par conséquent le bruit supplémentaire apporté par la résistance du film a la forme d'une bosse dans le spectre de bruit du transistor. Ce modèle, qui explique l'origine de la composante additionnelle de bruit des transistors en HSOI3-HD, est illustré de façon schématique en Figure 6.13.

Notre modèle, qui est confirmé par les observations expérimentales décrites en détail dans le paragraphe suivant, n'est pas valable uniquement pour la technologie en étude, mais plus généralement pour toute technologie SOI avec un contact de *body*. Le paramètre variable d'une technologie à l'autre est la résistivité du film de silicium, qui dépend de plusieurs facteurs: épaisseur du film, dopages, conditions de polarisation. Par exemple, il est fortement probable que cette contribution soit négligeable et non mesurable dans les technologies à film épais. Au contraire, pour les technologies à film moyen et mince, la résistivité du film est plus élevée, et cette contribution est beaucoup plus sensible aux dopages et aux conditions de polarisation. L'impact de la contribution additionnelle sur les performances en bruit de chaque technologie doit par conséquent être déterminé directement soit par une mesure du bruit ou, moins directement, par la

mesure de la résistance R_{body} . On verra dans le paragraphe consacré aux confirmations expérimentales qu'une mesure directe de R_{body} n'est pas possible, mais que l'on peut mesurer une résistance en relation avec R_{body} . Malheureusement cette mesure, qui à priori demande un système de mesure beaucoup plus simple que la mesure de bruit, exige néanmoins une structure de test (*layout*) spécifique.

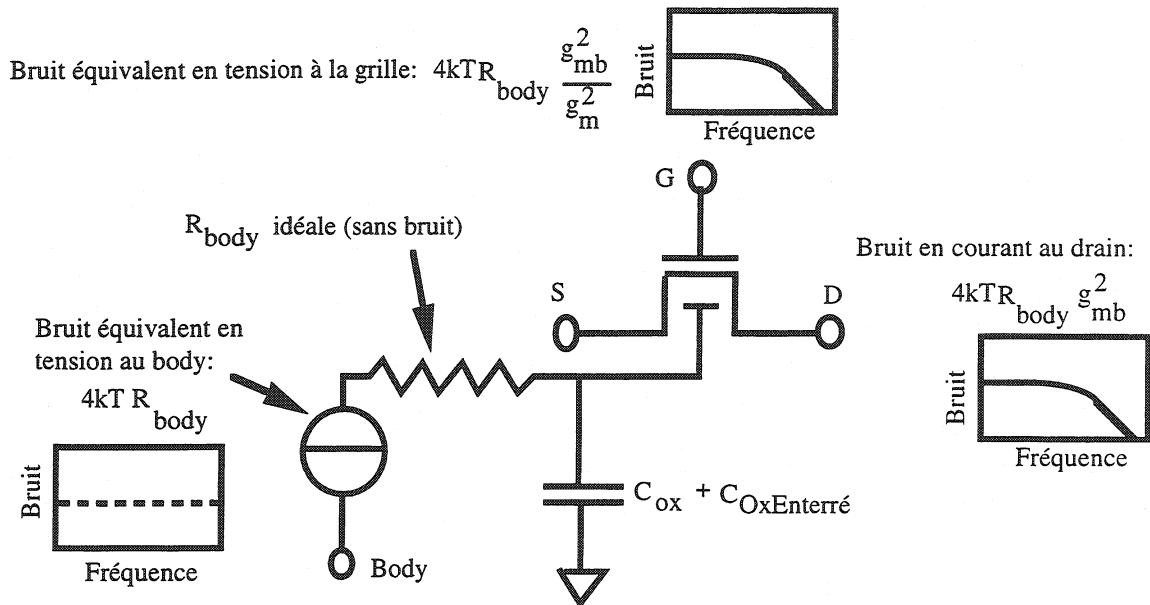


Figure 6.13: Schéma qui résume l'origine de la composante additionnelle de bruit, visible comme une bosse dans le spectre de bruit des transistors en technologie HSOI3-HD.

6.6.2 Confirmations expérimentales du modèle

Afin d'effectuer une étude plus détaillée sur l'origine de la bosse de bruit, nous avons conçu une structure de test simple qui nous a permis de mesurer la résistance du film de silicium dans les conditions de polarisations souhaitées. Il s'agit d'un grand transistor de largeur $W=2000 \mu\text{m}$, tout à fait identique à ceux utilisés pour les mesures de bruit, mais avec deux contacts de *body*. Le transistor large est réalisé avec 200 transistors de largeur $W=10 \mu\text{m}$ mis en parallèle pour respecter les règles de *layout* de la technologie. Le *layout* de ces transistors est schématiquement représenté en Figure 6.14. Deux largeurs ont été choisies pour cette structure de test: $L=3$ et $1.4 \mu\text{m}$. Une telle structure permet de mesurer la résistance entre les deux extrémités du film de silicium, et la variation de cette résistance en fonction des conditions de polarisations appliquées à tous les électrodes. Cette résistance mesurée, que nous appelons R_{mes} , peut ainsi être mise en relation avec le bruit mesuré dans les mêmes conditions de polarisation.

La résistance R_{mes} ne correspond pas exactement à la résistance R_{body} de notre modèle. Cette dernière est la résistance de nature distribuée entre le contact de *body* (c'est à dire

ici le plot qui sert de connexion entre la puce et l'extérieur) et le canal, et cela quand les deux extrémités du film (Body1 et Body2 dans la Figure 6.14) sont court-circuitées. La résistance entre le plot et un point choisi dans le canal dépend de la distance de celui-ci de l'extrémité du film, d'où la nature distribuée de R_{body} . Au contraire R_{mes} est la résistance entre les extrémités du film de silicium. Il est néanmoins évident que les deux résistances sont en relation, et que la mesure de R_{mes} en fonction de la polarisation peut être utilisée pour étudier la variation de R_{body} avec la condition de déplétion du film. C'est le mieux qu'on puisse faire car une mesure directe de R_{body} n'est pas physiquement possible.

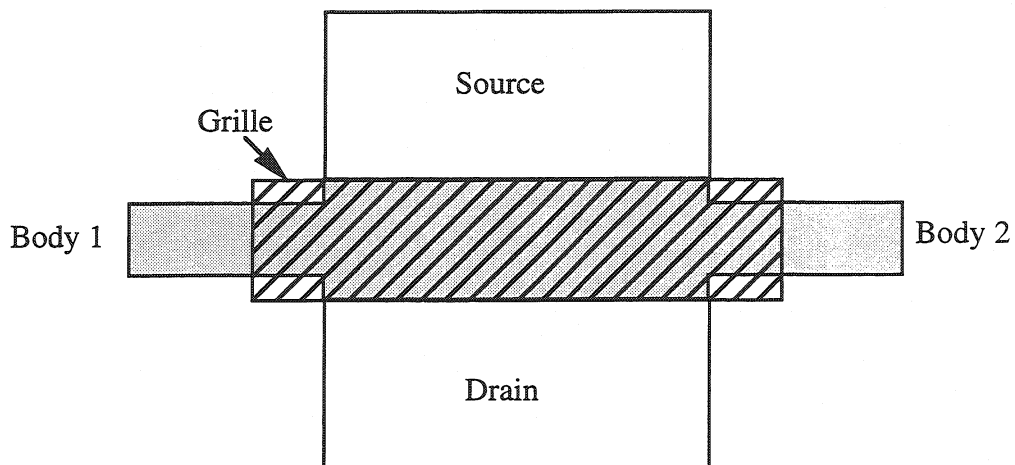


Figure 6.14: Layout schématique d'un des transistors élémentaires qui composent la structure de test spécifiquement conçue pour mesurer la résistance du film de silicium.

Les observations expérimentales décrites dans la suite se réfèrent généralement à des mesures effectuées sur des transistors à canal n, mais des résultats similaires ont été obtenus pour les transistors à canal p.

Corrélation entre R_{mes} et la bosse de bruit

Avec la structure décrite en Figure 6.14, on a étudié la variation de la résistance R_{mes} du film en fonction des conditions de polarisation. On s'est spécialement intéressé aux conditions de polarisation qui changent fortement les caractéristiques (fréquence de coupure et amplitude) de la composante additionnelle de bruit. Par conséquent, nous avons mesuré la résistance dans les mêmes conditions de polarisation que celles appliquées pendant les mesures de bruit (inversion forte, densité de courant $J=0.5 \mu\text{A}/\mu\text{m}$, saturation avec $V_d=0.8 \text{ V}$) et nous avons changé la polarisation du substrat et du *body*. Le résultat de ces mesures est montré en Figure 6.15. R_{mes} vaut environ $1.5 \text{ k}\Omega$ en conditions normales de fonctionnement du transistor ($V_{bg}=V_{body}=0 \text{ V}$), mais sa valeur augmente considérablement quand le film de silicium, à cause de la polarisation du substrat ou du *body*, est de plus en plus déserté. Des valeurs supérieures à $1 \text{ M}\Omega$ ont été mesurées lorsqu'on atteint une déplétion

presque totale du film. Dans ce cas, la bosse de bruit se déplace à plus basse fréquence et son amplitude augmente, ce qui dans notre modèle est dû à une augmentation de R_{body} . Une résistance plus élevée signifie en effet une densité de bruit thermique plus importante ($4kTR$) et une fréquence de coupure plus petite ($1/2\pi RC$).

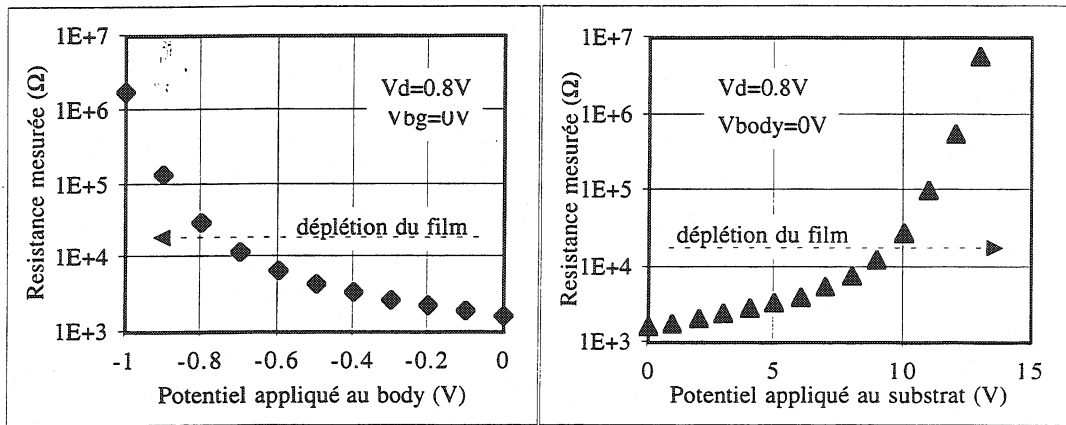


Figure 6.15: Résistance de body mesuré (R_{mes}) en fonction du potentiel appliqué au film (body) ou au substrat.

Le résultat de Figure 6.10, qui n'est pas justifié par une origine G-R de la bosse de bruit, est bien en accord avec l'origine résistive de ce bruit. La mesure de R_{mes} pour les deux structures de test avec longueur de grille de 3 et 1.4 μm prouve que la résistance est inversement proportionnelle à la longueur du canal, ce qui est juste intuitivement.

Aussi l'indépendance de la bosse de bruit avec la polarisation du drain, qui avait mis en question l'origine G-R du bruit additionnel, est en accord avec l'origine résistive. La mesure de R_{mes} en fonction de la tension de drain montre que la résistance ne change pas pour des polarisation entre 0.8 et 2.5 V. Ce résultat est illustré en Figure 6.16 pour une polarisation de -0.6 V appliquée au film (V_{body}).

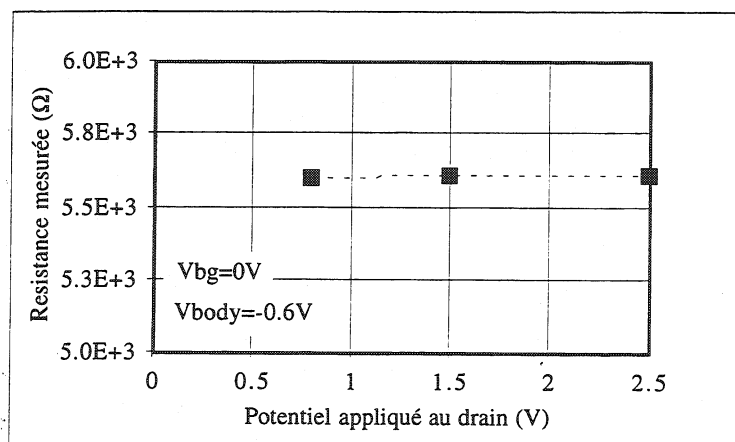


Figure 6.16: Résistance de body mesuré (R_{mes}) en fonction du potentiel appliqué au drain.

Cette corrélation entre la résistance mesurée et la position et amplitude de la bosse, montrée par les trois observations expérimentales qu'on vient de décrire, est donc une première confirmation qualitative du modèle proposé.

Egalité du bruit au plateau (S_{pl}) référé au *body*

L'origine résistive de la composante additionnelle de bruit implique que, pour toute condition de polarisation qui génère la même résistance de *body*, la bosse soit identique. Pour vérifier cette implication, nous avons choisi deux conditions de polarisation pour lesquelles la résistance mesurée R_{mes} était la même. Cela est facile car la condition de déplétion du film est contrôlable par le potentiel appliqué au substrat ou au *body*. Une même résistance d'environ $12.5 \text{ k}\Omega$ est mesurée avec $V_{bg}=9 \text{ V}$ (et le *body* à la masse) ou avec $V_{body}=-0.7 \text{ V}$ (et le substrat à la masse). Le bruit mesuré dans les deux conditions de polarisation, référé à la grille du transistor, est montré en Figure 6.17.

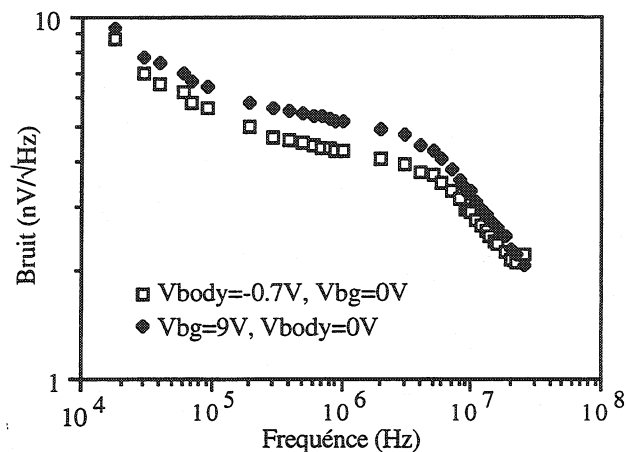


Figure 6.17: Bruit additionnel référé à la grille pour deux conditions de polarisation pour lesquelles la résistance R_{mes} mesurée est la même (environ $12.5 \text{ k}\Omega$).

Les deux bosses ont la même fréquence de coupure, mais le bruit au plateau est différent, ce qui semble mettre en cause le modèle de l'origine résistive. Pour pouvoir vraiment comparer la valeur du bruit au plateau, il est nécessaire de le référer au *body*. Comme on voit dans l'équation (6.14), une différence du rapport des transconductances dans les deux conditions de polarisation peut être responsable de la différence du bruit au plateau mesuré à la grille. L'équation (6.14) peut être inversée pour remonter au bruit référé au *body*

$$S_{V_{body}}^2 = S_{V_{grille}}^2 \left(\frac{g_m}{g_{mb}} \right)^2 \quad (6.16)$$

L'application de l'équation (6.16) sur les spectres de bruit de la Figure 6.17, nous permet de comparer le bruit référé au *body* dans les deux différentes conditions de polarisation. Le résultat est montré en Figure 6.18, pour les fréquences où la composante additionnelle de bruit est mieux visible. Le bruit au plateau référé au *body* ($S_{V_{body}}$) dans les deux conditions de polarisation est le même, $S_{p1} \approx 7 \text{ nV}/\sqrt{\text{Hz}}$. Cette même expérience a été répétée en choisissant deux polarisation pour lesquelles $R_{mes} \approx 30 \text{ k}\Omega$ avec le même résultat.

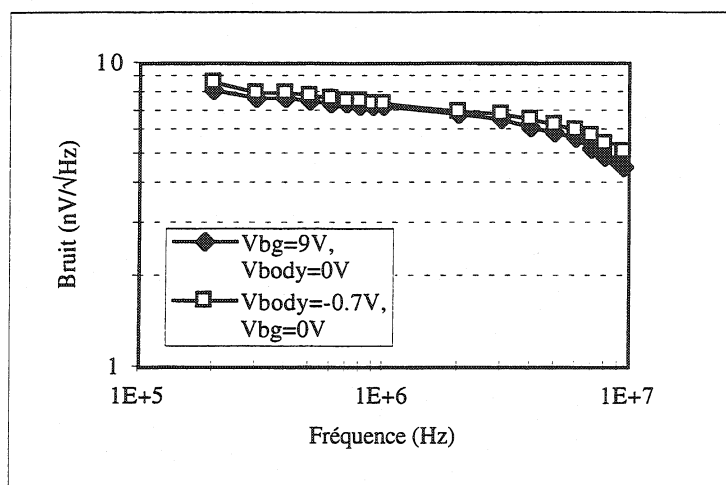


Figure 6.18: Bruit additionnel référé au *body* pour les mêmes deux conditions de polarisation de Figure 6.17.

Résultats en régime ohmique de fonctionnement

La mesure de R_{mes} en fonction de la tension de drain a montré que la résistance du film ne change pas avec V_d . Mais le régime de fonctionnement du transistor, au contraire, change avec la polarisation du drain et le transistor passe de la saturation au régime linéaire (ou ohmique), et par conséquent aussi la formulation des transconductances de *body* et de grille. Il est intéressant de vérifier notre modèle en faisant la comparaison entre deux conditions de polarisation, en saturation et en régime ohmique, pour lesquelles la résistance R_{mes} mesurée est la même.

Le système de mesure utilisé pour étudier le bruit en régime ohmique est différent de celui utilisé pour le régime de saturation car l'impédance de sortie du transistor est considérablement plus faible. Les deux systèmes de mesure sont présentés en annexe 4, où on peut voir que la mesure en régime linéaire est limitée en fréquence à environ 1 MHz. Cette limitation ne permet pas une mesure du bruit blanc (le bruit $1/f$ et la bosse de bruit couvrent la contribution thermique à cette fréquence), et on ne peut donc pas le soustraire de la bosse pour obtenir la valeur correcte de bruit au plateau. Pour réduire au minimum l'erreur dans l'estimation de S_{p1} , on a réduit le courant dans le transistor à $400 \mu\text{A}$. Le bruit blanc (en courant) en régime linéaire est en fait directement proportionnel à la tension de grille à travers la formule (6.1). La réduction

du courant est limité par l'exigence de ne pas changer la condition d'inversion, et la valeur de 400 μA a été choisie parce qu'elle garantissait encore l'inversion forte. Dans ces conditions, la résistance de sortie du transistor en régime ohmique, R_{out} , était d'environ 160 Ω , et cette valeur a été utilisée pour convertir en courant le bruit mesuré en tension au drain ($S_I^2 = \frac{S_V^2}{R_{\text{out}}^2}$). Le bruit en courant au drain était ensuite exprimé en tension au *body* à travers la transconductance de *body*, g_{mb} .

Le résultat de la comparaison des deux régimes de fonctionnement est montré, pour deux conditions de polarisation, en tableau 6.III. Pour chaque condition de polarisation la résistance R_{mes} était environ la même en saturation et en régime ohmique. Le bruit au plateau référé à la grille et la transconductance de *body* sont très différents dans les deux régimes, mais le bruit ramené au *body* est dans une fourchette de 20%. Si l'on considère les erreurs associées aux mesures (mesure du bruit, de la résistance de sortie et des transconductances), ce résultat peut bien être considéré une preuve supplémentaire de l'origine résistive de la composante additionnelle de bruit.

Tableau 6.III: Comparaison du bruit à la grille et ensuite référé en tension au body pour le transistor en régime linéaire et saturé. Deux conditions de polarisation sont montrées, dans lesquelles le potentiel de substrat est différent et $V_{\text{body}}=0$ V.

Condition de mesure		S_{pl} (nV/ $\sqrt{\text{Hz}}$) à la grille	g_{mb} (mS)	S_{pl} (nV/ $\sqrt{\text{Hz}}$) au body
$V_{\text{bg}}=13\text{V}$	saturation	45	2.49	69
	ohmique	14.7	1.37	67.1
$V_{\text{bg}}=12\text{V}$	saturation	17.5	2.59	25.5
	ohmique	6.6	1.39	30.2

Vérification quantitative du modèle: estimation de la résistance et de la capacité RC

A partir du bruit au plateau mesuré au *body* on peut estimer la résistance R_{body} , c'est à dire la résistance équivalente responsable de la bosse de bruit. On parle ici de résistance équivalente à cause de la nature distribuée de la vraie R_{body} . La valeur obtenue, avec l'estimation de la constante de temps τ , permet de calculer approximativement la capacité C présente dans notre modèle et de la comparer avec C_{ox} . La constante de temps peut être estimée à partir de la fréquence de coupure f_c de la bosse de bruit. Dans le tableau 6.IV, le résultat de ces calculs pour les deux conditions de polarisation du tableau 6.III est montré. Pour l'évaluation de la résistance, un bruit au plateau moyen entre les régimes ohmique et saturé a été utilisé.

Les valeurs obtenues en tableau 6.IV pour R_{body} et C sont en bon accord avec les valeurs qu'on pouvait prévoir avec le modèle proposé. En ce qui concerne la résistance R_{body} , sa valeur estimée est environ 4 à 5 fois inférieure à R_{mes} . Si l'on considère la

différence conceptuelle entre R_{body} et R_{mes} , il semble logique que R_{mes} soit plus grande que la vraie résistance R_{body} responsable du bruit. Pour la capacité, le modèle affirme qu'elle est attribuable à la mise en parallèle des capacités de l'oxyde de grille et de l'oxyde enterré. Pour le transistor de test mesuré, ces deux capacités ont des valeurs respectives de 13.5 et 1.6 pF. La capacité C vaut donc environ 15 pF. Néanmoins, la capacité totale C_{bb} vue par le *body* est une fraction de cette capacité. Pour les transistor sur silicium massif, C_{bb} peut être exprimée par [30]:

$$\text{en régime ohmique} \quad \Rightarrow C_{bb} = \delta_1 C_{ox}$$

$$\text{en régime de saturation} \quad \Rightarrow C_{bb} = \left(\frac{2}{3} \delta_1 + \frac{\delta_1}{3(1 + \delta_1)} \right) C_{ox}$$

où $\delta_1 \approx \delta$ de l'équation (6.11). Si on suppose que ces mêmes équations restent valables approximativement pour le SOI, on obtient pour C_{bb} une valeur comprise entre environ $4/9$ et $1/2 C_{ox}$, c'est à dire, dans notre cas, entre 6.6 et 7.5 pF. La capacité extraite des mesures de bruit conformément à notre modèle, reportée en tableau 6.IV, est bien en accord avec ces valeurs, ce qui représente une vérification quantitative du modèle de l'origine résistive de la bosse de bruit.

Tableau 6.IV: Résultats du calcul qui amène à l'estimation de la capacité C pour les deux conditions de polarisation de tableau 6.III.

	$V_{bg}=12V$	$V_{bg}=13V$
R_{body}	48.8 k Ω	289 k Ω
Fréquence de coupure, f_c	500 kHz	70 kHz
Constant de temps, τ	318 ns	2.27 μ s
Capacité du circuit RC	6.5 pF	7.8 pF

Efficacité du filtre RC

Le filtre RC prévu par notre modèle coupe le bruit blanc de la résistance de *body* à la fréquence $1/2\pi\tau$, mais il devrait couper à la même fréquence tout signal injecté par le *body*. Pour obtenir cette importante confirmation de l'origine de la bosse, on a modifié le système de mesure pour permettre de mesurer la fonction de transfert $T(f)$ (qui est la réponse fréquentielle du système) pour une injection au *body*. Le résultat est montré en Figure 6.19 pour deux conditions de polarisation. Le bruit référé à la grille en tension et la fonction de transfert pour injection au *body* sont comparés, et l'équivalence de la fréquence de coupure entre les deux courbes à chaque condition de polarisation est la preuve la plus éloquente de la validité de notre modèle.

La fonction de transfert pour injection au *body* peut être utilisée pour référer au *body* le bruit mesuré au drain. Le résultat de cette opération est montré en Figure 6.20 pour les deux conditions de polarisation de Figure 6.19. En accord avec le modèle, au *body* le

bruit généré par la résistance du film de silicium n'est pas filtré par le circuit RC et se manifeste donc comme un bruit thermique indépendant de la fréquence (bruit blanc).

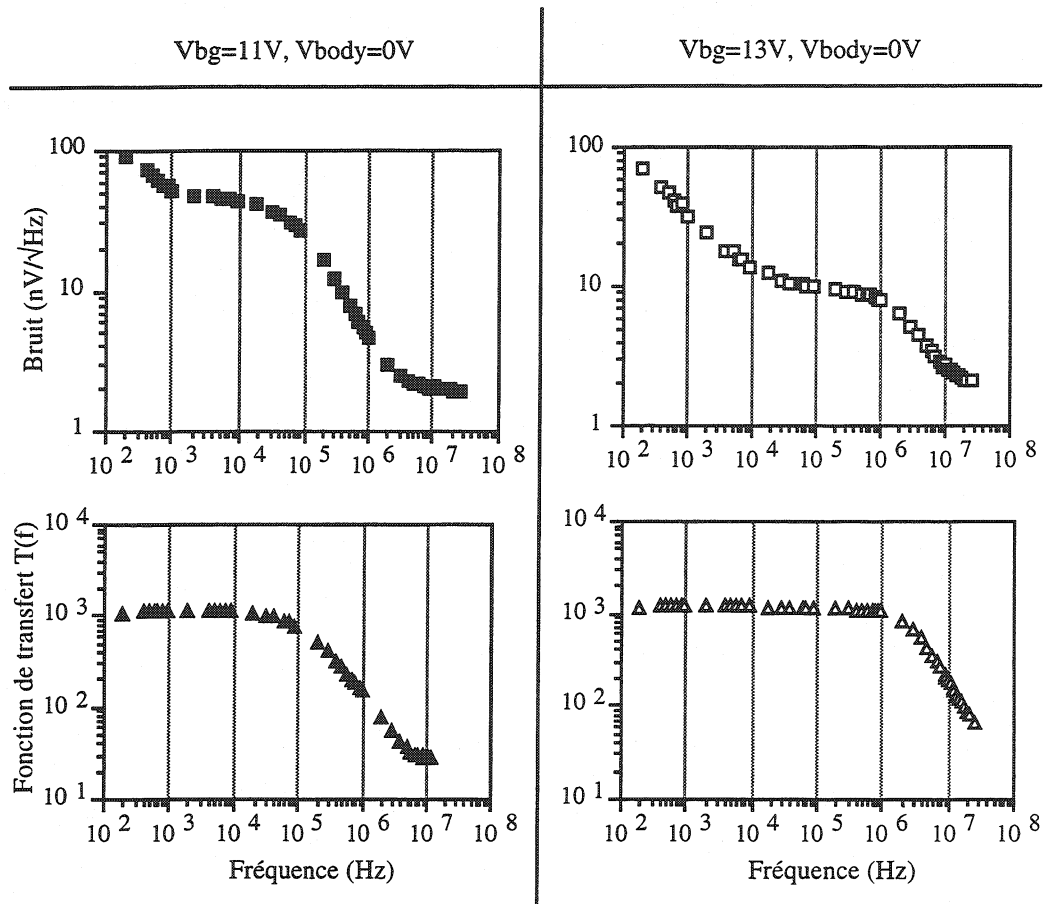


Figure 6.19: Bruit référé à la grille et réponse fréquentielle pour injection au body pour deux conditions de polarisation.

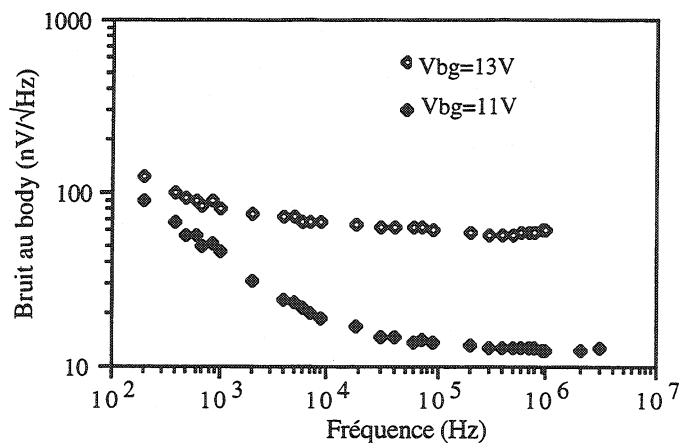


Figure 6.20: Bruit référé au body à travers la fonction de transfert $T(f)$ de la Figure 6.19. La bosse n'apparaît plus car le bruit de la résistance n'a pas encore été coupé par le filtre RC équivalent.

Mesure du bruit d'un transistor avec $L=8\ \mu\text{m}$

Un transistor à canal n de taille 2500/8 a été inclus dans les structures de test pour l'étude de l'origine de la bosse de bruit. On a vu en Figure 6.10 que le bruit au plateau diminue pour des longueurs de canal croissantes, et on a expliqué cela par la diminution de la résistance de *body*. De la même façon, la fréquence de coupure augmente avec la longueur du canal. Cet effet devrait être bien évident sur un transistor de grande longueur, et pour cette raison on a mesuré le bruit d'un transistor avec $L=8\ \mu\text{m}$. Le résultat de la mesure est résumé en Figure 6.21 pour $V_{\text{body}}=-1.2\ \text{V}$ et le substrat à la masse. La fréquence de coupure pour injection au *body*, déterminée par la constante de temps du filtre RC, est environ 8 MHz. Malgré la grande capacité C due à la grande surface de grille du transistor, τ vaut environ 20 ns et cela signifie que la résistance du film est de l'ordre du $\text{k}\Omega$.

En Figure 6.21 on voit que la fréquence de coupure pour injection au *body* ou pour injection à la grille est environ la même, et la variation de l'amplitude est due à la différence entre la transconductance de grille ($g_m=5.35\ \text{mS}$) et de *body* ($g_{mb}=2.21\ \text{mS}$). Le bruit mesuré au *body* est par conséquent égal au bruit mesuré à la grille transféré par le rapport des transconductances au carré, et cela pour toutes les fréquences. La bosse de bruit n'est pas visible, mais elle existe, avec une fréquence de coupure un peu plus élevée que la fréquence de coupure de notre système de bruit. Elle serait visible dans le spectre s'il nous était possible d'effectuer les mesures jusqu'à une centaine de MHz.

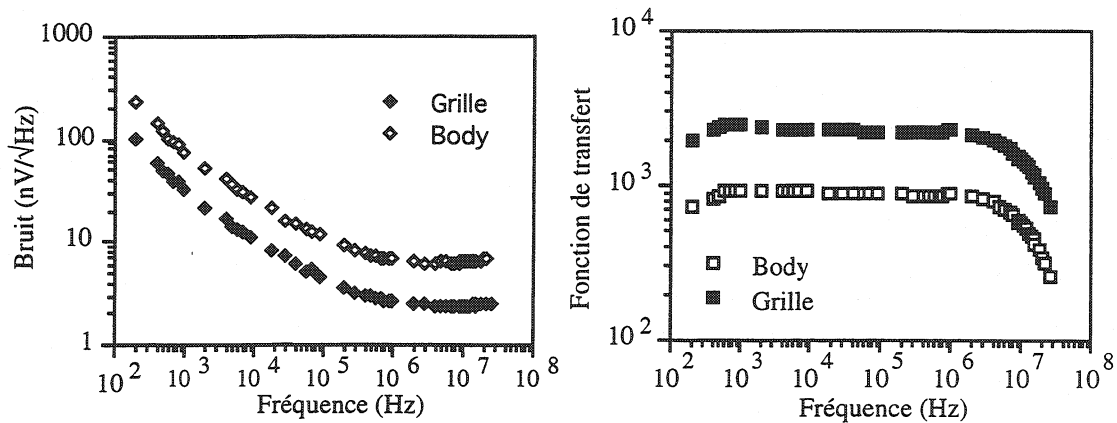


Figure 6.21: Bruit référé à la grille et au *body* et fonction de transfert pour injection au *body* pour le transistor de taille 2500/8. La polarisation pendant la mesure est $V_{bg}=0\ \text{V}$, $V_{\text{body}}=-1.2\ \text{V}$.

A partir de la fréquence de coupure de la fonction de transfert pour injection au *body* de Figure 6.21, nous avons estimé une résistance de *body* de l'ordre de $1\ \text{k}\Omega$. Une autre estimation pour R_{body} peut venir du bruit au plateau référé au *body*, $4kTR_{\text{body}}$. Le plateau de la bosse en Figure 6.21 est la région plate à haute fréquence, où il y a aussi la contribution du bruit blanc du canal de conduction. Pour soustraire cette contribution

et avoir le bruit au plateau il est possible, faute de pouvoir la mesurer à cause de la limitation fréquentielle du système de mesure, de la déterminer à partir de l'équation (6.10). La valeur du bruit blanc de la résistance de *body* ainsi obtenue est référée à la grille, et on peut la transférer au *body* toujours grâce aux transconductances g_m et g_{mb} . Le résultat est $S_{pl} \approx 4.7 \text{ nV}/\sqrt{\text{Hz}}$, ce qui donne pour la résistance de *body* la valeur $R_{body} \approx 1.38 \text{ k}\Omega$, qui est en accord avec l'estimation obtenue à partir de la fréquence de coupure.

Evolution avec l'irradiation

Il n'y a pas de raison pour que l'irradiation γ avec une source de ^{60}Co modifie fondamentalement le bruit dû à la résistance de *body*. Néanmoins la condition de fonctionnement du transistor change avec l'irradiation, à polarisation constante, à cause du déplacement du seuil (face avant et face arrière). Si les conditions de polarisations sont ajustées pour neutraliser cet effet, la bosse est identique avant et après l'irradiation.

En Figure 6.22 on montre la relation entre le bruit au plateau et la fréquence de coupure de la bosse de bruit avant et après l'irradiation. Cette relation peut être obtenue à partir des équations (6.14) et (6.15) dans la forme:

$$S_{pl} = \sqrt{\frac{4kT}{2\pi C}} \left(\frac{g_{mb}}{g_m} \right) \frac{1}{\sqrt{f_c}} \quad (6.17)$$

Le bruit au plateau est lié à la fréquence de coupure par une proportionnalité à l'inverse de la racine carrée, ce qui est confirmé par les mesures de la Figure 6.22. En effet, en échelle logarithmique, les points se trouvent sur une ligne droite dont la pente vaut $-1/2$, ce qui confirme encore le modèle sur l'origine résistive de la bosse. En plus, les points mesurés avant et après deux doses intégrées différentes se trouvent sur la même ligne, ce qui prouve que le rapport entre les transconductances ne change pas avec l'irradiation.

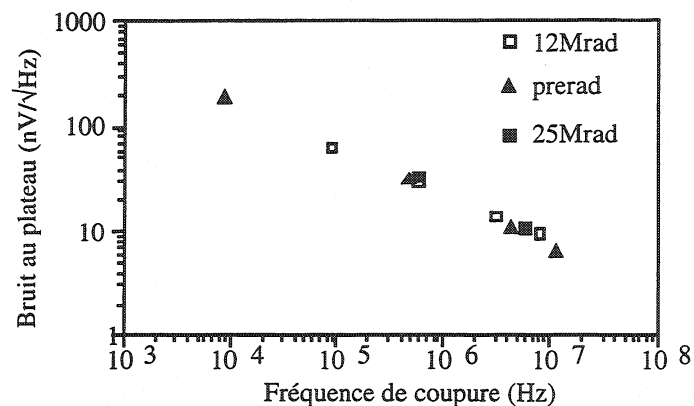


Figure 6.22: Relation entre le bruit au plateau et la fréquence de coupure de la bosse de bruit avant et après irradiation.

6.6.3 Considérations sur la composante additionnelle de bruit

Toutes les mesures effectuées ont confirmé que l'origine de la composante additionnelle de bruit est le bruit blanc de la résistance de *body*. Ce bruit est coupé à une fréquence qui dépend des conditions de polarisation par un circuit RC constitué par la résistance de *body* même et la capacité de grille. Ce phénomène est-il spécifique à la technologie étudiée?

L'idée d'une résistance du substrat n'est pas nouvelle en micro-électronique. Depuis longtemps les concepteurs de circuits analogiques savent que pour diminuer le bruit provenant du substrat il faut mettre de nombreux contacts de substrat dans le circuit, surtout à proximité des transistors les plus importants pour la performance en bruit du circuit. Ce qui n'avait jusqu'à présent encore pas été imaginé, c'est la valeur que cette résistance peut atteindre dans des conditions spécifiques. Dans les technologies sur silicium massif, l'épaisseur et le dopage du silicium sont suffisants pour obtenir une faible résistance qui peut au pire augmenter de quelque 10% le bruit. Dans les technologies sur isolant, l'introduction de l'oxyde enterré crée une nouvelle entité, le film de silicium ou *body*, qui joue un rôle similaire à celui du substrat en technologie sur silicium massif. L'épaisseur de ce film peut être, dans les technologies sur film mince ou moyen, de l'ordre de 80 à 150 nm ou plus faible, et par conséquent sa résistance peut atteindre des valeurs considérables.

Dans les technologies à film moyennement déserté pour lesquelles on a choisi d'utiliser les contacts de *body*, la résistance du film peut sans doute représenter une contribution importante au bruit du transistor. L'importance de la contribution additionnelle sur le bruit total dépend naturellement de la résistivité du film et donc des dopages et des épaisseurs spécifiques de la technologie. Néanmoins, une contribution additionnelle similaire à celle observée pour HSOI3-HD a été vue aussi pour d'autres technologies à film moyennement déserté [31, 32]. Il semble donc que la grande résistance du film soit plutôt la règle que l'exception pour ces technologies.

Pour les technologies à film totalement déserté sans contact de *body*, il est difficile avec les éléments à disposition de formuler des hypothèses. Le film étant par conception complètement déserté, sa résistance est sûrement très élevée. La mesure du bruit de ces technologies semble nécessaire pour voir si la composante additionnelle apparaît dans le spectre, et son amplitude. Cela constitue une étude très intéressante, qui n'a pas pu être effectuée dans notre recherche parce que des transistors à film totalement déserté ne nous étaient pas disponibles.

6.7 Synthèse

Dans ce chapitre, on a examiné la performance en bruit de la technologie HSOI3-HD. Dans le spectre de bruit des transistors, une composante additionnelle de bruit, qui se superpose aux sources de bruit blanc et $1/f$, a été identifiée. Cette "bosse" de bruit peut être déplacée en fréquence et en amplitude en changeant la polarisation du *body* ou du substrat (*backgate*). Chaque source du bruit ($1/f$, blanc et additionnelle), et ses variations avec l'irradiation, a été étudiée.

Pour ce qui concerne le bruit *flicker* ($1/f$), les transistors à canal p ont une performance meilleure des transistors à canal n. L'origine enterré du canal, et la plus grande barrière pour injection de porteurs dans l'oxyde pour les trous que pour les électrons, peuvent expliquer cet effet. L'irradiation augmente considérablement le bruit $1/f$ des transistors NMOS et PMOS, de l'ordre de 500% après 12 Mrad pour les NMOS et de 300% pour les PMOS. Cette augmentation, qui a pu être mise en relation avec le piégeage de charge dans l'oxyde (ΔD_{ot}), montre un effet de saturation avec la dose intégrée.

Le bruit blanc des transistors NMOS est, avant l'irradiation, plus faible que celui des transistors PMOS. Cet effet est provoqué par la haute valeur du coefficient de bruit en excès (Γ) des transistors à canal p, qui vaut 1.92. Avec l'irradiation, la diminution de la transconductance du transistor NMOS est plus importante que pour le PMOS, et les deux transistors présentent un bruit blanc similaire. L'augmentation du bruit blanc est d'environ 45% pour les PMOS et 60% pour les NMOS après 25 Mrad. Comme pour le bruit $1/f$, on voit pour le bruit blanc un effet de saturation avec la dose intégrée.

Un modèle qui explique l'origine de la composante additionnelle de bruit a été proposé. Ce modèle introduit une résistance, appelée R_{body} , qui est associée à la résistance du film de silicium. Cette résistance génère un bruit thermique (blanc) qui est transmis en courant au drain du transistor à travers la transconductance de *body*. Un filtre RC, constitué par R_{body} et le parallèle entre les capacités de grille de face avant et de face arrière, atténue le bruit blanc de la résistance à partir de la fréquence de coupure $1/2\pi RC$; par conséquent la contribution additionnelle apparaît comme une bosse dans le spectre de bruit.

Ce modèle a été confirmé par une série d'observations expérimentales sur des transistors spécialement conçus pour pouvoir mesurer la résistance du film de silicium.

L'irradiation jusqu'à une dose intégrée de 25 Mrad ne modifie pas la résistance de *body*, et les caractéristiques de la composante additionnelle ne changent pas.

La présence d'une composante additionnelle dans le spectre de bruit a été déjà observé, sans explication satisfaisante sur son origine, dans autres technologies sur isolant à film moyennement déserté, et ne semble donc pas être spécifiquement liée à la technologie utilisée pour cette étude.

Chapitre 7

Circuits en technologie HSOI3-HD: convertisseur analogique-numérique (HADC11)

L'étude des performances d'une technologie microélectronique durcie aux effets des radiations, qui commence par l'évaluation des transistors, doit être complétée par la conception et la mesure de plusieurs circuits qui réalisent des fonctions analogiques et numériques choisies dans le cadre de l'application visée. Dans ce but, plusieurs circuits dont l'architecture est typique de l'électronique pour la physique des particules ont été intégrées en HSOI3-HD. Le comportement de ces puces avant et après irradiation a ensuite été mesuré, et cela à des niveaux de dose intégrée différents. Dans ce chapitre, les résultats de l'intégration d'un convertisseur analogique-numérique et les mesures de sa tenue à la dose intégrée sont présentés.

7.1 Architecture du convertisseur analogique-numérique

Le convertisseur analogique-numérique qui a été développé en technologie HSOI3-HD, nommé HADC11, réalise une conversion non linéaire à 11 bits de dynamique. Il utilise une architecture, déjà développée pour des applications à faible consommation en physique des particules [1], née de l'exigence d'une conversion à très faible consommation et avec une grande dynamique. La nécessité d'une faible consommation est une conséquence du nombre de canaux électroniques qui, dans les expériences de physique, doivent souvent être intégrés dans un espace très limité. Ces circuits doivent aussi fonctionner à une fréquence de 5-20 MHz, ce qui demande une architecture spécialement conçue. HADC11 a été développé pour la conversion de signaux de tension négatifs d'une valeur comprise entre 0 V et -2.048 V.

7.1.1 Architecture globale

L'architecture globale du circuit, montrée en Figure 7.1, consiste en un échantillonneur-bloqueur (*track and hold*, T&H) suivi d'un convertisseur analogique-numérique à deux étapes. La première étape est une conversion à 2 bits, qui est effectuée par un convertisseur rapide de type *flash* non linéaire [2]. Ce convertisseur utilise une échelle de résistances (dont le rapport des valeurs est R-R-6R-24R) pour partager la dynamique en quatre parties différentes: la dynamique totale de -2.048 V est partagée en quatre segments dont la valeur limite est respectivement -64 mV, -128 mV, -512 mV et -2.048 V. La réponse du convertisseur *flash* sert à déterminer les deux bits de poids fort de la conversion totale (MSB, *most significant bit*) et aussi à choisir la tension de référence (V_{uref}) pour la deuxième étape de conversion. L'échelle de résistances est réalisée avec 32 résistances en polysilicium identiques, d'une valeur nominale de 15 Ω chacune pour un total de 480 Ω .

La deuxième étape est réalisée par un ensemble de 7 convertisseurs à redistribution de charge à 6 bits [3]. Chacun d'eux a besoin de 6 cycles d'horloge pour la conversion numérique de 6 bits plus un cycle d'horloge pour l'échantillonnage, soit 7 cycles d'horloge au total. Pour obtenir la même vitesse de conversion que la partie *flash*, on utilise 7 convertisseurs identiques qui fonctionnent entrelacés dans le temps. Avec cette architecture, chaque convertisseur à redistribution de charge fonctionne de façon autonome avec un cycle d'horloge de retard par rapport au convertisseur précédent. Les 7 convertisseurs sont de cette façon simultanément opérationnels, et la partie à redistribution de charge fournit une conversion complète (6 bits) à chaque cycle d'horloge, avec un résultat de conversion qui apparaît 6 cycles après l'échantillonnage.

Le résultat de la conversion est un mot de 8 bits, mais la structure non linéaire du convertisseur assure une dynamique de 11 bits. Les 2 bits de poids fort indiquent le segment de dynamique et les 6 bits de poids faible la conversion numérique dans le segment même: la conversion à 6 bits des signaux appartenant au premier segment (entre 0 et -64 mV) implique un LSB de 1 mV. Par rapport à la dynamique complète (2.048 V) cela représente une conversion avec une précision maximum de 11 bits.

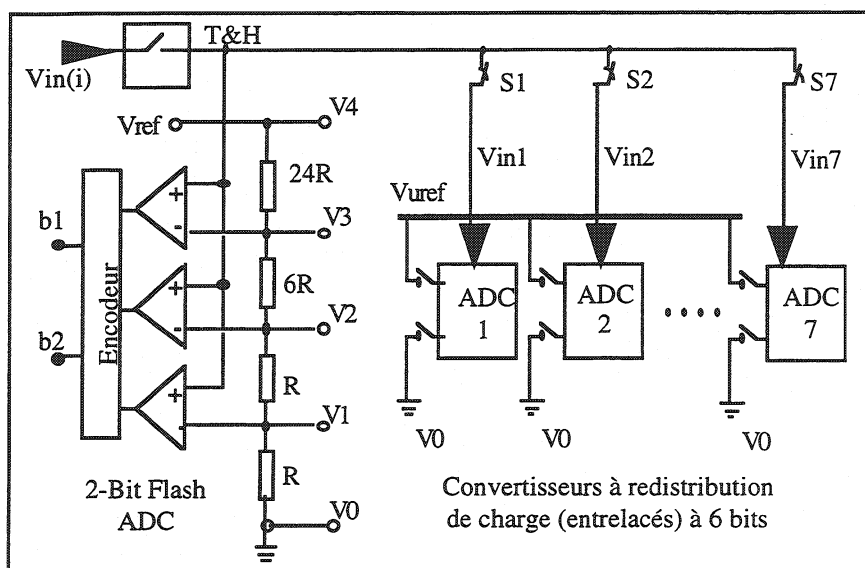


Figure 7.1: Architecture du convertisseur analogique-numérique HADC11, où le circuit échantillonneur-bloqueur (T&H), le convertisseur "flash" et les 7 convertisseurs à redistribution de charge sont mis en évidence.

Le circuit T&H accomplit un échantillonnage du signal d'entrée, qui est rapidement converti par le convertisseur "flash". Ce dernier est constitué par trois comparateurs et une échelle de résistances. Chaque comparateur compare le signal échantillonné avec un niveau de référence ($V1 = -64$ mV, $V2 = -128$ mV ou $V3 = -512$ mV) et l'encodeur codifie leur réponse en deux bits (qui sont les MSB de la conversion) et détermine la tension de référence V_{uref} pour la partie à redistribution de charge.

Un circuit numérique fournit les horloges et contrôle l'ouverture et la fermeture des interrupteurs S1 à S7 qui adressent le signal échantillonné à celui des convertisseurs à 6 bits qui effectuera la conversion en 6 cycles d'horloge.

L'architecture choisie présente plusieurs avantages. D'abord, la conversion par redistribution de charge est très adaptée pour la basse consommation: un convertisseur de 6 bits contient un seul comparateur et une matrice de capacités. Par conséquent HADC11 contient en total seulement 10 comparateurs et un échantillonneur-bloqueur. Ensuite, le choix des 7 convertisseurs à redistribution de charge entrelacés permet à cette partie du circuit de suivre la rapidité de conversion de la partie *flash*. Enfin, le potentiel de référence pour la conversion à redistribution de charge (V_{uref}) vient directement de l'échelle de résistances. Aucune multiplication ou soustraction de la référence n'est donc nécessaire, ce qui n'est pas toujours le cas pour d'autres architectures (*pipelined converters*). Cela permet de réduire encore la consommation du circuit.

7.1.2 Le comparateur

Le comparateur est la partie analogique la plus importante du convertisseur, et détermine les performances en précision et vitesse de l'ADC. Le même comparateur est utilisé, dans l'architecture choisie, pour les 7 convertisseurs à redistribution de charge et dans la partie *flash*. Son architecture utilise le principe du *feedback* positif [6], qui est réalisée avec un étage d'entrée à transconductance, un étage *cascode* replié et un flip-flop de sortie. La polarisation de l'étage *cascode* est telle que l'étage d'entrée ne peut pas saturer, ce qui permet une vitesse plus élevée. Pour atteindre le niveau de précision de conversion visé (1 mV LSB), il est nécessaire d'utiliser une technique pour compenser l'offset du comparateur (offset de la paire différentielle d'entrée) et l'injection de charge sur la capacité à son entrée. Cette opération est accomplie par un intégrateur et un autre étage à transconductance à faible sensibilité, comme montré en Figure 7.2.

Le mécanisme de compensation de l'offset ne fonctionne pas continuellement, mais seulement pendant la phase de compensation qui est déterminée par un signal appelé NVI (*non-valid input*). Il s'agit d'un intervalle de temps pendant lequel la conversion n'est pas exigée, ce qui arrive souvent dans les expériences de physique des particules où les données ne sont codifiées qu'après un niveau de décision (*trigger*). On utilise les intervalles de temps entre triggers pour effectuer la compensation d'offset, tandis que pendant la conversion le mécanisme de compensation n'est pas activé, ce qui permet d'accélérer la vitesse du convertisseur.

Pendant la phase de compensation de l'offset, une tension constante V_{incr} est soustraite ou additionnée à l'offset du comparateur à chaque cycle d'horloge jusqu'à l'annulation de ce dernier. Après la compensation, l'offset résiduel oscille entre 0 et $\pm V_{incr}$. L'efficacité de la compensation d'offset est par conséquent déterminée par la capacité de

générer de faibles tensions V_{incr} . Cela est obtenu en utilisant la petite injection de charge résiduelle générée par deux transistors (à canal p et n et de taille minimale) commutés à l'entrée de l'intégrateur, comme montré en Figure 7.2.

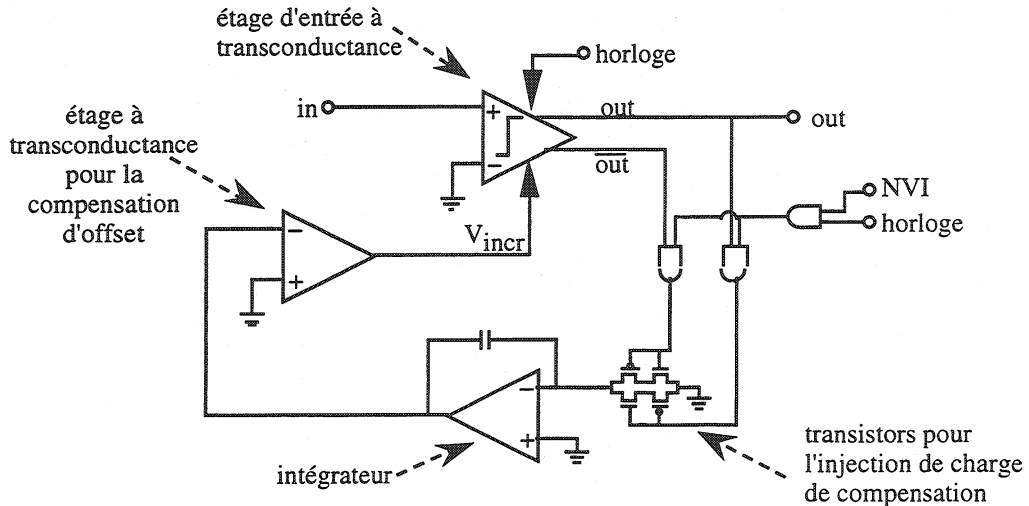


Figure 7.2: Architecture du comparateur avec compensation d'offset.

7.2 Le circuit échantillonneur-bloqueur

Pour la conversion, la partie à redistribution de charge a besoin d'une tension d'entrée stable pendant la moitié de la période d'horloge. Cette fonction est accomplie par le circuit échantillonneur-bloqueur dont l'architecture est montrée en Figure 7.3. L'amplificateur opérationnel fonctionne en gain unité, et deux capacités identiques se trouvent aux deux noeuds de l'interrupteur d'échantillonnage ($S_{t\&h}$). Pour réduire l'injection de charge, deux interrupteurs "dummy" ont été intégrés aux bornes de l'interrupteur principal, fonctionnant en opposition de phase. L'injection de charge de l'interrupteur principal est ainsi compensée par l'injection opposée des deux interrupteurs "dummy" dont la taille est la moitié de celle du $S_{t\&h}$. L'amplificateur opérationnel utilise une architecture classique à deux étages dont la stabilité est assurée par une compensation réalisée avec une capacité Miller et une résistance en série. Cette architecture très commune est bien expliquée dans la littérature [4, 5].

Dans le but de caractériser la technologie HSOI3-HD, on a intégré le circuit échantillonneur-bloqueur dans une puce de test. La mesure individuelle de ce circuit permet à la fois d'étudier la performance d'un circuit analogique avant et après irradiation et aussi d'évaluer l'injection de charge des interrupteurs qui, comme on l'a vu au chapitre 5, semble être un point sensible des technologies SOI.

Avant irradiation, le circuit fonctionne conformément aux résultats des simulations. Avec un courant total d'environ 2 mA, la consommation du circuit est de 12 mW. Cette consommation relativement élevée est nécessaire pour satisfaire le cahier de charge de l'échantillonneur-bloqueur pour l'ADC. La vitesse du convertisseur ne doit

pas être limitée par le T&H: comme le convertisseur est conçu pour un fonctionnement jusqu'à 20 MHz, l'échantillonneur-bloqueur doit avoir un temps de stabilisation du signal inférieur à 50 ns. Cette vitesse, avec la capacité de charge de 10 pF représentée par la matrice de capacités du convertisseur à redistribution de charge, peut être atteinte en technologie HSOI3-HD seulement au prix d'un courant très élevé. Ce résultat, qui a été confirmé dans d'autres architectures analogiques, montre que la grande capacité de grille des transistors en technologie HSOI3-HD représente une pénalisation importante dans la conception de circuits rapides à faible puissance. La grande capacité de grille, nettement supérieure à celle qu'on peut trouver dans d'autres technologies de longueur de grille comparable ($L=1.2-1.4 \mu\text{m}$), est due aux choix technologiques liés au durcissement contre les effets des rayonnements.

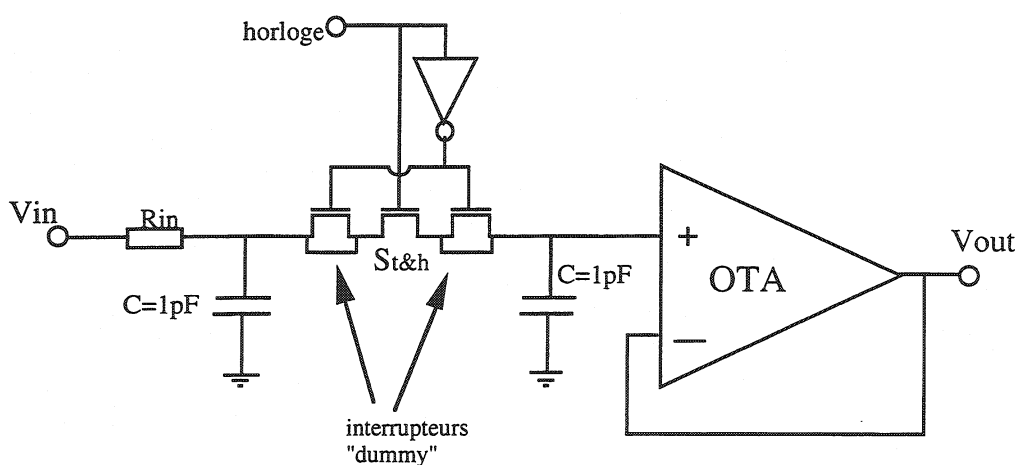


Figure 7.3: Architecture du circuit échantillonneur-bloqueur. $S_{t\&h}$ est l'interrupteur qui contrôle la fonction d'échantillonnage.

L'irradiation, effectuée avec les rayons γ d'une source au ^{60}Co jusqu'à une dose intégrée de 10 Mrad, ne modifie pas le fonctionnement d'ensemble du circuit. Le temps de montée, qui était de 16 ns avant irradiation, augmente à 18 ns après 10 Mrad, comme montré en Figure 7.4. Le changement le plus remarquable en Figure 7.4 est l'augmentation de la charge injectée par l'interrupteur $S_{t\&h}$, qui était à peine visible avant l'irradiation. Exprimée en tension, cette injection représente un signal de 3 mV avant l'irradiation et de 30 mV après.

On peut supposer que le système de compensation de la charge injectée, constitué par les deux interrupteurs "dummy", ne fonctionne plus correctement après irradiation. Cela peut être partiellement expliqué par la variation de la tension de seuil, qui est très différente entre transistors à canal n et p et qui modifie la réponse temporelle de l'inverseur en Figure 7.2. Le signal d'horloge qui, à travers cet inverseur, arrive à la grille des deux interrupteurs "dummy" n'est plus exactement en opposition de phase avec celui qui contrôle la fermeture de $S_{t\&h}$, et la charge injectée par ce dernier interrupteur n'est plus absorbée complètement par le système de compensation. Ce phénomène n'explique pas l'importance de la charge injectée.

L'injection parasite de charge est systématique et peut par conséquent être corrigée au niveau de l'ADC en modifiant les tensions de référence. Le fonctionnement global du convertisseur n'est pas touché par ce phénomène d'injection dans le circuit échantillonneur-bloqueur.

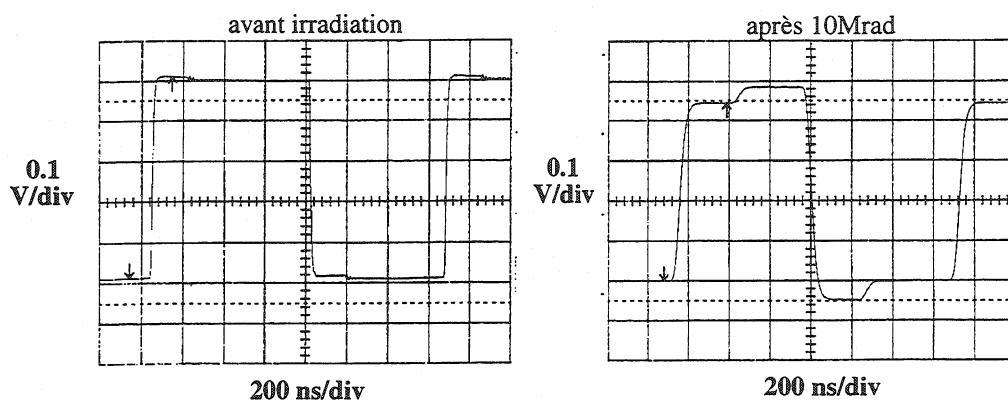


Figure 7.4: Réponse du circuit échantillonneur-bloqueur à un signal de 500 mV. La grande injection parasite de charge qui est visible après irradiation provient de l'ouverture de l'interrupteur $S_{t\&h}$.

7.3 Résultats sur le convertisseur HADC11

Le circuit convertisseur a été intégré en technologie HSOI3-HD sur une puce de $5 \times 3 \text{ mm}^2$. En Figure 7.5 on voit une photo de la puce montée dans un boîtier céramique. Sur 20 circuits mesurés, un rendement (*yield*) de 75% a été observé, ce qui représente un bon résultat pour un lot d'étude et un montage prototype.

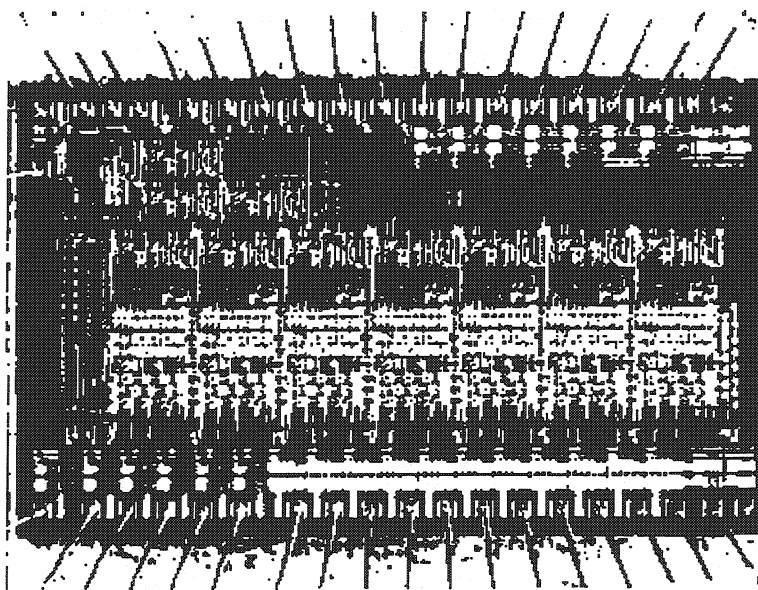


Figure 7.5: Photographie du circuit HADC11 monté dans un boîtier céramique.

7.3.1 Résultats avant irradiation

Vitesse

La vitesse maximum de fonctionnement du convertisseur est de 16 MHz. À cette vitesse, une onde sinusoïdale est encore convertie correctement, mais l'erreur sur la conversion est assez importante. Cela est évident en Figure 7.6, où une le résultat de la conversion d'une sinusoïde de 64 mV d'amplitude est montrée. À partir d'une fréquence de 12 MHz, la réponse du convertisseur commence à être imprécise: la dispersion des codes de conversion augmente et des erreurs d'offset deviennent évidents. Cependant, la spécification en vitesse de 5 MHz pour ce circuit est atteinte.

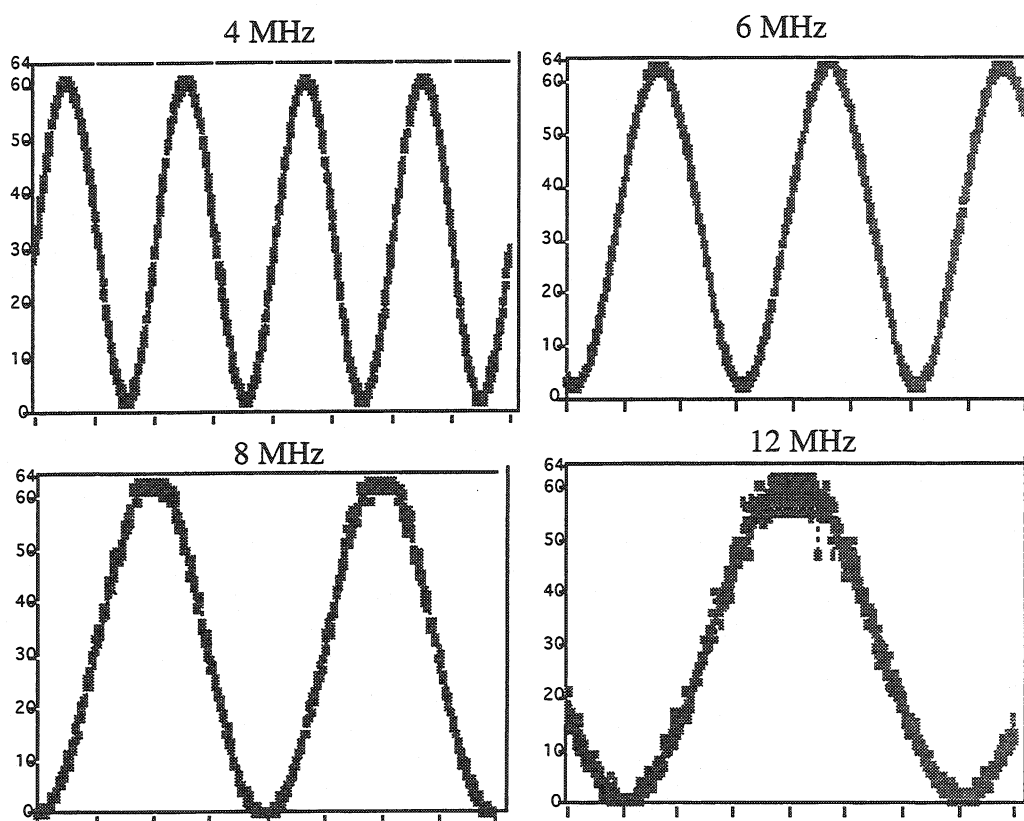


Figure 7.6: Conversion d'une sinusoïde à une fréquence de 20 kHz pour différentes fréquences de fonctionnement du convertisseur.

Consommation

La consommation de HADC11 a été mesurée à plusieurs fréquences, et le résultat est montré en Figure 7.7. La consommation totale peut être partagée en trois contributions: (a) la consommation de la partie analogique, (b) la consommation de la partie numérique, qui est dépendante linéairement de la fréquence de fonctionnement, et (c) la

consommation de l'échelle de résistances qui est nécessaire à générer les tensions de référence. Les trois contributions sont distinguées en Figure 7.7. A une fréquence de fonctionnement de 5 MHz, la consommation totale de la puce est de 48 mW, ce qui représente une bonne performance pour un convertisseur à 11 bits de dynamique.

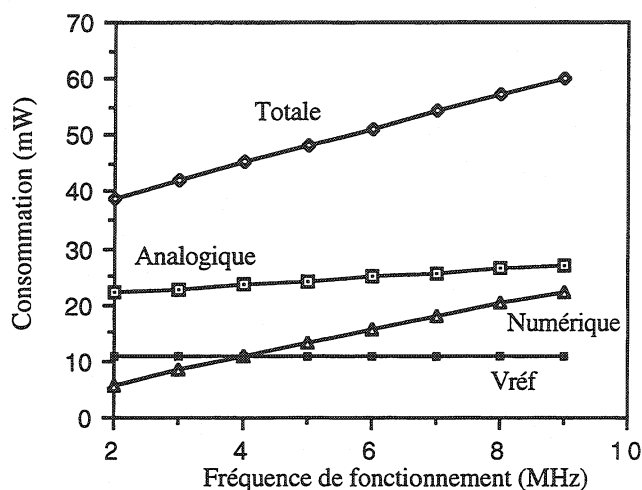


Figure 7.7: Consommation de l'ADC avant irradiation. La consommation totale est partagée en trois contributions: (a) partie analogique, (b) partie numérique et (c) échelle de résistances (Vref).

Le courant qui passe dans l'échelle de résistances est de 5.2 mA pour une tension de 2.048 V, ce qui implique que la valeur des 32 résistances est de 12Ω , inférieure à la valeur nominale de 15Ω . La consommation de cette partie du circuit est par conséquent plus importante que prévue, et contribue à augmenter la consommation totale du circuit qui est déjà assez élevée. La même architecture, intégrée dans une technologie $1.5 \mu\text{m}$ non durcie, consommait à 5 MHz seulement 25 mW, presque la moitié que HADC11. La pénalisation en consommation vient, principalement, de la grande capacité de grille des transistors en technologie HSOI3-HD.

Linéarité

Les mesures de linéarité intégrale (INL) et différentielle (DNL) ont été effectuées en utilisant une rampe de tension à une fréquence de 5 kHz, dont l'amplitude était adaptée au segment sous test. Pendant la mesure, les 7 convertisseurs à redistribution de charge fonctionnent en parallèle et montrent une bonne uniformité en offset et linéarité. En Figure 7.8, le résultat de la mesure de la linéarité (INL et DNL) est montré pour chaque segment à une fréquence d'échantillonnage de 5 MHz: la linéarité est pour tous les segments inférieure à ± 0.5 LSB, ce qui est très satisfaisant.

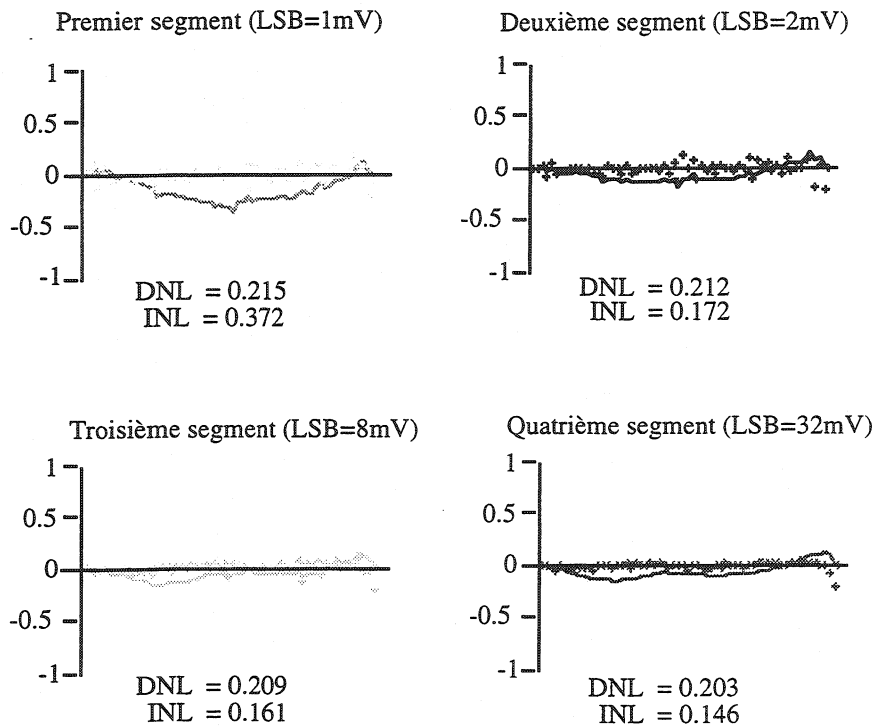


Figure 7.8: Résultats des mesures de linéarité sur HADC11. Chaque segment est caractérisé séparément, et pour tous la linéarité est inférieure à ± 0.5 LSB.

7.3.2 Résultats après irradiation

L'irradiation sur le convertisseur a été effectuée, avec une source de rayons γ en ^{60}Co , jusqu'à une dose intégrée de 10 et 20 Mrad. Le résultat pour les deux doses est très similaire.

Après irradiation à 10 Mrad, HADC11 ne fonctionne plus correctement à cause d'un grand offset des comparateurs. Cet offset est déjà bien visible dans la partie *flash* du comparateur. L'échelle de résistances continue à fournir les tensions de référence correctes, mais la réponse des comparateurs est caractérisée par un offset négatif qui n'est pas constant pour les 3 comparateurs, et qui est de l'ordre de -100 mV. À cause de cet effet, la réponse de la partie *flash*, qui détermine la tension de référence pour la conversion des convertisseurs à redistribution de charge, est fautive. Par exemple, un signal de -150 mV est converti par la partie *flash* comme appartenant au premier segment (0/-64 mV): la tension de référence pour la conversion à redistribution de charge reste -64 mV, et le signal de -150 mV sature le convertisseur à 6 bits qui le codifie toujours avec le code maximum 64. Cet effet est bien visible en Figure 7.9, qui montre la réponse du convertisseur à une sinusoïde de 2.048 V d'amplitude. Dans cette figure, les plateaux qui appartiennent aux trois premiers segments peuvent être attribués à la saturation des convertisseurs à redistribution de charge.

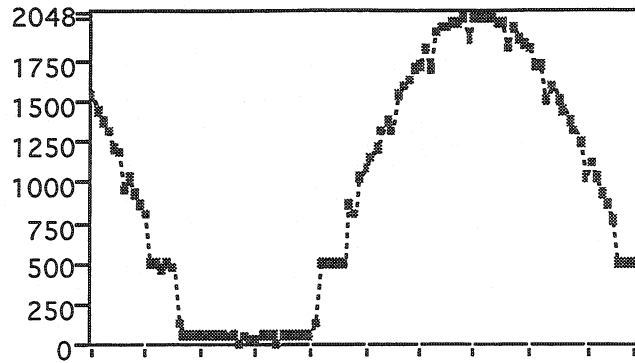


Figure 7.9: Réponse du convertisseur (après irradiation à 10 Mrad) à une sinusoïde qui couvre toute la dynamique. La fréquence d'échantillonnage est 5 MHz, et la fréquence de la sinusoïde est 20 kHz.

En Figure 7.9 on voit aussi que, à l'intérieur de chaque segment de conversion, l'offset des convertisseurs à redistribution de charge n'est pas constant. Pour mieux observer cet effet, on a forcé la conversion dans chaque segment (ce qui est prévu dans l'architecture de HADC11) de façon à imposer la tension de référence pour la partie à redistribution de charge. Le résultat de cette mesure, illustré en Figure 7.10 pour un signal sinusoïdal dont l'amplitude change avec le segment mesuré, montre que l'offset n'est pas constant entre les 7 convertisseurs à 6 bits. Chaque convertisseur à redistribution de charge a un offset constant différent des autres, ce qui explique la période de 7 codes dans le "pattern" de conversion de la Figure 7.10.

Le mauvais fonctionnement du convertisseur après irradiation ne peut pas être corrélé directement au comportement des transistors élémentaires dans cette technologie. L'irradiation des transistors, comme on l'a vu en chapitre 6 et en chapitre 7, cause une dégradation des caractéristiques analogiques (tension de seuil, transconductance, bruit, courant de fuite) qui ne justifie pas un changement si fondamental de la réponse du convertisseur. Les mesures effectuées sur d'autres circuits purement analogiques en technologie HSOI3-HD ont montré une diminution des performances (vitesse, bruit) des circuits, qui pouvaient toujours être mises en relation directe avec les paramètres fondamentaux des transistors. Ce n'est pas le cas ici.

Deux hypothèses, qui ne s'excluent mutuellement pas, peuvent être formulées. L'étage d'entrée, l'intégrateur et l'étage à transconductance à faible sensibilité pour la compensation d'offset utilisent tous une architecture différentielle. Cette architecture nécessite un bon appariement des transistors dans les deux branches. Si l'irradiation modifie de façon différente ces transistors, il y a une génération d'offset qui, si elle est trop grande, ne peut pas être corrigée par le circuit de compensation. Une mesure de l'appariement en fonction de la dose totale n'a jamais été effectuée dans l'étude de la technologie HSOI3-HD, et les circuits analogiques intégrés n'avaient pas une architecture différentielle.

Le point de départ de la seconde hypothèse est le fonctionnement synchrone du comparateur. Le résultat montré précédemment sur le circuit échantillonneur-bloqueur a mis en évidence un problème d'injection de charge des transistors interrupteurs analogiques. Le comparateur, qui fonctionne avec un horloge, utilise un nombre important d'interrupteurs analogiques, et l'injection de charge est particulièrement critique. Une injection légèrement asymétrique entre les deux branches différentielles d'un comparateur implique un offset important dans la réponse du comparateur. Cette deuxième hypothèse semble plus acceptable car l'offset après irradiation de tous les comparateurs est toujours négatif, ce qui implique une erreur systématique dans le même sens. Cela n'est pas probable si l'origine était une fluctuation aléatoire d'appariement. En plus, le *layout* des transistors dans les deux branches des étages du comparateur a été conçu pour améliorer l'appariement, en utilisant des techniques généralement efficaces à ce but.

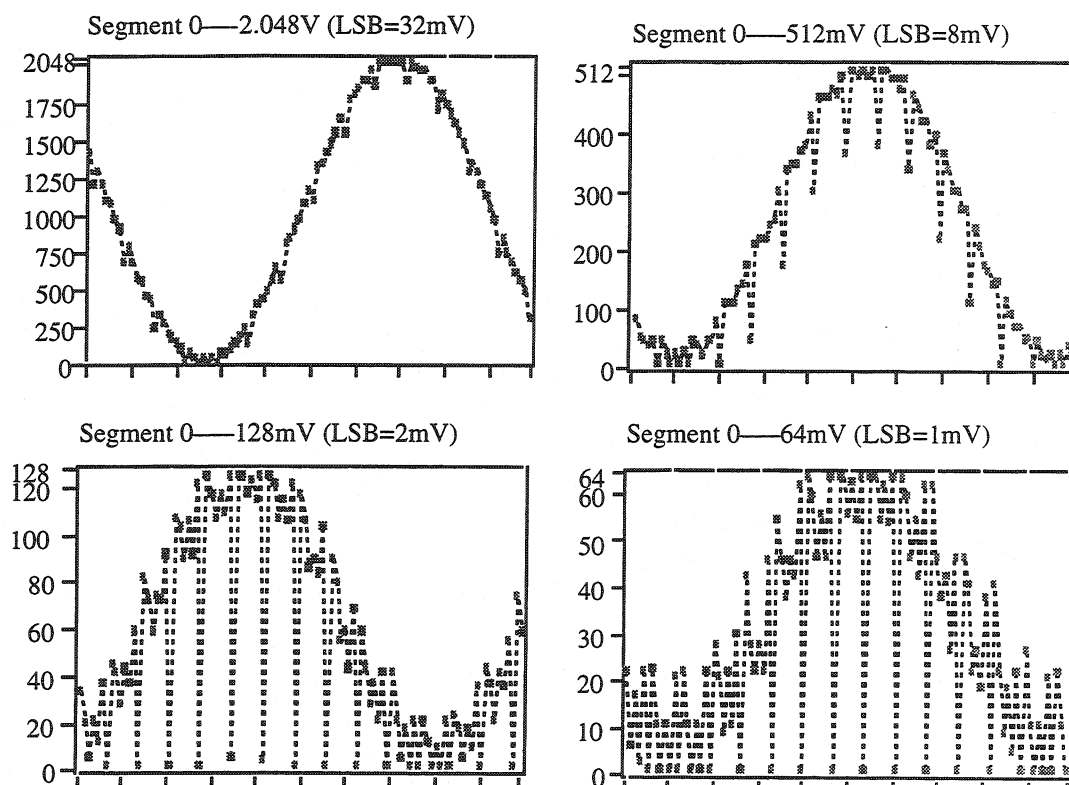


Figure 7.10: Réponse de la seule partie à redistribution de charge à une sinusoïde injectée après une irradiation de 10 Mrad. La conversion est forcée dans chaque segment de dynamique; les différents offset des convertisseurs à 6 bits sont visibles surtout dans le premier segment (0/-64 mV).

Pour mieux comprendre cet effet, il faudrait concentrer les études sur le seul comparateur. Cela a été fait avec l'outil de simulation SPICE, qui modélise le comportement électrique fin des transistors. Dans ce but, les paramètres des transistors utilisés pour les simulations ont été mesurés sur des transistors avant et après irradiation. A partir de ces paramètres, on a simulé le comparateur avant et après

irradiation. Le résultat est que, après l'irradiation à une dose intégrée de 10 Mrad, le comparateur continue à fonctionner en simulation, même si sa performance en vitesse décroît. Il semble donc nécessaire de faire recours à des mesures plus précises sur le comparateur. Dans ce but, ce circuit complexe devrait être intégré séparément dans une puce de test, qui comprendrait aussi les parties individuelles qui le composent: (a) étage d'entrée à transconductance, (b) intégrateur et (c) étage à transconductance pour la compensation d'offset (voir figure 7.2). Chaque partie devrait pouvoir être mesurée individuellement, de façon à pouvoir localiser la défaillance et comprendre son mécanisme.

Malheureusement, cela n'a pas été possible. Lorsqu'on effectuait les mesures d'irradiation sur le convertisseur, on a appris que la technologie HSOI3-HD aurait cessé d'être disponible dans les 10 mois suivants. Tout développement ou étude approfondi dans cette technologie n'était par conséquent plus justifiable.

7.4 Synthèse

Un circuit convertisseur analogique-numérique, réalisant une conversion non linéaire à 11 bits de dynamique, a été conçu et fabriqué en technologie HSOI3-HD. Son architecture consiste en un échantillonneur-bloqueur suivi par un convertisseur à deux étapes: une étape de type *flash* à 2 bits et une étape à redistribution de charge à 6 bits. Pour les deux étapes, on utilise un comparateur synchrone qui comprend un circuit pour la compensation d'offset.

Le circuit échantillonneur-bloqueur, dont l'architecture compte deux interrupteurs "*dummy*" pour réduire l'injection de charge, fonctionne avant irradiation conformément aux résultats des simulations: le temps de stabilisation du signal, pour une capacité de charge de 10 pF, est inférieur à 50 ns même pour des signaux de 2 V. L'irradiation jusqu'à une dose intégrée de 10 Mrad ne modifie pas le fonctionnement d'ensemble du circuit. Le temps de montée augmente de 16 à 18 ns. La charge injectée par l'interrupteur analogique qui contrôle l'échantillonnage augmente d'un facteur 10, ce qui représente la modification la plus évidente du fonctionnement du circuit avec l'irradiation.

Le convertisseur a une performance tout à fait satisfaisante avant irradiation. La spécification en vitesse de 5 MHz est atteinte, le circuit pouvant fonctionner pleinement jusqu'à environ 10 MHz. La consommation totale de 48 mW est un bon résultat pour un convertisseur à 11 bits. La linéarité intégrale (INL) et différentielle (DNL) est toujours inférieure à 0.5 LSB pour une fréquence de fonctionnement de 5 MHz. Après irradiation à une dose intégrée de 10 Mrad, les comparateurs présentent un grand offset, et le convertisseur ne fonctionne plus correctement. Cet effet n'est pas en accord avec les simulations, effectuées à partir des paramètres statiques extraits sur des transistors irradiés à la même dose intégrée. Une injection de charge asymétrique entre les deux branches différentielle d'un comparateur pourrait expliquer l'offset systématique qu'on observe, mais une confirmation nécessiterait l'intégration d'une structure de test spécifique. Cela n'a pas été possible pour des raisons de disponibilité de la technologie.

En conclusion, on a observé au niveau des circuits (échantillonneur-bloqueur et comparateur) des phénomènes dynamiques qui perturbent ou compromettent le fonctionnement après l'irradiation. Ces phénomènes ne peuvent pas être prévus à partir des mesures statiques effectuées sur les transistors. Cela implique que, dans la qualification d'une technologie pour des applications en environnement radiatif, il n'est pas suffisant de caractériser les dispositifs isolément, mais qu'une phase de caractérisation des circuits typiques de l'application doit être prévue.

Conclusion

Nous avons étudié la performance analogique et le comportement en environnement radiatif de la technologie durcie HSOI3-HD en vue d'applications pour l'électronique du LHC, le futur accélérateur de particules du CERN. Cette technologie sur silicium sur isolant (SOI) présente des avantages considérables pour ce qui concerne les phénomènes non récurrents induits par les radiations: elle n'est pas sensible au latch-up et son seuil de sensibilité pour l'aléa logique (SEU) est très élevé. Nous avons mesuré et analysé les effets de la dose intégrée sur les caractéristiques statiques des transistors, et vérifié que le durcissement jusqu'à 25 Mrad est satisfaisant pour les applications visées.

Nous avons ensuite réalisé l'analyse du bruit des transistors en HSOI3-HD, car les applications visées au LHC sont principalement l'acquisition analogique de signaux faibles issus des détecteurs. Lors de l'étude du bruit, nous avons observé que, en plus des sources de bruit $1/f$ et de bruit blanc typiques des transistors MOS, une composante additionnelle est présente dans le spectre. Cette composante apparaît comme une bosse qui se déplace en amplitude et fréquence en fonction de la polarisation du substrat et du film (*body*). Une telle bosse avait déjà été observée dans d'autres technologies SOI à film moyennement déserté, mais aucune explication satisfaisante n'avait été avancée. Dans notre étude, un nouveau modèle est proposé sur l'origine de cette composante additionnelle, qui satisfait entièrement aux vérifications expérimentales. Le modèle met en jeu la résistance du film (*body*), qui génère un bruit blanc filtré par la capacité constituée par les grilles de face avant et de face arrière du transistor. Le bruit de la résistance est transmis en courant au drain, et atténué à partir de la fréquence de coupure du filtre. Nous présentons une série de vérifications expérimentales de ce modèle, réalisées sur des structures spécialement conçues.

La présence de la composante additionnelle dégrade la performance en bruit sur un grand intervalle de fréquences. En déplaçant fortement le film, ce qui est possible à travers la polarisation appliquée au *body*, on peut déplacer la bosse à basse fréquence, de façon à rendre sa contribution négligeable pour les applications visées, aux fréquences de l'ordre de 4-40 MHz. Néanmoins, nous montrons que de telles polarisations rendent le contact de *body* inefficace et induisent des difficultés liées aux effets de *body* flottant (effet *kink*). Il ne semble donc pas possible de résoudre ce problème sans modifications technologiques (diminution de la résistance du film).

La présence d'un contact de *body* est responsable d'autres limitations, notamment pour la densité d'intégration et la consommation électrique des circuits. L'espace nécessaire pour placer les contacts de film a un impact défavorable sur la densité d'intégration atteignable, surtout pour les circuits analogiques. Nous montrons que, pour les applications analogiques, seul le *layout* du transistor avec deux contacts latéraux est acceptable, le *layout* compact avec la source directement reliée au *body* proposé par la technologie HSOI3-HD donnant lieu à des effets indésirables (effet *kink*, bruit supérieur). Les contacts latéraux, avec des choix de *layout* liés au durcissement,

introduisent de grandes capacités parasites de grille, qui pénalisent la conception de circuits rapides à faible puissance. Toutes ces limitations sur la performance analogique des transistors en HSOI3-HD sont provoquées par les choix technologiques: utilisation d'un SOI à film moyennement déserté et règles de dessin parfois conservatrices. Néanmoins, ces choix ont été déterminés par l'objectif principal dans le développement de la technologie, à savoir le durcissement aux effets des rayonnements jusqu'à des doses très élevées. Le durcissement est donc atteint au prix d'une performance inférieure (performance électrique ou densité d'intégration), et cela semble être le cas pour toute technologie durcie.

L'étape finale de notre travail a été l'intégration d'un circuit convertisseur non linéaire à 11 bits de dynamique. Ce convertisseur, dont l'architecture est composée par une partie flash à 2 bits et une partie à capacités commutées, a été conçu en utilisant des outils CAO et fabriqué en technologie HSOI3-HD. Les mesures ont montré que la performance du circuit était conforme aux spécifications: les objectifs en vitesse (5 MHz, mais le circuit peut fonctionner jusqu'à 10 MHz), dynamique (11 bits) et consommation (inférieure à 50 mW) ont été atteints. Les effets des irradiations à 10 et 20 Mrad, qui ont compromis le fonctionnement correct du circuit, n'ont pas pu être expliqués à partir des mesures statistiques sur les transistors fabriqués en même temps. Nous en avons conclu que, dans l'évaluation d'une technologie pour des applications en environnement radiatif, il est nécessaire de passer par une phase de qualification des circuits typiques de l'application souhaitée.

La détermination du mécanisme responsable de la défaillance du convertisseur après l'irradiation, que nous soupçonnons être liée à des injections de charge parasite par les interrupteurs analogiques, n'a pas été entièrement possible. Au début de 1996, le fabricant a annoncé l'arrêt de la production en HSOI3-HD, et toute étude ultérieure dans cette technologie n'était plus justifiable. Néanmoins, le CERN n'a pas arrêté la recherche d'une solution pour l'électronique dans l'environnement radiatif du LHC. Les connaissances développées dans cette étude pour ce qui concerne les effets des rayonnements sur les technologies silicium, les techniques de mesure des paramètres statiques et de bruit, l'interprétation des phénomènes observés après irradiation, sont utilisées à ce jour dans d'autres programmes de recherche, et dans le choix technologique et la conception des circuits électroniques nécessaires pour les détecteurs du LHC.

Références Bibliographiques

Chapitre 1

- [1] ALICE Collaboration, "ALICE, A Large Ion Collider Experiment, Technical Proposal", CERN/LHCC/95-71, LHCC/P3, 15 December 1995.
- [2] H.J.Hilke, "Inner Tracking at LHC", Proceedings of the First Workshop on Electronics for LHC Experiments, Lisbon, Portugal, September 11-15, 1995.
- [3] ATLAS Collaboration, "ATLAS, Technical Proposal for a General-Purpose pp Experiment at the Large Hadron Collider at CERN", CERN/LHCC/93-43, LHCC/P2, 15 December 1994.
- [4] CMS Collaboration, "CMS, The Compact Muon Solenoid Technical Proposal", CERN/LHCC/93-38, LHCC/P1, 15 December 1994.
- [5] J.Ranft, K.Hahn, "DTUJET-88. Sampling hadronic events according to the Dual Topological Unitarization of hard and soft hadronic processes", CERN Divisional Report TIS-RP/218, 1988.
- [6] A.Fassò et al., "FLUKA92", Proc. Workshop on Simulating Accelerator Radiation Environments, Santa Fe, USA, 11-15 January 1993.
- [7] C.Zeinit, T.A.Gabriel, Nucl. Instrum. Methods, Vol. A349, p.106, 1994.
- [8] G.R.Stevenson, A.Fassò, A.Ferrari, P.R.Sala, "The Radiation Field in and around Hadron Collider Detectors", IEEE Trans. Nucl. Science, Vol.39, No.6, p.1712, December 1992.

Chapitre 2

- [1] J.R.Schwank, "Basic Mechanism of Radiation Effects in the Natural Space Environment", 1994 IEEE Nuclear Space and Radiation Effects Conference Short Course, Tucson, Arizona (July 1994).
- [2] J.Beaucour, "Effets des rayonnements sur les composants électroniques: aspects fondamentaux", 3^{ème} Colloque Européen RADiations et leurs Effets sur les Composants et Systèmes (RADECS95), Arcachon, France (Septembre 1995).
- [3] P.J.McWorther, P.S.Winokur, R.A.Pastorek, "Donor/Acceptor Nature of Radiation-Induced Interface Traps", IEEE Trans. Nucl. Science, Vol.35, No.6, p.1154, December 1988.
- [4] N.S.Saks, R.B.Klein, D.L.Griscom, "Formation of Interface Traps in MOSFETs during Annealing Following Low Temperature Irradiation", IEEE Trans. Nucl. Science, Vol.35, No.6, p.1234, December 1988.
- [5] N.S.Saks, M.G.Ancona, "Generation of Interface States by Ionizing Radiation at 80K Measured by Charge Pumping and Subthreshold Slope Techniques", IEEE Trans. Nucl. Science, Vol.34, No.6, p.1348, December 1987.

- [6] H.E.Boesch, F.B.McLean, J.M.Benedetto, J.M.McGarrity, "Saturation of Threshold Voltage Shift in MOSFETs at High Total Dose", IEEE Trans. Nucl. Science, Vol.33, No.6, p.1191, December 1986.
- [7] H.E.Boesch, F.B.McLean, "Hole Transport and Trapping in Field Oxides", IEEE Trans. Nucl. Science, Vol.32, No.6, p.3940, December 1985.
- [8] A.J.Lelis, H.E.Boesch, T.R.Oldham, F.B.McLean, "Reversibility of Trapped Hole Annealing", IEEE Trans. Nucl. Science, Vol.35, No.6, p.1186, December 1988.
- [9] N.S.Saks, C.M.Dozier, D.B.Brown, "Time Dependence of Interface Trap Formation in MOSFETs Following Pulsed Irradiation", IEEE Trans. Nucl. Science, Vol.35, No.6, p.1168, December 1988.
- [10] H.E.Boesch, "Time-Dependent Interface Trap Effects in MOS Devices", IEEE Trans. Nucl. Science, Vol.35, No.6, p.1160, December 1988.
- [11] A.J.Lelis, T.R.Oldham, W.M.DeLancey, "Response of Interface Traps During High-Temperature Anneals", IEEE Trans. Nucl. Science, Vol.38, No.6, p.1590, December 1991.
- [12] A.G.Sabnis, "Characterization of Annealing of Co⁶⁰ Gamma-Ray Damage at the Si/SiO₂ Interface", IEEE Trans. Nucl. Science, Vol.30, No.6, p.4094, December 1983.
- [13] J.R.Schwank, F.W.Sexton, "Temperature Effects on the Radiation Response of MOS Devices", IEEE Trans. Nucl. Science, Vol.35, No.6, p.1432, December 1988.
- [14] C.T.Sah, "Origin of Interface States and Oxide Charges Generated by Ionizing Radiation", IEEE Trans. Nucl. Science, Vol.23, No.6, p.1563, December 1976.
- [15] P.M.Lenahan, P.V.Dressendorfer, "An electron spin resonance study of radiation-induced electrically active paramagnetic centers at the Si/SiO₂ interface", J.Appl.Physics, Vol.54, No.3, p.1457, March 1983.
- [16] J.F.Conley, P.M.Lenahan, H.L.Evans, R.K.Lowry, T.J.Morthorst, "Observation and electronic characterization of "new" E' center defects in technologically relevant thermal SiO₂ on Si: An additional complexity in oxide charge trapping", J.Appl.Physics, Vol.76, No.5, p.2872, September 1994.
- [17] J.F.Conley, P.M.Lenahan, "Molecular Hydrogen, E' Center Hole Traps, and Radiation Induced Interface Traps in MOS Devices", IEEE Trans. Nucl. Science, Vol.40, No.6, p.1335, December 1993.
- [18] J.F.Conley, P.M.Lenahan, "Radiation Induced Interface States and ESR Evidence for Room Temperature Interactions Between Molecular Hydrogen and Silicon Dangling Bonds in Amorphous SiO₂ Films on Si", Microelectronic Engineering, Vol.22, p.215, 1993.
- [19] G.C.Messenger, M.S.Ash, The Effects of Radiation on Electronic Systems, Van Nostrand Reinhold, New York, 1986.
- [20] P.S.Winokur, H.E.Boesch, J.M.McGarrity, F.B.McLean, "Two-Stage Process for Buildup of Radiation-Induced Interface States, J.Appl.Physics, Vol.50, p.3492, 1979.

- [21] F.B.McLean, "A Framework for Understanding Radiation-Induced Interface States in SiO₂ MOS Structures", IEEE Trans. Nucl. Science, Vol.27, No.6, p.1651, December 1980.
- [22] M.R.Shaneyfelt, J.R.Schwank, D.M.Fleetwood, P.S.Winokur, K.L.Huges, F.W.Sexton, "Field Dependence of Interface-Trap Buildup in Polysilicon and Metal Gate MOS Devices", IEEE Trans. Nucl. Science, Vol.37, No.6, p.1632, December 1990.
- [23] M.R.Shaneyfelt, J.R.Schwank, D.M.Fleetwood, P.S.Winokur, K.L.Huges, G.L.Hash, M.P.Connors, "Interface-Trap Buildup Rates in Wet and Dry Oxides", IEEE Trans. Nucl. Science, Vol.39, No.6, p.2244, December 1992.
- [24] D.M.Fleetwood, "Border Traps in MOS Devices", IEEE Trans. Nucl. Science, Vol.39, No.2, p.269, April 1992.
- [25] D.M.Fleetwood, T.L.Meisenheimer, J.H.Scofield, "1/f Noise and Radiation Effects in MOS Devices", IEEE Trans. Nucl. Science, Vol.41, No.11, p.1953, November 1994.
- [26] D.M.Fleetwood, P.S.Winokur et al., "Effects of oxide traps, interface traps, and "border traps" on metal-oxide-semiconductor devices", J.Appl.Physics, Vol.73, No.10, p.5058, May 1993.
- [27] D.M.Fleetwood, "Fast and Slow Border Traps in MOS Devices", presented at RADECS95, to be published on IEEE Trans. Nucl. Sciences, June 1996.
- [28] S.Share, A.S.Epstein, V.Kumar, W.E.Dahlke, W.Haller, " Effects of ionizing radiation on thin-oxide (20-150 Å) MOS capacitors", J.Appl.Physics, Vol.45, No.11, p.4894, November 1974.
- [29] N.Shiono, M.Shimaya, K.Sano, "Ionizing Radiation Effects in MOS Capacitors with Very Thin Gate Oxides", Japanese Journal of Applied Physics, Vol.22, No.9, p.1430, September 1983.
- [30] F.B.McLean, H.E.Boesch, T.R.Oldham, "Electron-Hole Generation, Transport and Trapping in SiO₂", in Ionizing Radiation Effects in MOS Devices and Circuits, edited by T.P.Ma and P.V.Dressendorfer, John Wiley & Sons, New York, pp.87-192, 1989.
- [31] H.E.Boesch, "Interface States Generation in Thick SiO₂ Layers", IEEE Trans. Nucl. Science, Vol.29, p.1446, 1982.
- [32] H.E.Boesch, F.B.McLean, "Hole Transport and Trapping in Field Oxides", IEEE Trans. Nucl. Science, Vol.32, p.3940, 1985.
- [33] T.R.Oldham, A.J.Lelis, H.E.Boesch, J.M.Benedetto, F.B.McLean, J.M.McGarrity, "Post-Irradiation Effects in Field-Oxide Isolation Structures", IEEE Trans. Nucl. Science, Vol.34, No.6, p.1184, December 1987.
- [34] M.D.Jacunski, M.C.Peckerar, "A model for Radiation Induced Edge Leakage in Bulk Silicon NMOS Transistors", IEEE Trans. Nucl. Science, Vol.39, No.6, p.1947, December 1992.
- [35] J.R.Adams, F.N.Coppage, "Field oxide inversion effects in irradiated CMOS devices", IEEE Trans. Nucl. Science, Vol.23, No.6, p.1604, December 1976.

- [36] C.M.Hsieh, P.C.Murley, R.R.O'Brien, "A Field Funneling Effect on the Collection of Alpha-Particle-Generated Carriers in Silicon Devices", *IEEE Electron Dev.Lett.*, Vol.2, p.103, 1981.
- [37] F.W.Sexton, "Measurement of Single Event Phenomena in Devices and ICs", 1992 IEEE Nuclear Space and Radiation Effects Conference Short Course, New Orleans, Louisiana (July 1992).
- [38] S.E.Diehl, J.E.Ochoa, P.V.Dressendorfer, R.Koga, W.A.Kolasinski, "Error analysis and prevention of cosmic ion induced errors in CMOS RAM", *IEEE Trans. Nucl. Science*, Vol.29, No.6, p.2032, December 1982.
- [39] B.A.Beitman, "N-channel MOSFET breakdown characteristics and modelling for p-well technologies", *IEEE Trans. Electr. Dev.*, Vol.35, No.11, p.1935, 1988.
- [40] T.F.Wrobel, "On heavy Ion Induced hard errors in dielectrics structures", *IEEE Trans. Nucl. Science*, Vol.34, p.1262, 1987.
- [41] M.Allenspach, J.R.Brews, I.Mouret, R.D.Schrimpf, K.F.Galloway, "Evaluation of SEGR threshold in power MosFets", *IEEE Trans. Nucl. Science*, Vol.41, No.6, p.2160, December 1994.
- [42] C.F.Wheatley, J.L.Titus, D.I.Burton, "Single Event Gate Rupture in vertical power Mosfets, an original empirical expression", *IEEE Trans. Nucl. Science*, Vol.41, No.6, p.2152, December 1994.
- [43] J.H.Hohl, K.F.Galloway, "Analytical model for Single Event Burn Out of power MOSFET", *IEEE Trans. Nucl. Science*, Vol.36, p.2260, 1987.
- [44] R.C.Hughes, "Hole mobility and transport in SiO₂ films", *Phys. Lett.*, Vol.2, No.12, 1975.
- [45] K.G.Aubuchon, "Radiation hardening of PMOS devices by optimization of thermal SiO₂ gate insulator", *IEEE Trans. Nucl. Science*, Vol.17, No.6, 1971.
- [46] G.Derbenwick, B.Gregory, "Process optimization of radiation-hardened CMOS integrated circuits", *IEEE Trans. Nucl. Science*, Vol.22, p.2151, 1975.
- [47] W.R.Dawes, G.Derbenwick, B.Gregory, "Process technology for radiation-hardened CMOS integrated circuits", *IEEE J. Solid State Circuits*, Vol.11, No.4, p.459, 1976.
- [48] J.R.Schwank, D.M.Fleetwood, "Effect of post-oxidation anneal temperature on radiation-induced charge trapping in metal-oxide-semiconductor materials", *App. Phys. Lett.*, Vol.53, No.9, p.770, August 1988.
- [49] P.S.Winokur, E.B.Erret, D.M.Fleetwood, P.F.Dressendorfer, D.C.Turpin, "Optimizing and controlling the radiation hardness of Si-gate CMOS process", *IEEE Trans. Nucl. Science*, Vol.32, No.6, 1985.
- [50] H.E.Boesch, J.M.McGarrity, "Charge yield and dose effects in MOS capacitors at 80K", *IEEE Trans. Nucl. Science*, Vol.23, No.6, p.1520, 1976.
- [51] N.S.Saks, M.G.Ancona, J.A.Modolo, "Radiation effects in MOS capacitors with very thin oxide at 80K", *IEEE Trans. Nucl. Science*, Vol.31, No.6, p.1249, 1984.

- [52] N.S.Saks, M.G.Ancona, J.A.Modolo, "Generation of interface states by ionizing radiation in very thin MOS oxides", IEEE Trans. Nucl. Science, Vol.33, No.6, p.1185, December 1986.
- [53] R.Dennard et al., IEEE J. Solid State Circuits, Vol.9, p.256, 1974.
- [54] H.Iwai, H.S.Momose, M.Saito, M.Ono, Y.Katsumata, "The future of ultra-small-geometry MOSFETs beyond 0.1 micron", Microelectronic Engineering, Vol.28, p.147, 1995.
- [55] G.Q.Lo, A.B.Joshi, D.L.Kwong, "Radiation Hardness of MOSFETs with N₂O-nitrided Gate Oxides", IEEE Trans. Electron Dev., Vol.40, p.1565, August 1993.
- [56] Y.L.Wu, J.G.Hwu, "Improvement in Radiation Hardness of Gate Oxides in MOS Devices by Repeated Rapid Thermal Oxidation in N₂O", Appl. Phys. Lett, Vol.64, p.3136, June 1994.
- [57] N.S.Saks, M.Simons, D.M.Fleetwood, J.T.Yount, P.M.Lenahan, R.B.Klein, "Radiation Effects in Oxynitrides Grown in N₂O", IEEE Trans. Nucl. Science, Vol.41, No.6, p.1854, December 1994.
- [58] F.L.Terry, R.J.Aucoin, M.L.Naiman, S.D.Senturia, "Radiation Effects in Nitrided Oxides", IEEE Electron Dev.Lett., Vol.4, p.191, June 1993.
- [59] G.J.Dunn, R.Jayaraman, W.Yang, C.G.Sodini, "Radiation Effects in Low-Pressure Reoxidized Nitrided Oxide Gate Dielectrics", Appl. Phys. Lett., Vol.52, p.1713, May 1988.
- [60] N.S.Saks, communication privée.
- [61] L.K.Han, M.Bhat, D.Wristers, H.H.Wang, D.L.Kwong, "Recent Developments in Ultra Thin Oxynitride Gate Dielectrics", Microelectronic Engineering, Vol.28, No.1-4, p.89, June 1995.
- [62] F.Bénistant, F.Mondon, F.Martin, G.Guégan, "Comparison of ultra-thin gate dielectrics for 0.1 μm MOS devices", Microelectronic Engineering, Vol.28, No.1-4, p.105, June 1995.
- [63] D.R.Lee, S.V.Hattangady, H.Niimi, C.Parker, G.Lucovsky, J.R.Hauser, "Controlled nitrogen incorporation at Si-SiO₂ interfaces and in thin gate dielectrics by remote-plasma-assisted oxidation and deposition processes", Microelectronic Engineering, Vol.28, No.1-4, p.117, June 1995.
- [64] G.Weidner, D.Krüger, M.Weidner, T.Garabolla, R.Sorge, "Nitrogen accumulation at thermally grown or chemical vapor deposited oxide on silicon by N₂O- or NO-oxidation", Microelectronic Engineering, Vol.28, No.1-4, p.89, June 1995.
- [65] G.P.Kennedy, S.Taylor, W.Eccleston, W.M.Arnoldbik, F.H.P.M.Habraken, "Physical and electrical characterisation of oxynitride films produced by plasma oxidation of deposited silicon nitride layers", Microelectronic Engineering, Vol.28, No.1-4, p.141, June 1995.
- [66] J.L.Leray, O.Flament, "Durcissement à la dose intégrée dans les technologies CMOS et bipolaire réalisées sur silicium massif ou sur isolant", cours présenté en occasion du 3^{ème} Colloque Européen RADiations et leurs Effets sur les Composants et Systèmes (RADECS95), Arcachon, France (Septembre 1995).

- [67] C.F.Gibbon, D.H.Habing, R.S.Flores, "A radiation-hard silicon gate bulk CMOS cell family", *IEEE Trans. Nucl. Science*, Vol.27, No.6, p.1712, December 1980.
- [68] T.V.Nordstrom, R.W.Light, F.W.Sexton, "A three micron CMOS technology for custom high reliability and radiation hardened integrated circuits", *IEEE Custom Integrated Circuits Conference*, p.43, 1983.
- [69] H.Hatano, S.Takatsuka, "Total dose radiation-hardened latch-up free CMOS structures for radiation-tolerant VLSI design", *IEEE Trans. Nucl. Science*, Vol.33, No.6, p.1505, December 1986.
- [70] H.Hatano, K.Do, "Radiation-tolerant high-performance CMOS VLSI circuit design", *IEEE Trans. Nucl. Science*, Vol.32, No.6, p.4031, December 1985.
- [71] K.Neumeier, P.Seegebrecht, H.P.Neumeier, "Radiation Tolerance of double layer field oxide", *IEEE Trans. Nucl. Science*, Vol.39, No.3, p.391, 1992.
- [72] K.Neumeier, H.P.Bruemer, "Radiation-hard LOCOS field oxide", *proc. RADECS93 and IEEE Trans. Nucl. Science*, Vol.41, 1994.
- [73] J.R.Adams, W.R.Dawes, T.J.Sanders, "A radiation-hardened field oxide", *IEEE Trans. Nucl. Science*, Vol.24, No.6, p.2029, December 1977.
- [74] G.J.Hu, J.M.Aitken, R.H.Dennard, "A Hardened Field Insulator", *IEEE Trans. Nucl. Science*, Vol.28, No.6, p.4102, December 1981.
- [75] K.Watanabe, M.Kato, T.Okabe, M.Nagata, "Radiation effects of double layer dielectric film", *IEEE Trans. Nucl. Science*, Vol.33, No.6, p.1216, December 1985.
- [76] K.Kasama, F.Toyokawa, N.Sakamoto, K.Kobayashi, "A radiation hard insulator for MOS LSI device isolation", *IEEE Trans. Nucl. Science*, Vol.32, p.3695, 1985.
- [77] P.E.Dodd, F.W.Sexton, P.S.Winokur, "Three-Dimensional Simulation of Charge Collection and Multiple-Bit Upset in Si Devices", *IEEE Trans. Nucl. Science*, Vol.41, No.6, p.2005, December 1994.
- [78] S.E.Kerns, B.D.Shafer, "The Design of Radiation-Hardened ICs for Space: A Compendium of Approaches", *Proceedings of the IEEE*, Vol.76, No.11, p.1470, November 1988.
- [79] J.L.Andrews et al, "Single event error immune CMOS RAM", *IEEE Trans. Nucl. Science*, Vol.29, No.6, p.2040, December 1982.
- [80] L.R.Hite, H.Lu, T.W.Houston, D.S.Hurta, W.E.Bailey, "An SEU resistant 256k SOI SRAM", *IEEE Trans. Nucl. Science*, Vol.39, No.6, p.2121, December 1992.

Chapitre 3

- [1] P.S.Winokur, F.W.Sexton, J.R.Schwank, D.M.Fleetwood, P.V.Dressendorfer, T.F.Wrobel, D.C.Turpin, "Total-Dose Radiation and Annealing Studies: Implications for Hardness Assurance and Testing", *IEEE Trans. Nucl. Science*, Vol.33, No.6, p.1343, December 1986.

- [2] G.F.Derbenwick, H.H.Sander, "CMOS Hardness Prediction for Low-Dose-Rate Environments", IEEE Trans. Nucl. Science, Vol.24, No.6, p.2244, December 1977.
- [3] C.Chabrerie, "De l'utilisation des recuits isothermes et isochrones pour la caractérisation de structures MOS irradiées. Application aux cinétiques des effets post-irradiation dans différents contextes (spatial, accélérateurs) et normes d'essais", Thèse présentée devant l'Université de Paris 7 - Denis Diderot pour obtenir le grade de docteur en sciences, Année 1997.
- [4] C.Chabrerie, J.C.Boudenot, J.L.Autran, P.Paillet, O.Flament, J.L.Leray, "Isothermal and Isochronal Annealing Methodology to Study Post-Irradiation Temperature Activated Phenomena", présentée lors de la conférence NSREC97, Snowmass, Colorado, Juillet 21-25, 1997.
- [5] F.Saigné, L.Dusseau, J.Fesquet, J.Gasiot, R.Ecoffet, J.P.David, R.D.Schrimpf, "Experimental validation of the Long Term Thermal Effect Prediction of Metal Oxide Semiconductor Devices Based on an Accelerated Method of Oxide Trap Characterization", présentée lors de la conférence NSREC97, Snowmass, Colorado, Juillet 21-25, 1997.
- [6] F.B.McLean, H.E.Boesch, T.R.Oldham, "Electron-Hole Generation, Transport, and Trapping in SiO₂", in *Ionizing Radiation Effects in MOS Devices and Circuits*, edited by T.P.Ma and P.V.Dressendorfer, John Wiley & Sons, New York, pp.87-92, 1989.
- [7] M.R.Shaneyfelt, D.M.Fleetwood, J.R.Schwank, K.L.Hughes, "Charge Yield for Cobalt-60 and 10-KeV X-Ray Irradiations", IEEE Trans. Nucl. Science, Vol.38, p.1187, December 1991.
- [8] O.Flament, "X-ray Radiation Sources for Process development and qualification", *L'onde Electrique*, Vol.75, n.3, May 1995.
- [9] P.V.Dressendorfer, J.M.Soden, J.J.Harrington, T.V.Nordstrom, "The effects of test conditions on MOS radiation-hardness results", IEEE Trans. Nucl. Science, Vol.28, No.6, p.4281, December 1981.
- [10] K.G.Kerris, "Source considerations and testing techniques", in *Ionizing Radiation Effects in MOS Devices and Circuits*, edited by T.P.Ma and P.V.Dressendorfer, John Wiley & Sons, New York, p.462, 1989.
- [11] L.J.Pakuti, J.J.LePage, "X-ray wafer probe for total dose testing", IEEE Trans. Nucl. Science, Vol.29, No.6, p.1832, December 1982.
- [12] T.R.Oldham, J.M.McGarrity, "Comparison of ⁶⁰Co Response and 10 keV X-Ray Response in MOS Capacitors", IEEE Trans. Nucl. Science, Vol.30, No.6, p.4377, December 1983.
- [13] C.M.Dozier, D.B.Brown, "The use of low energy X-rays for device testing - a comparison with Co-60 radiation", IEEE Trans. Nucl. Science, Vol.30, No.6, p.4382, December 1983.
- [14] D.M.Long, D.G.Millward, J.Wallace, "Dose enhancement effects in semiconductor devices", IEEE Trans. Nucl. Science, Vol.29, No.6, p.1980, December 1982.

- [15] D.M.Fleetwood, P.S.Winokur, R.W.Beegle, P.V.Dressendorfer, B.L.Draper, "Accounting for dose-enhancement effects with CMOS transistors", *IEEE Trans. Nucl. Science*, Vol.32, No.6, p.4369, December 1985.
- [16] J.M.Benedetto, H.E.Boesch, T.R.Oldham, "Measurement of Low-Energy X-Ray Dose Enhancement in MOS Devices with Metal Silicon Gates", *IEEE Trans. Nucl. Science*, Vol.34, No.6, p.1540, December 1987.
- [17] C.M.Dozier, D.M.Fleetwood, D.B.Brown, P.S.Winokur, "An evaluation of low-energy X-ray and Cobalt-60 irradiations of MOS transistors", *IEEE Trans. Nucl. Science*, Vol.34, No.6, p.1535, December 1987.
- [18] D.M.Fleetwood et al., "Comparison of enhanced device response and predicted X-ray dose enhancement effects on MOS oxides", *IEEE Trans. Nucl. Science*, Vol.35, No.6, p.1265, December 1988.
- [19] P.S.Winokur, M.R.Shaneyfelt, T.L.Meisenheimer, D.M.Fleetwood, "Advanced Qualification Techniques", *IEEE Trans. Nucl. Science*, Vol.41, No.3, p.538, June 1994.
- [20] G.Groeseneken, H.E.Maes, N.Beltran, R.F.De Keersmaecker, "A Reliable Approach to Charge-Pumping Measurements in MOS Transistors", *IEEE Trans. El. Devices*, Vol.31, No.1, p.42, January 1984.
- [21] P.Heremans, J.Witters, G.Groeseneken, H.E.Maes, "Analysis of the Charge Pumping Technique and Its Application for the Evaluation of MOSFET Degradation", *IEEE Trans. El. Devices*, Vol.36, No.7, p.1318, July 1989.
- [22] J.L.Autran, B.Balland, "A new three-level charge pumping method for accurate determination of interface-trap parameters in metal-oxide-semiconductor field-effect transistors", *Rev. Sci. Instrum.*, Vol.65, p.2141, 1994.
- [23] J.L.Autran, C.Chabrerie, P.Paillet, O.FLament, J.L.Leray, J.C.Boudenot, "Radiation-induced interface traps in hardened MOS transistors: an improved charge-pumping study", *IEEE Trans. Nucl. Science*, Vol.43, No.6, p.2547, December 1996.
- [24] P.J.McWorther, P.S.Winokur, "Simple technique for separating the effects of interface traps and trapped-oxide charge in metal-oxide-semiconductor transistors", *Appl. Phys. Lett.*, Vol.48, No.2, p.133, January 1986.
- [25] Z.Shanfield, M.M.Moriwaki, "Critical Evaluation of the Midgap-Voltage-Shift Method for Determining Oxide Trapped Charge in Irradiated MOS Devices", *IEEE Trans. Nucl. Science*, Vol.34, No.6, p.1159, December 1987.
- [26] J.R.Schwank, D.M.Fleetwood, M.R.Shaneyfelt, P.S.Winokur, "A Critical Comparison of Charge-Pumping, Dual-Transistor and Midgap Measurement Techniques", *IEEE Trans. Nucl. Science*, Vol.40, No.6, p.1666, December 1993.
- [27] D.M.Fleetwood, "Dual-transistor method to determine threshold-voltage shifts due to oxide-trapped charge and interface traps in metal-oxide-semiconductor devices", *Appl. Phys. Lett.*, Vol.55, No.5, p.466, July 1989.
- [28] D.M.Fleetwood, M.R.Shaneyfelt, J.R.Schwank, P.S.Winokur, F.W.Sexton, "Theory and application of dual-transistor charge separation analysis", *IEEE Trans. Nucl. Science*, Vol.36, No.6, p.1816, December 1989.

[29] Y.P.Tsividis, *Operation and modeling of the MOS transistor*, edited by McGraw-Hill

Chapitre 4

- [1] S.Cristoloveanu and S.S.Li, *Electrical Characterization of SOI Materials and Devices*, edited by Kluwer academic publishers, Norwell, 1995 .
- [2] J.P.Colinge, *Silicon-On-Insulator Technology: Materials To VLSI*, edited by Kluwer Academic Publisher, Dordrecht (NL), 1991.
- [3] T.J.Ennis, R.C.Barklie, K.Reeson, P.L.F. Hemment, "The effect of implantation temperature on defect production in SIMOX structures", *Semicond. Sci. Technol.*, No.4, p.626, 1989.
- [4] J.Vettese, J.Sicart, J.L.Robert, S.Cristoloveanu, J.Margail, C.Jaussaud, "Generation and annihilation of thermal donors in silicon thin films formed by oxygen implantation", *Thin solid films*, No.187, p.187, 1990.
- [5] S.Cristoloveanu, "Oxygen-related activity and other specific electrical properties of SIMOX", *Vacuum*, Vol.42, No.5/6, p.371, 1991.
- [6] R.E.Stahlbush, W.E.Carlos, S.M.Prokes, "Radiation and processing induced effects on SIMOX: a spectroscopy study", *IEEE Trans. Nucl. Science*, Vol.34, No.6, p.1680, December 1987.
- [7] S.Cristoloveanu, "A Review of the Electrical Properties of SIMOX Substrates and Their Impact on Device Performance", *J. Electrochem. Soc.*, Vol.138, No.10, p.3131, October 1991.
- [8] H.J.Hovel, "Silicon-on-insulator substrates: status and prognosis", *Proceedings 1996 Int. SOI Conference*, p.1, October 1996.
- [9] S.T.Liu, P.S.Fechner, W.Witcraft, H.K.Liou, J.Rekstad, P.Green, J.Yue, "Screening SIMOX for VLSI and ULSI chip production", *Proceedings 1996 Int. SOI Conference*, p.46, October 1996.
- [10] B.Mazhari, S.Cristoloveanu, D.E.Ioannu, A.L.Caviglia, "Properties of Ultra-Thin Wafer-Bonded Silicon-on-Insulator MOSFET's", *IEEE Trans. El. Devices*, Vol.38, No.6, p.1289, June 1991.
- [11] U.Gösele, M.Reiche, Q.-Y.Tong, "Properties of SIMOX and bonded SOI material", *Microelectronic Engineering*, Vol.28, No.1-4, p.391, June 1995.
- [12] A.J.Auberton-Hervé, J.M.Lamure, T.Barge, M.Bruel, B.Aspar, J.L.Pelloie, "SOI Materials for ULSI Applications", *Semiconductor International*, Vol.11, p.97, October 1995.
- [13] S.T.Liu, W.C.Jenkins, "Effect of Total Dose Radiation on FETs Fabricated in UNIBOND SOI Material", *Proceedings 1996 Int. SOI Conference*, p.94, October 1996.

- [14] M.Dentan et al., "Study of a CMOS-JFET-Bipolar Radiation Hard Analog-Digital Technology Suitable for High Energy Physics Electronics", IEEE Trans. Nucl. Science, Vol.40, No.6, p.1555, December 1993.
- [15] H.K.Lim, J.C.Fossum, "Threshold Voltage of Thin-Film Silicon-on-Insulator (SOI) MOSFET's", IEEE Trans. El. Devices, Vol.30, No.10, p.1245, October 1983.
- [16] H.K.Lim, J.C.Fossum, "Current-Voltage Characteristics of Thin-Film SOI MOSFET's in Strong Inversion", IEEE Trans. El. Devices, Vol.31, No.4, p.401, April 1984.
- [17] H.K.Lim, "Charge-Based Modeling of Thin-Film Silicon-on-Insulator MOS Field Effect Transistors", dissertation presented to the graduate council of the University of Florida, University of Florida, 1984; published by UMI (University Microfilms International), Michigan, USA.
- [18] J.P.Colinge, "The Development of CMOS/SIMOX Technology", Microelectronic Engineering, Vol.28, No.1-4, p.423, June 1995.
- [19] D.J.Wouters, J.P.Colinge, H.E.Maes, "Subthreshold Slope in Thin-Film SOI MOSFET's", IEEE Trans. El. Devices, Vol.37, No.9, p.2022, September 1990.
- [20] K.Tokunaga, J.C.Sturm "Substrate Bias Dependence of Subthreshold Slopes in Fully Depleted Silicon-on-Insulator MOSFET's", IEEE Trans. El. Devices, Vol.38, No.8, p.1803, August 1991.
- [21] J.A.Mandelman, J.E.Barth, J.K.DeBrosse, R.H.Dennard, H.L.Kalter, J.Gautier, H.I.Hanafi, "Floating-body concerns for SOI Dynamic Random Acces Memory (DRAM)", Proceedings 1996 Int. SOI Conference, p.136, October 1996.
- [22] M.Teurachi, M.Yoshimi, "Analysis of Floating-Body-Induced Leakage Current in 0.15 μm SOI DRAM", Proceedings 1996 Int. SOI Conference, p.138, October 1996.
- [23] K.Ueda, H.Morinaka, Y.Yamaguchi, T.Iwamatsu, I.J.Kim, Y.Inoue, K.Mashiko, T.Sumii, "Floating-Body Effects on Propagation Delay in SOI/CMOS LSIs", Proceedings 1996 Int. SOI Conference, p.142, October 1996.
- [24] W.Redman-White, B.M.Tenbroek, M.S.L.Lee, C.F.Edwards, M.J.Uren, R.T.Bunyan, "Analogue design issues for SOI CMOS", Proceedings 1996 Int. SOI Conference, p.6, October 1996.
- [25] J.L.Leray et al., "From substrate to VLSI: investigation of hardened SIMOX without epitaxy, for dose, dose rate and SEU phenomena", IEEE Trans. Nucl. Science, Vol.35, No.6, p.1355, December 1988.
- [26] S.S.Tsao, D.M.Fleetwood, H.T.Weaver, L.Pfeiffer, G.K.Celler, "Radiation-tolerant, sidewall-hardened SOI/MOS transistors", IEEE Trans. Nucl. Science, Vol.34, No.6, p.1686, December 1987.
- [27] V.Ferlet-Cavrois, O.Musseau, J.L.Leray, M.Raffaelli, J.L.Pelloie, C.Raynaud, "Total Dose Effects on a Fully-Depleted SOI NMOSFET and its lateral parasitic transistor", Proceedings of RADECS 95 (RADiation and its Effects on Components and Systems), p.142, September 1995.
- [28] S.Cristoloveanu, D.E.Ioannu, R.K.Lawrence, G.J.Campisi, H.L.Hughes, "Asymmetrical Irradiation Effects in SIMOX MOSFETs", Proceedings of

RADECS 93 (RADiation and its Effects on Components and Systems), p.373, September 1993.

- [29] H.F.Wei, J.E.Chung, N.M.Kalkhoran, F.Namavar, N.K.Annamalai, W.M.Shedd, "Improvement of Radiation Hardness in Fully-Depleted SOI n-MOSFETs using Ge-Implantation", IEEE Trans. Nucl. Science, Vol.41, No.6, p.2291, December 1994.
- [30] F.T.Brady, T.Scott, R.Borwn, J.Damato, N.F.Haddad, "Fully-Depleted Submicron SOI for Radiation Hardened Applications", IEEE Trans. Nucl. Science, Vol.41, No.6, p.2304, December 1994.
- [31] H.Iwata, T.Ohzone, "Numerical Analysis of Alpha-Particle-Induced Soft Errors in SOI Devices", IEEE Trans. El. Devices, Vol.39, p.1184, 1992.
- [32] L.W.Massengill, D.V.Kerns, S.E.Kerns, M.L.Alles, "Single-Event Charge Enhancement in SOI Devices", IEEE Trans. El. Dev. Lett., Vol.11, p.98, 1990.
- [33] L.R.Hite, H.Lu, T.W.Houston, D.S.Hurta, W.E.Bailey, "An SEU Resistant 256k SOI SRAM", IEEE Trans. Nucl. Science, Vol.39, No.6, p.2121, December 1992.

Chapitre 5

- [1] J.L.Leray et al., "From substrate to VLSI: investigation of hardened SIMOX without epitaxy, for dose, dose rate and SEU phenomena", IEEE Trans. Nucl. Science, Vol.35, No.6, p.1355, December 1988.
- [2] J.L.Leray et al., "CMOS/SOI hardening above 100 Mrad(SiO₂)", IEEE Trans. Nucl. Science, Vol.37, No.6, p.2013, December 1990.
- [3] G.Rossi, "Caratterizzazione del rumore, ed effetti delle radiazioni, di transistor MOS in tecnologia 1.2µm CMOS-SOI radiation hard", Master Degree Thesis in Electronics Engineering at *Politecnico di Milano*, Milano, 1993.
- [4] F.Faccio, E.H.M.Heijne, P.Jarron, M.Glaser, G.Rossi, S.Avrillon, G.Borel, "Study of device parameters for analog IC design in a 1.2µm CMOS-SOI technology after 10 Mrad", IEEE Trans. Nucl. Science, Vol.39, No.6, p.1739, December 1992.
- [5] A.Ionescu, S.Cristoloveanu, A.Chovet, P.Jarron, E.Heijne, F.Faccio, G.Rossi, "A systematical investigation of radiation effects in MOS/SIMOX structures", Proceedings of INFOS 93 (INSulating Films On Semiconductors), Delft, The Netherlands, p.391, 1993.
- [6] F.Faccio, P.Aspell, E.H.M.Heijne, P.Jarron, G.Borel, "Analog Performance of SOI MOSFETs up to 25 Mrad (Si)", Proceedings of RADECS 95 (RADiation and its Effects on Components and Systems), p.137, September 1995.
- [7] E.León Florián, H.Schönbacher, M.Tavlet, "Data Compilation of Dosimetry Methods and Radiation Sources for Material Testing", CERN internal report CERN/TIS-CFM/IR/93-03, 29 March 1993.

- [8] M.Tavlet, M.E.Leon Florian, "PSAIF: The PS-ACOL Irradiation Facility at CERN", Proceedings of RADECS 91 (RADIATION and its Effects on Components and Systems), p.582, September 1991.
- [9] F.Anghinolfi, P.Aspell, M.Campbell, F.Faccio et al., "1992 Status Report RD9: A Demonstrator Analog Signal Processing Circuit in a Radiation Hard SOI-CMOS Technology", CERN internal report CERN/DRDC/93-17, 10 March 1993.

Chapitre 6

- [1] V.Radeka, "Low noise techniques in detectors", Ann. Rev. Nucl. Part. Sci., Vol.38, p.217, 1988.
- [2] V.Radeka, "Signal, noise and resolution in position-sensitive detectors", IEEE Trans. Nucl. Science, Vol.21, No.1, p.51, February 1974.
- [3] L.K.J.Vandamme, "Noise in MOS devices", in Proceedings of the International Noise School *Noise in Semiconductor Materials and Devices*, IMEC (Leuven, Belgium), December 14-16 1993, Vol.2.
- [4] P.R.Gray, R.G.Meyer, *Analysis and design of Analog Integrated Circuits, second edition*, edited by John Wiley & Sons, Berkeley, 1983, pp.657-667.
- [5] M.J.Kirton, M.J.Uren, "Noise in solid-state microstructures: A new perspective on individual defects, interface states and low-frequency (1/f) noise", Advances in Physics, Vol.38, No.4, p.367, 1989.
- [6] F.N.Hooge, "1/f noise", Physica B, Vol.83, p.14, 1976.
- [7] F.N.Hooge, "1/f noise sources", in *Noise in Semiconductor Materials and Devices*, Proc. of the International Noise School, Leuven (Belgium), Dec.1993, Vol.2.
- [8] A.L.McWorther, *Semiconductor Surface Physics*, University of Pennsylvania Press, Philadelphia, 1956, p.207.
- [9] A.G.Jordan, N.A.Jordan, "Theory of Noise in Metal Oxide Semiconductor Devices", IEEE Trans. El. Devices, p.148, 1965.
- [10] G.Reibold, "Modified 1/f Trapping Noise Theory and Experiments in MOS Transistors Biased from Weak to Strong Inversion—Influence of Interface States", IEEE Trans. El. Devices, Vol.31, No.9, p.1190, September 1984.
- [11] G.Ghibaudo, "A simple derivation of Reibold's drain current spectrum formula for Flicker noise in MOSFETs", Solid-State Electronics, Vol.30, No.10, p.1037, 1987.
- [12] Z.Y.Chang, W.M.C.Sansen, *Low noise wide-band amplifiers in bipolar and CMOS technologies*, Leuven, Kluwer academic publisher, 1992.
- [13] F.Faccio, P.Aspell, E.H.M.Heijne, P.Jarron, G.Borel, "Analog Performance of SOI MOSFETs up to 25 Mrad (Si)", Proceedings of RADECS 95 (RADIATION and its Effects on Components and Systems), p.137, September 1995.

- [14] T.L.Meisenheimer, D.M.Fleetwood, M.R.Shaneyfelt, L.C.Riewe, "1/f Noise in n- and p-channel MOS Devices Through Irradiation and Annealing", IEEE Trans. Nucl. Science, Vol.38, No.6, p.1297, December 1991.
- [15] S.M.Sze, *Physics of Semiconductor Devices*, 2nd Edition, John Wiley & Sons, New York, pp.362-402, 1981.
- [16] J.C.Santiard, F.Faccio, "Noise and speed characteristics of test transistors and charge amplifiers designed using a submicron CMOS technology", Nucl. Instr. and Meth. in Phys. Res. A, Vol.380, p.350, 1996.
- [17] G.Rossi, "Caratterizzazione del rumore, ed effetti delle radiazioni, di transistor MOS in tecnologia 1.2 μ m CMOS-SOI radiation hard", Master Degree Thesis in Electronics Engineering at *Politecnico di Milano*, Milano, 1993.
- [18] D.M.Fleetwood, J.H.Scofield, "Evidence That Similar Point Defects Cause 1/f Noise and Radiation-Induced-Hole Trapping in Metal-Oxide-Semiconductor Transistors", Physical Review Letters, Vol.64, No.5, p.579, January 1990.
- [19] Y.P.Tsividis, *Operation and modeling of the MOS transistor*, edited by McGraw-Hill, pp.335-343.
- [20] W.Dabrowsky et al., "Noise measurements on radiation-hardened CMOS transistors", IEEE NSS, Santa Fe, November 5-9 1991, Vol.3, p.1536.
- [21] Y.P.Tsividis, *Operation and modeling of the MOS transistor*, edited by McGraw-Hill, p.129.
- [22] W.Shockley, W.T.Read, "Statistics of the recombinations of holes and electrons", Physics Review, Vol.87, p.835, September 1952.
- [23] L.D.Yau, C.T.Sah, "Theory and experiments of low-frequency generation-recombination noise in MOS transistors", IEEE Trans. Electron Devices, Vol.16, No.2, p.170, February 1969.
- [24] Shu-Yau Wu, "Theory of the generation-recombination noise in MOS transistors", Solid-State Electronics, Vol.11, p.25, 1968.
- [25] C.T.Sah, "Theory of low-frequency generation noise in junction-gate field-effect transistors", Proc. IEEE, Vol.52, p.795, July 1964.
- [26] F.Scholz, J.M.Hwang and D.K.Schroder, "Low frequency noise and DLTS as semiconductor device characterization tools", Solid-State Electronics, Vol.31, No.2, p.205, 1988.
- [27] D.C.Murray, A.G.R.Evans and J.C.Carter, "Shallow Defects Responsible for GR Noise in MOSFET's", IEEE Trans. Electron Devices, Vol.38, No.2, p.416, 1991.
- [28] P.Gentil, S.Chause, "Low Frequency Noise Measurements on Silicon-On-Sapphire (SOS) MOS Transistors", Solid-State Electronics, Vol.20, p.935, 1977.
- [29] A.Touboul, G.Pelloux, G.Lecoy, A.A.Chouja, P.Gentil, "Trap characterization in SOS-MOS transistors using noise measurements", Revue de Physique Appliquée, Tome 13, p.227, Mai 1978.
- [30] Y.P.Tsividis, *Operation and modeling of the MOS transistor*, edited by McGraw-Hill, pp.368-369.

- [31] Sang-Gug Lee, "Experimental Investigation of Noise Behavior of SIMOX MOSFETs", thesis presented to the graduate school of the University of Florida in partial fulfilment of the requirements of the Degree of Master of Engineering, University of Florida, 1989.
- [32] I.Groves, Texas Instruments, communication privée, Juillet 1994.

Chapitre 7

- [1] V.Valencic, F.Anghinolfi, P.Deval, R.Bonino, D.LaMarra, H.Kambara, "A Low-Power Piecewise Linear Analog To Digital Converter for use in Particle Tracking", IEEE Trans. Nucl. Science, Vol.42, No.4, p.772, August 1995.
- [2] L.C.Jain, M.R.Haskard, "Review of D/A and A/D Converters and Their Suitability for VLSI", Journal of Electrical and Electronics Engineering, Australia - IE Aust. & IREE Aust., Vol.4, No.1, p.35, March 1984.
- [3] P.R.Gray, D.A.Hodges, "Analog-Digital Conversion Techniques for Telecommunication Applications", in *Design of MOS VLSI circuits for telecommunications*, edited by Y.Tsividis/P.Antognetti, Prentice-Hall, 1985, p.212.
- [4] P.E.Allen, D.R.Holberg, *CMOS Analog Circuit Design*, edited by Holt, Rinehart and Winston, New York, 1987, p.365.
- [5] P.R.Gray, R.G.Meyer, "MOS Operational Amplifier Design — A Tutorial Overview", IEEE Journal of Solid-State Circuits, Vol.17, No.6, p.969, December 1982.
- [6] F.Krummenacher, "Comparateur CMOS rapide à faible consommation", Rapport d'invention, EPFL-Lausanne, 1984.

Annexe 1

Interaction des rayonnements avec la matière

L'interaction des rayonnements avec la matière est dépendante du type, de l'énergie cinétique, de la masse et de la charge de la particule et de la masse, du numéro atomique et de la densité du matériel cible. On peut distinguer effets de déplacement et effet d'ionisation.

Effets d'ionisation

Les particules responsables des dépôts d'énergie d'ionisation dans le matériel cible sont les photons et les particules chargées (leptons, hadrons, ions lourds). Les photons interagissent avec la matière par trois processus différents: l'effet photoélectrique, l'effet Compton et la production de paires électron-positon [1]. En tout cas, le résultat primaire de l'interaction est la production d'électrons secondaires énergétiques. Les photons à faible énergie interagissent photoélectriquement. Le photon excite un électron qui se trouve dans un des niveaux énergétiques inférieurs de l'atome cible, et celui-ci est émis. Le photon étant complètement absorbé, le résultat est la création d'un électron libre et d'un atome ionisé.

Pour des énergies plus élevées du photon, c'est l'effet Compton qui domine. Dans l'interaction avec l'atome cible, le photon délivre une partie de son énergie à un électron, énergie suffisante à l'émission de l'électron libre, mais l'énergie initiale du photon n'est pas complètement absorbée et il y a l'émission d'un autre photon. La production de paires est possible seulement pour des photons à haute énergie ($E > 1.02$ MeV). Le photon est complètement annihilé dans la production d'une paire électron-positon.

L'importance relative des trois processus en fonction de l'énergie du photon et de la masse atomique de matériel cible est illustré en Figure I.1. Pour le silicium, les rayons X émis par un irradiateur à faible énergie (typiquement 10 KeV) interagissent principalement par l'effet photoélectrique, alors que l'interaction du rayonnement γ à haute énergie (typiquement 1.25 MeV pour une source à ^{60}Co) est dominée par l'effet Compton.

Les électrons à haute énergie (soit directement présents dans l'environnement, soit électrons secondaires produits par interaction de photons dans le matériau), les protons et les autres particules chargées peuvent ioniser les atomes et engendrer des paires électron-trou. Si les énergies des électrons et des trous créés sont supérieures au minimum pour la création de paires, ils peuvent eux-mêmes engendrer d'autres paires. De cette façon, une particule ou photon hautement énergétique peut créer des millions

de paires électron-trou (cascade). Le seuil de production de paires en silicium est de 3.6 eV, pour SiO_2 il est de 17 eV.

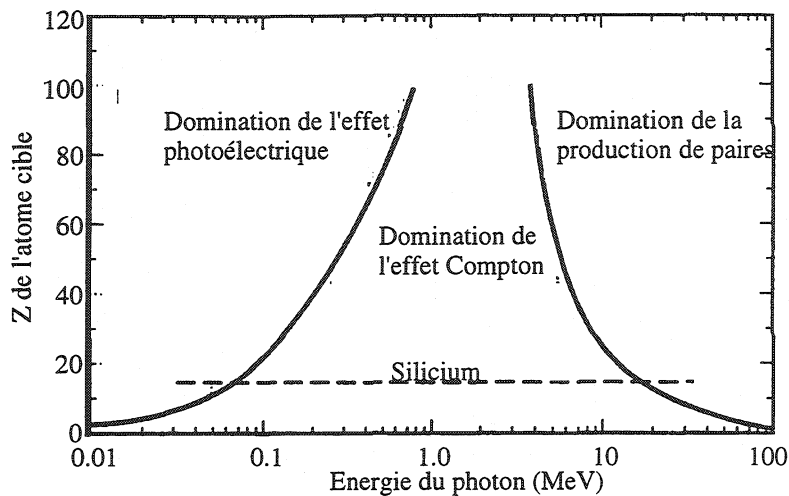


Figure I.1: Importance relative de l'effet photoélectrique, Compton et de la production de paires électron-positon en fonction de l'énergie du photon.

Effets de déplacement

Neutrons et protons à haute énergie peuvent causer des dommages de déplacements dans le silicium et dans d'autres matériaux semiconducteurs [2]. Lors de la collision avec une de ces particules, l'atome cible peut s'éloigner de sa position réticulaire et, si l'énergie de collision est suffisante, il peut quitter sa position pour occuper un site interstitiel. L'énergie minimale nécessaire pour cela est le seuil de déplacement. L'atome déplacé de sa position réticulaire laisse une vacance qui, avec l'atome en position interstitielle forme un paire de Frenkel. Si l'atome déplacé a suffisamment d'énergie, il peut à son tour déplacer d'autres atomes. Par conséquent, une collision très énergétique peut produire une cascade de déplacements enduisant à une formation de défauts. Néanmoins, environ 90% des paires atome déplacé–vacance se recombinent dans la minute suivant l'irradiation à température ambiante.

L'effet primaire du déplacement est la création de défauts profonds et superficiels dans le matériel. Les défauts superficiels peuvent compenser les porteurs majoritaires, tandis que les défauts profonds peuvent agir comme centres de génération, recombinaison ou piégeage. Ces derniers peuvent décroître le temps de vie des porteurs minoritaires, augmenter le débit de création thermique de paires électron-trou et décroître la mobilité des porteurs. Par conséquent, les effets de déplacement représentent un problème pour les dispositifs à porteurs minoritaires (comme les transistors bipolaires) et optoélectroniques.

Références Bibliographiques

- [1] R.D.Evans, The atomic nucleus, McGraw-Hill, New York, 1955
- [2] G.P.Summers, "Displacement Damage: Mechanisms and Measurements", 1992 IEEE Nuclear Space and Radiation Effects Conference Short Course, New Orleans, Louisiana (July 1992)

Annexe 2

Effets des rayonnements sur les transistors bipolaires

A2.1 Dose intégrée

Conséquences sur les transistors bipolaires

Les circuits intégrés en technologie bipolaire exposés aux rayonnements ont deux mécanismes possibles de faillite: le courant de fuite causé par les charges piégées dans l'oxyde de champ épais ou la diminution du gain en courant ($\beta = I_C/I_B$) des transistors. Le courant de fuite est dû, comme dans le cas des technologies MOS, aux transistors MOS parasites de type "oxyde de champ", et a déjà été discuté dans le chapitre 2.

Pour la plupart des technologies utilisées pour les circuits intégrés linéaires, le mécanisme principal de faillite est la diminution du gain β . En Figure II.1, un cas typique de cette diminution pour des transistors NPN irradiés est montré. En plus, on a récemment observé que le gain en courant après exposition est comparativement plus dégradé à faible débit de dose qu'à débit de dose élevé [1-3].

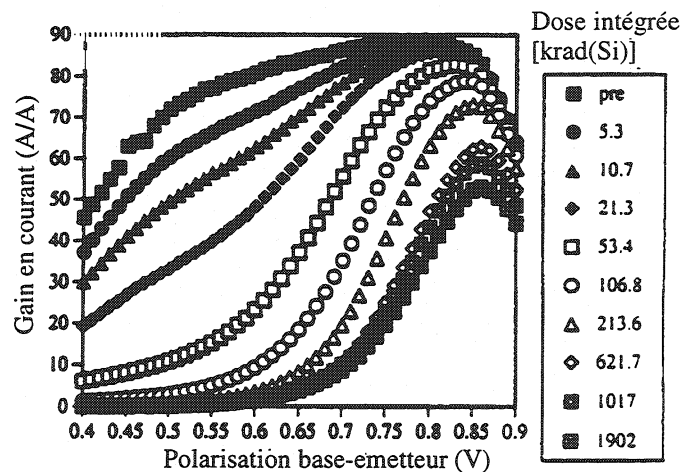


Figure II.1: Cas typique de la diminution du gain en courant des transistors NPN en fonction de la dose intégrée.

La phénoménologie ne peut pas être généralisée à tout dispositif, et il est utile de partager les transistors NPN et les transistors PNP [4].

Transistors NPN

Pour les transistors bipolaires NPN irradiés avec des radiations ionisantes, le courant de base augmente tandis que le courant de collecteur reste environ constant. L'augmentation du courant de base (courant en excès) est le résultat d'une recombinaison plus importante dans la zone désertée base-émetteur. Les recombinaisons augmentent sous l'effet conjugué de deux phénomènes: augmentation du taux de recombinaison en surface et extension de la zone désertée base-émetteur.

L'augmentation du taux de recombinaisons de surface est proportionnelle à la densité des centres de recombinaison à l'interface Si-SiO₂ qui couvre la jonction base-émetteur. Ces centres de recombinaison sont liés aux pièges d'interface comme pour les transistors MOS, mais ce sont les centres avec énergie au voisinage du milieu de la bande interdite qui jouent le rôle principal.

La zone désertée s'étend à cause des charges piégées dans l'oxyde recouvrant la jonction base-émetteur, qui tendent à vider les zones de type p faiblement dopées formant les bases des transistors NPN comme montré en Figure II.2. L'augmentation des recombinaisons est localisée au bords de l'émetteur, donc le courant de base en excès est proportionnel au périmètre de l'émetteur. Les "layouts" des transistors avec rapports périmètre/surface grands accroissent la sensibilité aux rayonnement ionisants parce que le courant en excès (proportionnel au périmètre de l'émetteur) est large par rapport au courant de base idéal (proportionnel à la surface de l'émetteur).

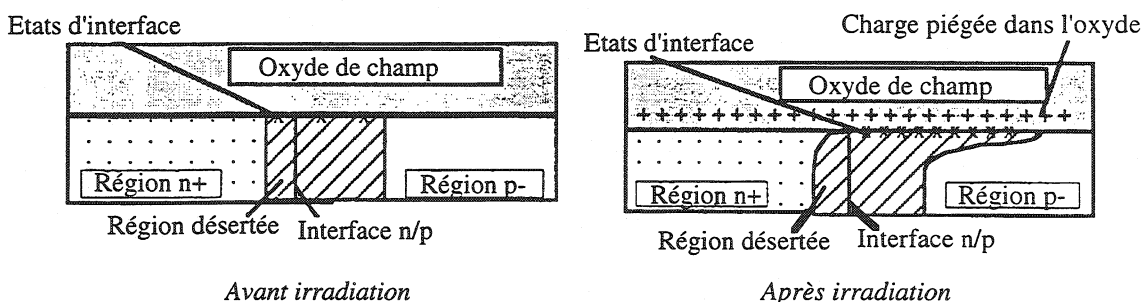


Figure II.2: Extension de la zone désertée base-émetteur causée par l'accumulation de charge positive dans la couche d'oxyde épais après l'irradiation (transistor NPN).

On a dernièrement découvert que le courant en excès est fortement dépendent du débit de dose de l'irradiation, et cela pour tout type de transistor bipolaire. La dégradation du gain peut être significativement supérieure aux débits de dose les plus faibles, ce qui introduit un problème dans la méthodologie de test aux radiations des bipolaires. On a néanmoins trouvé un effet de saturation, dans les transistors NPN, pour des doses intégrées élevées (de l'ordre de 1 Mrad). En ce cas, une accumulation de charge suffisante dans l'oxyde est à l'origine d'une recombinaison significative dans toute la surface de la base faiblement dopée. Cette condition atteinte, le courant de base en excès

est proportionnel à la surface de la zone de base et n'augmente que très peu avec la dose intégrée. Un exemple de ce phénomène de saturation est illustré en Figure II.3, qui montre le courant de base en excès en fonction de la dose intégrée pour quatre débits de dose différents. Il y a plus de courant en excès après une irradiation à faible débit de dose, mais les courbes convergent pour les hautes doses intégrées.

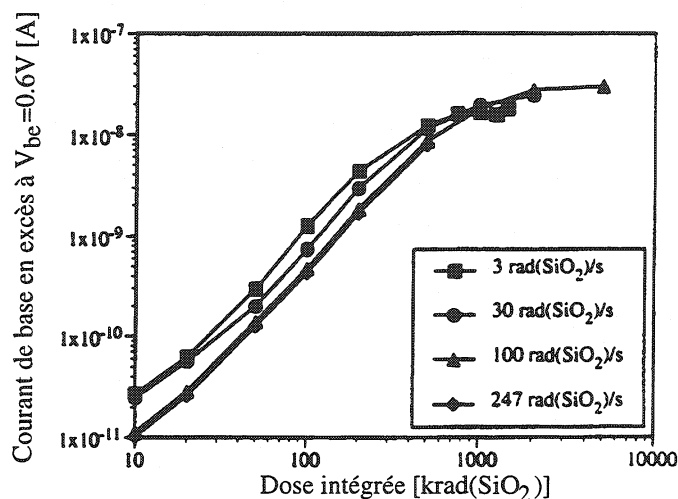
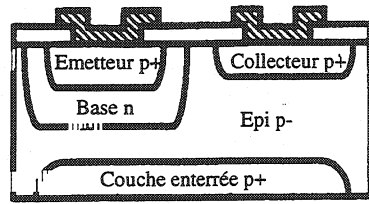


Figure II.3: Effet de saturation du courant en excès à haute doses intégrées, indépendant du débit de dose de l'irradiation.

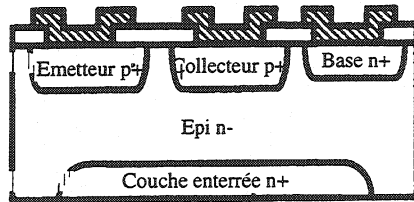
Transistors PNP

Trois structures de transistor PNP sont couramment employées dans les circuits intégrés. Les VPNP (verticaux) ont une structure très semblable aux NPN verticaux qu'on a examiné dans le paragraphe précédent. Dans les LPNP (latéraux) la zone active du dispositif se trouve à la surface du silicium et le courant s'écoule latéralement entre émetteur et collecteur, qui se trouvent tous les deux à la surface. Dans les SPNP (substrat) le flux de courant est vertical, et le substrat joue le rôle de collecteur pour le dispositif. Les trois structures sont qualitativement montrées en Figure II.4.

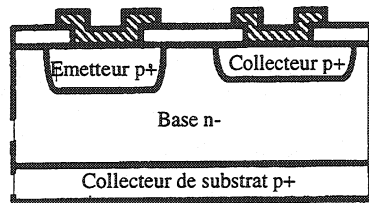
Les VPNP sont normalement beaucoup moins sensibles aux effets des rayonnements que les NPN verticaux. La charge positive piégée dans l'oxyde cause une accumulation dans la base de type n et une déplétion dans l'émetteur de type p. Mais l'émetteur des VPNP est fortement dopé et l'accumulation de charge dans l'oxyde ne modifie pas de manière significative la longueur désertée dans cette zone. Cela est illustré en Figure II.5, qui peut être comparée à la Figure II.2 pour les NPN. Dans les NPN verticaux, la zone désertée s'étendait sensiblement dans la base p faiblement dopée. Dans les VPNP, l'un des deux mécanismes responsables de l'augmentation des recombinaisons, l'extension de la région désertée, n'a pas lieu, et leur gain est moins détérioré.



(a) VPNP



(b) LPNP



(c) SPNP

Figure II.4: Représentation schématique des trois différents types de structure pour les transistors bipolaires PNP: vertical, latéral et substrat.

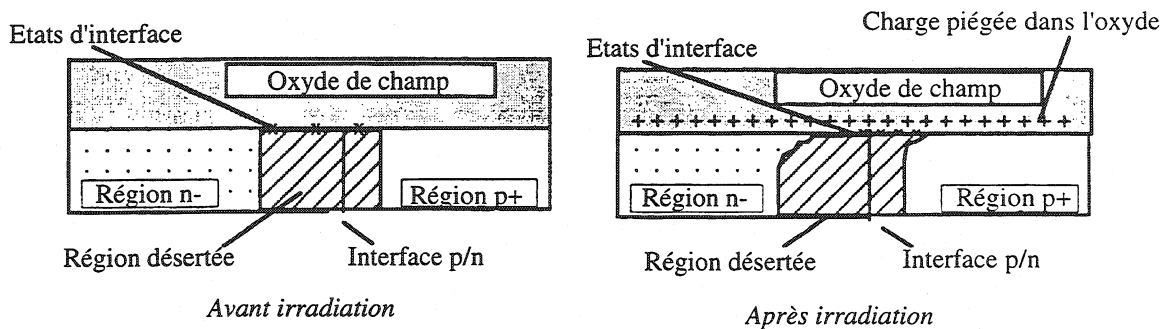


Figure II.5: Extension de la zone désertée base-émetteur causée par l'accumulation de charge positive dans la couche d'oxyde épais après l'irradiation (transistor bipolaire PNP vertical).

Les LPNP sont utilisés couramment dans les circuits intégrés analogiques. Ils peuvent se dégrader significativement à des faibles doses intégrées. La dose suffisante pour réduire de moitié leur gain normalisé en courant peut être jusqu'à 50 fois moindre que celle qui induit la même dégradation dans les VPNP.

Les SPNP sont moins utilisés que les latéraux. Une récente comparaison entre SPNP et LPNP dans la même technologie a montré que les SPNP sont moins sensibles aux

rayonnements, et cela à cause du flux de courant qui est vertical, donc à l'abri des effets d'interface et de l'oxyde.

La Figure II.6 résume la diminution du gain des trois structures bipolaires PNP décrites, et montre leur différente sensibilité aux rayonnements. Le mécanisme de dégradation du gain des PNP, au contraire des NPN, n'a pas encore été étudié intensivement. Les hypothèses proposées sont les suivantes: déplétion de l'émetteur de type p, recombinaison à la surface de la base, augmentation de l'injection d'électrons dans l'émetteur, déplacement du courant de trous de la surface vers le silicium à cause de l'accumulation de charge dans l'oxyde. Ces mécanismes sont présents dans toute structure, mais les LPNP sont plus sensibles puisque le courant s'écoule latéralement et directement sous l'oxyde où les charges induites par l'irradiation sont piégées. La diminution du gain dans les PNP est aussi sensible au débit de dose de l'irradiation, et s'avère plus importante pour de faibles débits. On a trouvé une dépendance du débit de dose qui continue à exister jusqu'à un débit de 0.002 rad/s.

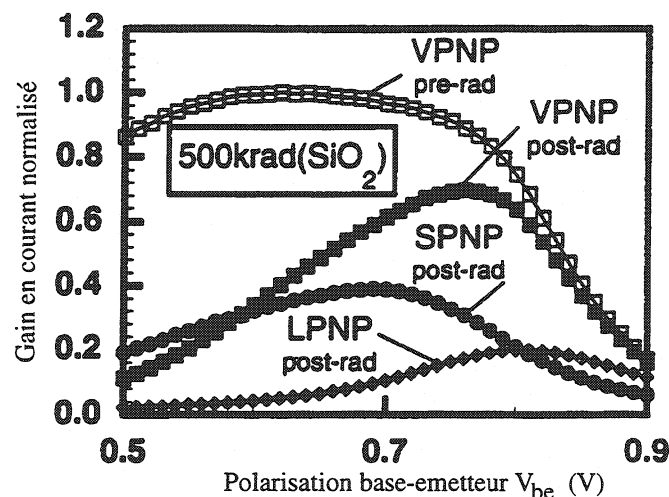


Figure II.6: Gain en courant normalisé en fonction de la tension base-émetteur (V_{be}) pour des transistors LPNP, VPNP et SPNP. Les courbes avant l'irradiation sont très semblables pour les trois types de dispositif, donc seulement la courbe des VPNP est montrée. La dose intégrée est de 500 Krad.

Méthode de test du durcissement

La forte dépendance du débit de dose des transistors bipolaires, et la variabilité de ce phénomène dans les différents dispositifs et technologies, pose le problème de trouver un méthode pour prédire le comportement des transistors dans un environnement radiatif à faible débit de dose. Le test direct à faible débit n'étant pas possible pour des raisons de temps et de coût, il est nécessaire de trouver un approche différente. Une nouvelle méthode, basée sur l'irradiation à haute température, a été proposée par

R.D. Schrimpf de l'Université de l'Arizona [4]. La méthode, fondée sur des observations expérimentales et des interprétations théoriques, peut se résumer en deux étapes:

1) Irradiation d'un groupe de dispositifs au niveau de dose intégrée spécifiée, à température ambiante, avec un débit de dose de 50 rad/s (ou plus) pour vérifier la tenue de la technologie aux courants de fuite (isolations).

2) Irradiation d'un autre groupe de dispositifs à la dose intégrée spécifiée à une température de 100–125°C avec ^{60}Co . Si une source de rayons X est utilisée, la dose intégrée doit être augmentée d'un facteur 3. Le débit de dose de l'irradiation doit être entre 50 et 300 rad/s. Le but de ce test est de mesurer la diminution de gain.

La généralité de cette méthode et son applicabilité à toute technologie doivent encore être vérifiées.

A2.2 Neutrons

Les irradiations avec neutrons produisent des dommages dus au déplacement d'atomes dans les matériaux. Cela ne pose pas de grands problèmes dans les technologies bipolaires d'aujourd'hui. Dans les technologies plus anciennes, le gain des transistors bipolaires était limité par la recombinaison de porteurs minoritaires dans la base du dispositif. Les défauts introduits par déplacement d'atomes ont une influence importante dans le taux de recombinaison dans la base, d'où la sensibilité du gain aux irradiations neutroniques. Les technologies plus modernes ont une base très mince, de l'ordre de 1000 Å, et le gain en courant de ces dispositifs est limité par d'autres composants du courant de base que la recombinaison. Même après une exposition à un flux de 10^{14} neutrons/cm², le gain ne diminue pas de plus que 25% [5].

A2.3 Phénomènes non récurrents

Les mécanismes à la base des phénomènes non récurrents dans les dispositifs et circuits bipolaires sont similaires à ceux discutés pour les MOS en chapitre 2. En particulier, les circuits bipolaires sont aussi sensibles aux erreurs logiques. Le premier SEU dans un circuit bistable J–K bipolaire a été observé en 1975 [6]. Les technologies bipolaires sont au contraire insensibles aux verrouillages maintenus (SEL). On peut observer néanmoins des SEL dans certains dispositifs bipolaires, à condition qu'il existe de petites structures NPNP, ce qui est assez rare dans les technologies actuelles. Si l'on observe les tendances technologiques générales dans les procédés bipolaires, on voit

que le SEL devient de plus en plus probable. L'augmentation de densité des technologies et la diminution des dimensions des géométries seront à l'origine d'un gain plus élevé des transistors bipolaires parasites et d'une baisse de la charge critique nécessaire pour le verrouillage.

Références Bibliographiques

- [1] E.W.Enlow, R.L.Pease, W.Combs, R.D.Schrimpf, R.N.Nowlin, "Response of Advanced Bipolar Processes to Ionizing Radiation", IEEE Trans. Nucl. Science, Vol.38, No.6, p.1342, December 1991.
- [2] R.N.Nowlin, D.M.Fleetwood, R.D.Schrimpf, R.L.Pease, W.E.Combs, "Hardness-Assurance and Testing Issues for Bipolar/BiCMOS Devices", IEEE Trans. Nucl. Science, Vol.40, No.6, p.1686, December 1993.
- [3] R.N.Nowlin, E.W.Enlow, R.D.Schrimpf, W.E.Combs, "Trends in the total dose response of modern bipolar transistors", IEEE Trans. Nucl. Science, Vol.39, No.6, p.2026, December 1992.
- [4] R.D.Schrimpf, "Recent Advances in Understanding Total-Dose Effects in Bipolar Transistors", presented at RADECS95, to be published on IEEE Trans. Nucl. Sciences, June 1996.
- [5] A.Holmes-Siedle, L.Adams, "Handbook of Radiation Effects", Oxford University Press, oxford, 1993.
- [6] D.Binder, E.C.Smith, A.B.Holman, "Satellite anomalies from galactic Cosmic rays", IEEE Trans. Nucl. Science, Vol.22, p.2675, 1975.

Annexe 3

Approximation de $\Delta\text{Log}(I)$ dans la méthode de la pente en inversion faible

L'évaluation de la contribution des états d'interface au déplacement du seuil du transistor demande, comme on l'a vu en chapitre 3 pour notre approche, la connaissance de $I_{\text{diff}} = I_{\text{fif}} - I_{\text{mg}}$. Plus exactement, il faut calculer la différence entre le logarithme du courant à la fin de l'inversion faible et au *midgap*, ce qu'on indique par $\Delta\text{Log}(I)$. On utilise (4.1) pour exprimer le courant:

$$I_d = I_x \cdot \frac{\exp(\beta\psi_s)}{\sqrt{\beta\psi_s}}$$

où ψ_s est le potentiel à la surface, $\beta = q/kT = 1/\Phi_t$, $I_x = \frac{1}{\sqrt{2}} \mu \frac{W}{L} \sqrt{\frac{qN_a \epsilon_s}{\beta^3}} \left(\frac{n_i}{N_a}\right)^2$, N_a est le dopage du silicium massif, n_i la concentration intrinsèque de porteurs. La différence entre les logarithmes est:

$$\Delta\text{Log}(I) = \text{Log}(I_{\text{fif}}) - \text{Log}(I_{\text{mg}}) = \text{Log}\left(I_x \cdot \frac{\exp(\beta\psi_{s,\text{fif}})}{\sqrt{\beta\psi_{s,\text{fif}}}}\right) - \text{Log}\left(I_x \cdot \frac{\exp(\beta\psi_{s,\text{mg}})}{\sqrt{\beta\psi_{s,\text{mg}}}}\right)$$

La dépendance dominante du potentiel de surface dans l'expression du courant vient du terme exponentiel. On peut négliger le terme en racine carrée, et le grouper avec le courant I_x dans une quantité qu'on considérera constante: $I_c = \frac{I_x}{\sqrt{\beta\psi_s}}$. Cette hypothèse introduit une erreur d'environ 2% dans l'évaluation de $\Delta\text{Log}(I)$, ce qui est acceptable. L'expression pour $\Delta\text{Log}(I)$ devient alors:

$$\begin{aligned} \Delta\text{Log}(I) &= \text{Log}(I_c \cdot \exp(\beta\psi_{s,\text{fif}})) - \text{Log}(I_c \cdot \exp(\beta\psi_{s,\text{mg}})) = \\ &= \text{Log}(\exp(\beta\psi_{s,\text{fif}}) / \exp(\beta\psi_{s,\text{mg}})) = \frac{1}{2.3} \ln[\exp(\beta(\psi_{s,\text{fif}} - \psi_{s,\text{mg}}))] = \\ &= \frac{1}{2.3} \beta \Phi_B = \frac{\Phi_B}{2.3\Phi_t} \end{aligned}$$

où $(\psi_{s,\text{fif}} - \psi_{s,\text{mg}}) = \Phi_B$ est le potentiel de Fermi.

Cette valeur a été utilisée en chapitre 4 dans l'évaluation de ΔV_{it} .

Annexe 4

Le système de mesure du bruit

Deux systèmes de mesure différents ont été utilisés pour étudier le bruit en régime de saturation et en régime ohmique.

Mesure en régime de saturation

Le système pour mesurer le bruit du transistor en saturation est illustré en Figure IV.1, et expliqué dans les détails en [1]. Le HP3588A est un analyseur de spectre avec une bande passante de 150 MHz produit par *Hewlett Packard*.

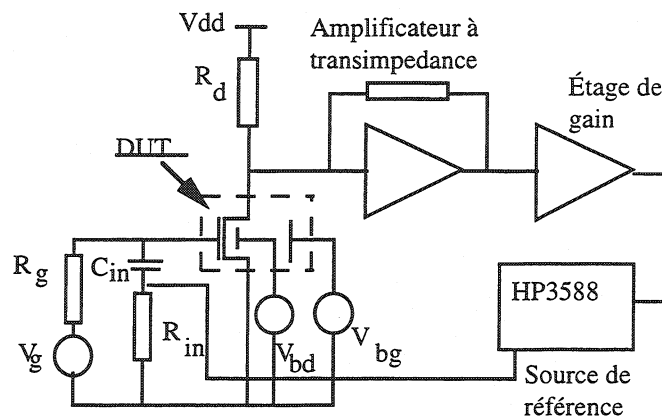


Figure IV.1: Système de mesure du bruit en régime de saturation.

Le transistor, appelé pour simplicité DUT (*Device Under Test*), est en saturation et en configuration de source commune. Le potentiel de grille, qui détermine le courant, est imposé par un générateur V_g dont le bruit est coupé à une fréquence très basse grâce au filtre constitué par R_g (1 M Ω) et C_{in} (0.1 μ F). Les polarisations du substrat et du body peuvent être imposées indépendamment, et la résistance R_d , qui est utilisée pour fournir le courant statique de drain, a été choisie d'une valeur de 10 k Ω pour que son bruit en courant $4kT/R_d$ soit petit par rapport au bruit du DUT. Toutes les sources de tension utilisées pour la polarisation du transistor sont réalisées avec des piles et des potentiomètres dont le bruit est filtré avec des capacités de grande valeur.

La chaîne d'amplification est constituée par un amplificateur à transimpédance et un amplificateur en tension. En Figure IV.2, on voit le détail de ce montage qui utilise deux amplificateurs opérationnels CLC425 (*Ultra Low Noise Wideband Op Amp*) vendus par *Comlinear Corporation*. Ce système nous a été suggéré par [2] et [3].

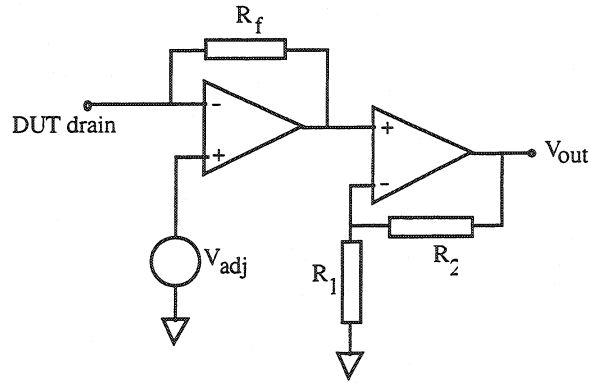


Figure IV.2: Détail de la chaîne d'amplification

L'amplificateur à transimpédance présente une impédance dynamique d'entrée largement inférieure à R_d (de l'ordre de 100Ω), et par conséquent tout le courant du signal (y compris le courant de bruit) passe dans la résistance de contre-réaction R_f . La basse impédance d'entrée limite aussi l'effet Miller entre grille et drain du DUT, car l'amplification en tension a lieu dans l'étage de gain à la sortie de l'amplificateur à transimpédance. Cela permet d'augmenter considérablement la bande passante du système de mesure, qui est limité par le pôle dominant au drain du DUT, jusqu'à environ 20 MHz. L'amplificateur à transimpédance est utilisé aussi pour fixer le potentiel de drain du transistor sous test: le potentiel appliqué à l'entrée non-inverseuse de l'amplificateur opérationnel est répliqué à l'entrée inverseuse. L'étage de gain est simplement un amplificateur opérationnel monté en configuration non-inverseuse, et son gain en tension est $G=1+R_2/R_1$. Avec $R_1=25 \Omega$ et $R_2=500 \Omega$, $G \approx 41$. Le gain total du système, à partir de la grille du DUT, est par conséquent $G_{tot} = g_m R_f \left(1 + \frac{R_2}{R_1} \right)$ sur un intervalle de fréquence 100Hz-20MHz.

Une mesure de bruit complète se déroule en trois étapes:

- mesure de la fonction de transfert $T(f)=G_{tot}(f)$ du système. Dans ce but, on utilise la source de référence du HP3588A.
- mesure du bruit $S_{V,tot}^2(f)$ à la sortie de la chaîne d'amplification, avec le DUT.
- mesure du bruit $S_{V,Bgd}^2(f)$ à la sortie de la chaîne d'amplification, sans le DUT. C'est le bruit (appelé *background*) que le système rajoute au bruit du transistor, et qui doit être soustrait au bruit total mesuré.

Un ordinateur contrôle les trois étapes d'acquisition, et effectue le calcul du bruit pour chaque fréquence de mesure avec la formule:

$$S_v(f) = \sqrt{\frac{S_{V,tot}^2(f) - S_{V,Bgd}^2(f)}{|T(f)|}} \quad (1)$$

Mesure en régime ohmique

Le système utilisé pour les mesures du bruit en régime ohmique est plus simple, comme illustré en Figure IV.3.

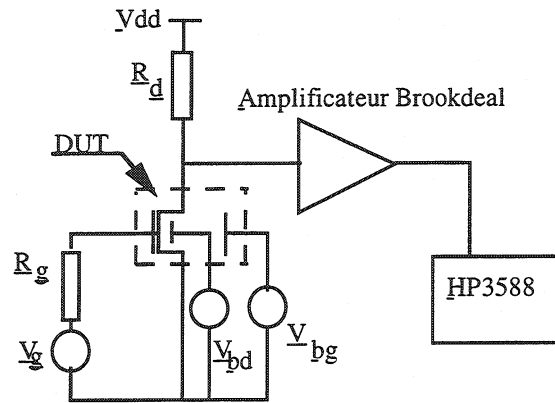


Figure IV.3: Système de mesure du bruit en régime ohmique

Le potentiel de drain du DUT est cette fois déterminé par Vdd et le partiteur formé par les résistances R_d et R_{trans} , où R_{trans} est la résistance de sortie du transistor en régime linéaire. L'amplification est fournie par un amplificateur Brookdeal 5003, qui a un pôle à 1 MHz. Cela détermine la bande passante de ce système de mesure.

Comme en régime de saturation, une mesure complète se déroule en trois étapes:

- mesure de la fonction de transfert $T_{Brook}(f)$ de l'amplificateur Brookdeal, en utilisant la source de référence du HP3588A.
- mesure du bruit $S_{V,tot}^2(f)$ à la sortie de l'amplificateur, avec le DUT.
- mesure du bruit $S_{V,Brook}^2(f)$ à la sortie de l'amplificateur, sans le DUT.

Le bruit en tension du transistor est calculé par l'ordinateur qui contrôle toute la chaîne de mesure avec la formule:

$$S_{V,Drain}(f) = \sqrt{\frac{S_{V,tot}^2(f) - S_{V,Brook}^2(f)}{|T_{Brook}(f)|}} \quad (2)$$

Dans ce cas, la fonction de transfert est calculée à partir du drain et par conséquent le bruit est référé au drain et non à la grille. Puisque la transconductance dépendant, en régime ohmique, linéairement de la tension de drain, le gain du transistor en source commune $Gain = g_m R_{charge}$ change en fonction linéaire de V_{ds} . Un signal injecté à la grille est amplifié au drain et par conséquent change dynamiquement la tension de drain et le gain du transistor. Pour cette raison, on a toujours calculé la fonction de transfert du seul Brookdeal et on a référé le bruit au drain du transistor avec la relation (IV.2).

Références Bibliographiques

- [1] M.Bianchi, "Effetti del danneggiamento da radiazioni ionizzanti sulle caratteristiche elettriche e di rumore di transistori CMOS silicon-on-insulator", Master Degree Thesis in Electronics Engineering at *Politecnico di Milano*, Milano, 1995.
- [2] S.Tedja, H.H.Williams, J.Van der Spiegel, F.M.Newcomer, R.Van Berg, "Noise Spectral Density Measurements of a Radiation Hardened CMOS Process in the Weak and Moderate Inversion", *IEEE Trans. Nucl. Science*, Vol.39, No.4, p.804, 1992.
- [3] Suharli Tedja, Department of Electrical Engineering, University of Pennsylvania, communication privée.