

**ASPECTS TIMING ET INTERCONNEXIONS HARDWARE DANS LE
CONTEXTE DE LA MESURE D'INTENSITÉ DES FAISCEAUX DANS LES
LIGNES D'EJECTION ET DE TRANSFERT DU PSB**

J.-D. Schnell

La mesure d'intensité des faisceaux extraits du PSB s'effectue à partir de six transformateurs rapides qui sont implantés dans les lignes d'éjection de la machine. Ces transformateurs sont raccordés à un système d'acquisition qui a été développé et mis en place dès 1991 par C. Carter et G. Gelato. En 1996 l'instrument a subi une consolidation due à la reconversion du système de contrôle. Par ailleurs, l'opération introduisait à la même époque l'éjection de faisceau étalée (staggered) pour Isolde. Ces deux contraintes ont imposé la mise en oeuvre d'un nouveau concept d'acquisition. Outre les importantes implémentations au niveau du traitement des signaux analogiques, cette consolidation a entraîné entre autres le développement d'un hardware de timing local. Celui-ci est destiné à séquencer la mesure à partir du timing des kickers, à caler avec la précision de 1 ns les portes individuelles des intégrateurs qui mesurent l'intensité par anneau éjecté et à fournir une séquence de calibration. La présente note a pour but de documenter le contexte timing du système et de présenter le hardware spécifique qui a été développé à cet effet. Une vue globale des interconnexions-système est également présentée.

TABLE DES MATIERES

1. Introduction	1
2. Contexte de la mesure	1
2.1. Généralités	1
2.2. Particularités liées aux faisceaux destinés à Isolde.	2
2.2.1. Ejection étalée et non-étalée.	2
2.2.2. Le Watch-Dog Isolde	3
2.2.3. Particularités par rapport au mode d'éjection	3
2.3. Séquence d'acquisition (Timing; détail)	4
3. Description du matériel	4
3.1. Contexte global	4
3.1.1. Système de calibration automatique	5
3.1.2. Système actuel sans calibration automatique	5
3.2. Hardware Analogique	5
3.3. Hardware Digital	6
3.4.1. Unité Main Gate	6
3.4.2. Eight Channel Delay Unit	6
3.4.3. Eight Channel Gate Width Generator	7
3.4.4. Dual 1-to-6 Trigger Buffer	7
3.4.5. Watchdog Integrator Trigger Gate	7
3.4.6. Demultiplexeur.	7
3.4.7. Layout global de l'interface timing.	8
4. Remerciements	8
5. Références	9
6. Annexe: Figures	9

LISTE DES FIGURES

- fig. 1 Timing typique de la mesure d'un faisceau éjecté en mode *non-staggered*
- fig. 2 Timing typique de la mesure d'un faisceau éjecté en mode *staggered*
- fig. 3 Timing typique de la séquence de calibration automatique
- fig. 4 Interconnexions de l'équipement muni du système de calibration automatique
- fig. 5 Interconnexions de l'équipement après la suppression du système de calibration
- fig. 6 Schéma fonctionnel simplifié pour un canal d'acquisition avec calibration automatique
- fig. 7 Tiroir *Main Gate*, schéma-bloc
- fig. 8 Tiroir *Main Gate*, schéma de détail
- fig. 9 Tiroir *Main Gate*, layout panneau avant
- fig. 10 Tiroir *Trigger Delay Module*, schéma-bloc
- fig. 11 Tiroir *Trigger Delay Module*, schéma d'une cellule
- fig. 12 Tiroir *Trigger Delay Module*, schéma de détail, carte A
- fig. 13 Tiroir *Trigger Delay Module*, schéma de détail, carte B
- fig. 14 Tiroir *Trigger Delay Module*, layout panneau avant
- fig. 15 Tiroir *Gate Width Module*, schéma-bloc
- fig. 16 Tiroir *Gate Width Module*, schéma d'une cellule
- fig. 17 Tiroir *Gate Width Module*, schéma de détail, carte A
- fig. 18 Tiroir *Gate Width Module*, schéma de détail, carte B
- fig. 19 Tiroir *Gate Width Module*, layout panneau avant
- fig. 20 Tiroir *Double 1-to-6 Trigger Buffer*, schéma de détail
- fig. 21 Tiroir *Double 1-to-6 Trigger Buffer*, layout panneau avant
- fig. 22 Tiroir *Integrator Trigger Gate*, schéma-bloc
- fig. 22a Tiroir *Integrator Trigger Gate*, schéma de détail
- fig. 23 Tiroir *Integrator Trigger Gate*, layout panneau avant
- fig. 24 Tiroir *Demultiplexeur*, schéma de détail, carte A
- fig. 25 Tiroir *Demultiplexeur*, schéma de détail, carte B
- fig. 26 Tiroir *Demultiplexeur*, layout panneau avant
- fig. 27 Layout global de l'interface timing avec le système de calibration
- fig. 28 Layout global de l'interface timing sans le système de calibration

1. Introduction

La mesure d'intensité des faisceaux extraits du PSB implique six transformateurs rapides, à savoir:

- BT.TRA, commun à toutes les éjections;
- BTP.TRA, faisceaux éjectés vers le PS;
- BTM.TRA, faisceaux éjectés vers la ligne de mesure (dump);
- BTY.TRA112, faisceaux éjectés vers Isolde (mesure en amont du *push-tube*¹);
- BTY.TRA213, faisceaux éjectés vers Isolde (mesure en amont de GPS²);
- BTY.TRA325, faisceaux éjectés vers Isolde (mesure en amont de HRS³).

Ces transformateurs sont raccordés à un système d'acquisition qui a été développé et mis en place dès 1991 par C. Carter et G. Gelato [5, 6, 7]. En 1996 l'instrument a subi une consolidation due à la reconversion du système de contrôle. Les ADC-Intégrateurs (Le Croy) implantés dans un châssis CAMAC ont été remplacés par un ADC à multiples canaux analogiques (MPV 908, Pentland) implanté dans un châssis VME. Par ailleurs, l'opération introduisait l'éjection de faisceau étalée (*staggered*) pour Isolde. Ces deux contraintes ont imposé la mise en oeuvre d'un nouveau concept d'acquisition [4, 3, 2, 1]. Outre les importantes implémentations au niveau du traitement des signaux analogiques, cette consolidation a entraîné le développement d'un hardware de timing local. Celui-ci est destiné:

- à séquencer la mesure à partir du timing des kickers;
- à caler avec la précision de 1 ns les portes individuelles des intégrateurs mesurant l'intensité *par anneau éjecté*.
- à fournir une séquence de calibration⁴

La présente note a pour but de documenter le contexte timing du système et de présenter le hardware spécifique qui a été développé à cet effet. Une vue globale des interconnexions-système est également présentée.

2. Contexte de la mesure

2.1. Généralités

Vingt-huit intégrateurs⁵ couvrent l'acquisition des 6 transformateurs susmentionnés et sont reliés à un ADC (MPV 908, Pentland) qui travaille en mode *scanning*⁶. Chaque

¹ Push tube = Section droite de l'éjection PSB-Isolde qui passe sous la route Democrite.

² GPS = General Purpose Separator.

³ HRS = High Resolution Separator.

⁴ La calibration automatique a été définitivement supprimée en 2000.

⁵ La dynamique d'intensité du faisceau à mesurer s'étend de quelques $2 \cdot 10^{10}$ charges (ions) à $\sim 3 \cdot 10^{13}$ charges (protons). Pour exploiter toute la dynamique (ce qui est le cas pour BT.TRA et BTP.TRA), on a dû la partager en trois gammes de mesure. Ainsi les transformateurs concernés délivrent leur signal en parallèle sur maximum trois intégrateurs, de sorte que l'on a:
Intégrateur Gain 1 : Correspond à $4 \cdot 10^{10}$ particules à pleine échelle;
Intégrateur Gain 2 : Correspond à $4 \cdot 10^{12}$ particules à pleine échelle;
Intégrateur Gain 3 : Correspond à $4 \cdot 10^{13}$ particules à pleine échelle. (voir aussi en page suivante)

intégrateur possède un réglage individuel de la durée de porte de mesure (ou durée de sampling du signal analogique). Cette durée est ajustée en fonction de l'emploi de l'intégrateur.

- ◆ Huit intégrateurs sont ainsi affectés à la mesure de l'intensité totale (somme des 4 anneaux). La mesure *somme* s'effectue sur les transformateurs BT.TRA (3 intégrateurs = 3 gammes), BTP.TRA (3 intégrateurs = 3 gammes) et BTM.TRA (2 intégrateurs = 2 gammes; $4 \cdot 10^{12}$ et $4 \cdot 10^{13}$ particules pleine échelle). Au niveau du timing, la mesure *somme* est activée à partir du trigger qui active le premier kicker d'éjection. La plupart du temps il s'agit du kicker de l'anneau trois. Les intégrateurs-*somme* ont besoin d'une ouverture de porte qui couvre au minimum quatre fois la période de la fréquence de révolution à l'éjection en mode normal (non-étalé), soit au moins 2.2 μ s. Ils sont en principe réglés pour une durée d'ouverture de porte de 4 μ s.
- ◆ Huit autres intégrateurs sont utilisés pour la mesure *par anneau* sur le transformateur BT.TRA (2 gammes de mesure; $1 \cdot 10^{12}$ et $1 \cdot 10^{13}$ particules pleine échelle). Les intégrateurs-*anneau* nécessitent une ouverture de durée au moins égale ou supérieure à 1 période de la fréquence de révolution à l'éjection, soit au moins 500 ns. Les intégrateurs-*anneau* ont leur durée de porte réglée à 650 ns. Sur le plan timing, la mesure *par anneau* est activée avec pour référence de temps l'action du kicker d'éjection de l'anneau concerné.
- ◆ Enfin, douze intégrateurs (4 anneaux, une seule gamme par transformateur; $4 \cdot 10^{13}$ particules pleine échelle) sont affectés aux trois transformateurs de la ligne ISOLDE, à savoir BTY.TRA112, BTY.TRA213 et BTY.TRA325. En mode **staggered**, ils sont activés pour la mesure *par anneau*. En mode **non-staggered**, une limitation due au temps de réponse trop important des transformateurs concernés impose une mesure différente (voir chap 2.2.3.). Une acquisition de la **somme** des quatre anneaux est faite avec l'intégrateur de l'anneau 3 uniquement. Les intégrateurs des anneaux 4, 2 et 1 sont inhibés (voir chap. 2.2.2. , 2.2.3. et 3.4.5. La durée d'ouverture de porte des intégrateurs affectés aux transformateurs de la ligne ISOLDE est réglée à 4 μ s.

2.2. Particularités liées aux faisceaux destinés à Isolde.

2.2.1. Ejection étalée et non-étalée.

L'introduction des nouveaux faisceaux pour Isolde a entraîné avec elle les deux modes d'éjection déjà évoqués plus haut. Le mode **non-staggered** (voir fig. 1) correspond à l'éjection conventionnelle, à savoir: les quatre anneaux éjectés à la file c.à.d. en $\sim 2.2 \mu$ s s'il s'agit de protons. Le mode **staggered** (voir fig. 2) correspond à une éjection *étalée*. Cela veut dire que l'éjection de chaque anneau est espacée, actuellement de 10

Les intégrateurs-*anneau* affectés à BT.TRA couvrent deux gammes de mesures, à savoir $1 \cdot 10^{12}$ et $1 \cdot 10^{13}$ particules à pleine échelle. Lors de la mesure, l'ADC acquiert la sortie de chaque intégrateur. Au post-traitement on ne considère que les signaux non-saturés en sortie d'intégrateur.

⁶ Le MPV 908 possède dans sa présente configuration 32 entrées analogiques. Après l'action *sample and hold* opérée sur les intégrateurs, un train d'horloge externe active la digitalisation canal après canal.

μs au minimum et de $100 \mu\text{s}$ au maximum, par rapport à l'éjection de l'anneau précédent. Ce type de faisceau n'est produit à ce jour que pour Isolde. Il n'est par conséquent "vu" que par BT.TRA et les 3 transformateurs d'Isolde.

Pour la mesure *par anneau* au niveau de BT.TRA, rien ne change par rapport à l'éjection normale.

La mesure *somme* sur BT.TRA, est par contre inutilisable en l'état, vu que la porte de l'intégrateur ne couvre que $4 \mu\text{s}$. Un rallongement de cette porte introduirait par ailleurs une erreur non négligeable dans la mesure. Par conséquent et pour les cycles-machine en mode *staggered*, le système d'acquisition ne tient pas compte du signal *somme*. La somme est calculée en post-traitement à partir de l'acquisition de la mesure *par anneau*.

2.2.2. Le Watch-Dog Isolde

Aux fins de protection des équipements⁷, l'instrument a été pourvu d'un sous-système surnommé *Watchdog*⁸ [5]. Le but de ce sous-système est d'activer le *tail-clipper* du Linac II, si des pertes de faisceau⁹ sont détectées dans la ligne d'éjection PSB - Isolde, c.à.d. entre BT.TRA et les transformateurs d'Isolde. Par souci de sécurité, la détection de pertes de même que l'activation du *tail-clipper* se fait uniquement par le biais du hardware, c.à.d. sans passer par le système de contrôle. Le *watchdog* est composé d'une partie analogique et d'une partie timing. Chacune des parties est implantée dans un tiroir NIM. La partie analogique (tiroir *Watchdog Isolde*¹⁰) fait la comparaison de la somme des signaux issus des intégrateurs-*anneau* de BT.TRA par rapport à la somme des signaux issus des intégrateurs des transformateurs d'Isolde. La partie timing (tiroir *Watchdog integrator trigger gate*¹¹) conditionne la détection de pertes en fonction du mode d'éjection (*normal* ou *étalé*).

2.2.3. Particularités par rapport au mode d'éjection

Le conditionnement de la détection des pertes de faisceau a été rendu nécessaire de par la réponse trop lente des transformateurs d'Isolde (BTY.TRA112, BTY.TRA213 et BTY.TRA325). En effet, en mode d'éjection **non-staggered**, les signaux analogiques correspondants aux *bunches* qui se suivent, n'atteignent plus la ligne de base dans l'espace séparant deux *bunches*. Ceci fausse la mesure, respectivement la comparaison par rapport aux signaux de BT.TRA qui a, lui, une réponse correcte. Par conséquent, comme déjà décrit sous 2.1. pour les transformateurs d'Isolde, une acquisition de la **somme** des quatre anneaux est faite avec l'intégrateur de l'anneau 3 uniquement (ouverture de porte $4 \mu\text{s}$). Les intégrateurs des anneaux 4, 2 et 1 sont inhibés. C'est la partie timing du *watchdog* (voir aussi chap. 3.4.5.) qui intervient en "masquant" les triggers des intégrateurs des anneaux 4, 2 et 1 pour peu qu'ils soient présents dans une fenêtre de $3 \mu\text{s}$ compté à partir de l'action du kicker de l'anneau trois¹². La partie analogique (tiroir *Watchdog Isolde*) fait dans ce cas la comparaison de la somme des signaux issus des intégrateurs-*anneau* de BT.TRA par rapport à la somme des signaux issus des intégrateurs "anneau 3" des transformateurs d'Isolde.

⁷ Contre une irradiation excessive due p. ex. à une mauvaise trajectoire du faisceau.

⁸ Hardware d'origine développé par C.Carter.

⁹ Egales ou supérieures à $3 \cdot 10^{12}$ particules

¹⁰ Version consolidée développée par F.Lenardon

¹¹ Développement d'origine C.Carter, consolidation J.D.Schnell

¹² On rappelle la séquence d'éjection type du PSB qui est: Anneau 3, 4, 2, 1.

En mode d'éjection *étalé* (*staggered*), tous les intégrateurs reçoivent leur trigger respectif et la comparaison analogique se fait par rapport à tous les anneaux.

2.3. Séquence d'acquisition (Timing; détail)

Voir les fig. 1 et 2.

Dans les deux modes d'éjection, la séquence est identique.

- La mesure est activée via un signal de timing approprié, à partir de l'action du premier kicker d'éjection, normalement le kicker de l'anneau 3.
- Ce signal ouvre la porte de mesure des intégrateurs-*somme*, réglée pour une durée de 4 μ s.
- Pour BT.TRA uniquement, ce même signal active les intégrateurs-*anneau*¹³ mesurant la tranche de faisceau de l'anneau 3.
- Quel que soit le mode d'éjection affiché, le signal de timing lié au kicker 3 est suivi des signaux significatifs de l'action des 3 autres kickers. Ces 3 signaux sont chacun acheminés à travers un retard fin vers son intégrateur-*anneau* respectif.
- 400 μ s après le début de la mesure, le timing spécifique de l'instrument génère un signal qui active la digitalisation des canaux au niveau du MPV 908.
- 20 ms après le début de la mesure, le timing spécifique de l'instrument active une série de 4 séquences dites de calibration (voir fig. 3). Chaque séquence est séparée de l'autre par un intervalle de 20 ms¹⁴. Trois séquences, permettent ainsi de calibrer chacune des 3 gammes d'acquisition de l'instrument. On se sert de la quatrième pour l'acquisition de la ligne de zéro¹⁵.

3. Description du matériel

3.1. Contexte global

L'instrument dans son ensemble est déjà décrit dans la note citée en [2]. Il est toutefois à noter que cette version comportait un système de *calibration automatique*. Le schéma global de l'équipement muni du système de calibration est représenté en fig. 4. Le système de calibration a été retiré récemment pour des raisons qui sont exposées plus loin. On retiendra néanmoins que c'est lui qui a dicté les caractéristiques de l'unité *Main Gate*, laquelle a entre autres pour tâche de générer la séquence dite *de calibration*. Le schéma global de l'équipement sans le système de calibration est représenté en fig. 5. Ce schéma représente l'état des interconnexions de l'instrument à l'arrêt-machine de décembre 2000.

¹³ Les intégrateurs-*anneau* ont leur durée de porte réglée à 650 ns. Ceci implique que le calage dans le temps des portes par rapport aux *bunches* observés doit être effectué avec soin. C'est pourquoi chaque trigger d'intégrateur passe en amont à travers un retard digital programmable en nanosecondes. Ce retard a pour fonction de compenser d'une part le temps de vol des particules d'un transformateur à un autre et d'autre part le temps de propagation des signaux analogiques dans les câbles.

¹⁴ Cet intervalle était choisi dans l'idée de caler chaque séquence d'une série au même endroit par rapport à la phase du réseau, tâchant de réduire lors de la calibration, l'erreur due au bruit 50 Hz.

¹⁵ En fait depuis 2000 le principe de calibration ON LINE a été définitivement abandonné. On n'utilise que l'acquisition de la ligne zéro, la calibration étant entreprise comme opération dédiée à titre ponctuel.

3.1.1. Système de calibration automatique

Le rôle de ce système était de re-calibrer l'instrument après chaque mesure pour corriger toute dérive par le biais du post-traitement. La fig. 6 montre de manière simplifiée le matériel impliqué dans l'acquisition avec calibration automatique d'un seul canal analogique. La mesure est activée à partir du signal de timing-kicker de l'anneau concerné qui passe "en transparence" à travers le *Main Gate*. Un retard fixe à ajustage fin (retard "A" dans la fig. 6) permet de cadrer la porte de l'intégrateur sur les *bunches* à mesurer. Lors de la calibration, le *Main Gate* active un générateur de calibration¹⁶ qui fournira successivement trois signaux de courant (un signal par gamme à calibrer). Une quatrième calibration sans signal sert à acquérir la ligne zéro. Pour que la calibration soit correcte, le système exige que les signaux du générateur de calibration soient également bien cadrés par la porte de l'intégrateur concerné. Ceci implique l'adjonction d'un retard à ajustage fin pour chaque transformateur (retard "B" dans la fig. 6). S'agissant de calibrer trois gammes de courant, le générateur de calibration est conçu de sorte qu'il possède une entrée trigger par gamme de calibration. On a donc réalisé coté timing une unité dite *démultiplexeur 1 x 8 entrées* → *3 x 8 sorties*. Ainsi, le jeu des timings de calibration est distribué sur l'entrée du générateur de calibration correspondant à la gamme à calibrer pour chacune des trois premières phases de la calibration. Le démultiplexeur est décrit sommairement au chap. 3.4.6.

Les inconvénients de la calibration automatique se situaient sur plusieurs niveaux:

- Acquisition de la *ligne zéro* sur BT.TRA et BTP.TRA avec des valeurs non-identiques (différences de 2% et plus). Ceci est dû aux interférences induites par les dipôles et les kickers.
- Besoin de re-ajuster les retard "B" pratiquement à chaque modification de la valeur des retards "A". Vu le nombre d'intégrateurs impliqués dans la mesure, vu aussi les fréquents ré-ajustements des retards "A" dictés par l'opération (entre autre. phasage des kickers), la gestion de cette situation s'est avérée lourde et peu aisée.
- Câblage-système assez volumineux.

En conclusion, il y a eu consensus à l'automne 2000 pour retirer la calibration automatique de l'équipement.

3.1.2. Système actuel sans calibration automatique

Celui-ci prévoit une calibration des voies analogiques à effectuer ponctuellement "Off Line" [10]. En mode "On Line" on peut choisir d'acquérir ou non aux fins de correction d'offset la *ligne de zéro* après chaque mesure. L'alternative est d'utiliser une valeur d'offset par défaut, fournie par le software.

3.2. Hardware Analogique

Cette partie, développée par C.Carter et al fait l'objet des rapports cités en référence. Elle comprend les intégrateurs et la partie analogique du *Watchdog*¹⁷. Ce matériel est réalisé en tiroirs NIM.

¹⁶ Développé et réalisé par F. Lenardon.

¹⁷ Watchdog: Développement initial par C.Carter. Consolidation partie analogique par F.Lenardon. Consolidation partie digitale par J.D.Schnell

3.3. Hardware Digital

Cette partie comprend les éléments constituant le timing spécifique de l'instrument de même que la partie digitale du *Watchdog*. Ce matériel est réalisé en tiroirs NIM. Il est décrit ci-après.

3.4.1. Unité Main Gate

L'unité a deux buts:

- Générer *pour la mesure* tous les signaux à distribuer aux intégrateurs et au système ADC à partir des signaux issus du timing des kickers d'éjection (voir fig. 1 et 2).
- Générer *pour la calibration* (actuellement acquisition de la ligne zéro) tous les signaux à distribuer aux intégrateurs et au système ADC à partir d'une séquence interne (voir fig. 3).
- Générer aux fins de tests hardware toute la séquence (mesure simulée + calibration) avec les signaux timings correspondants et ce, à partir d'un timing extérieur unique (anciennement BX.WEJ).

Le schéma-bloc est représenté en fig. 7, le schéma de détail en fig. 8 et le layout du panneau avant en fig. 9. L'unité est réalisée dans un tiroir NIM de dimension 5H x 2L.

3.4.2. Eight Channel Delay Unit

Cette unité est constituée de huit retards fixes de précision indépendants les uns des autres. Une logique permet toutefois de choisir entre deux modes de fonctionnement:

- Activation individuelle des retards ou activation commune avec signal de *gating*.
- Activation individuelle des retards ou activation commune sans signal de *gating*.

Les tiroirs affectés dans l'équipement, sont en principe configurés selon le premier mode. En effet dans la phase "mesure", chaque voie est indépendante; dans la phase "calibration", les voies sont activées communément par le signal "5 μ s - gate¹⁸" accompagné du signal "CAL Enable" (voir fig. 10, 1, 2).

Chaque retard possède comme élément principal un circuit AD 9501 (Analog Devices). Il s'agit d'un retard programmable à 8 bits, ce qui permet de départager la pleine échelle sur 256 pas. Le circuit lui-même est un monostable de précision. Les 8 bits définissent au travers d'un DAC le seuil de déclenchement du comparateur interne. La sortie est en format TTL. Le schéma détaillé d'une cellule est représenté en fig. 11. Pour nos applications on a configuré deux modèles, l'un avec une pleine échelle de 512 ns (pas de 2 ns), l'autre avec une pleine échelle de 1024 ns (pas de 4 ns). Les mesures sur les cellules prototypes ont donné des résultats satisfaisants par rapport à notre application:

- ◇ Jitter : 1 ns
- ◇ Dérive en température: 0.06 ns / °C
- ◇ Dérive globale: < 2 ns sur deux semaines

L'unité est implantée dans un tiroir NIM de dimension 5H x 2L. Le schéma de détail de toute l'unité est représenté dans les fig 12 et 13. Le layout mécanique est représenté en fig 14.

¹⁸ Ce signal d'une largeur réelle de 5 μ s est généré par le *Maingate*. A l'origine, il servait de porte pour les ADC-intégrateurs Le Croy de la première version du système. Actuellement il assure d'autres fonctions au niveau du timing local.

3.4.3. Eight Channel Gate Width Generator¹⁹

Cette unité fonctionne sur le même principe que l'unité décrite précédemment, sauf qu'elle fournit une largeur d'impulsion en lieu et place d'un retard. Les caractéristiques sont similaires à celles du *delay unit*. Voir les fig. 9 à 14.

3.4.4. Dual 1-to-6 Trigger Buffer

Certains signaux de timing doivent être "copiés" plusieurs fois pour les besoins de l'instrument, d'autant plus que l'on tenait à éviter les problèmes dus aux *daisy-chains*. Ainsi, il a été nécessaire de réaliser ce tiroir. L'unité permet de fonctionner en splitter actif "2 x 1 entrée → 6 sorties" ou "1 x 1 entrée → 12 sorties". Les entrées comme les sorties sont en format TTL. Chaque sortie peut être chargée avec 50 Ω. La largeur maximale des impulsions n'est en principe pas limitée. Le taux de répétition maximal avec des impulsions de 40 ns de largeur est de 10 MHz. L'unité est implantée dans un tiroir NIM de dimension 5H x 1L. Le schéma de l'unité est représenté en fig. 20, le layout mécanique en fig. 21.

3.4.5. Watchdog Integrator Trigger Gate

Lorsqu'il y a éjection en mode *non-étalé*, le rôle de cette unité est de bloquer l'action des intégrateurs *par anneau* pour les anneaux 4, 2 et 1 sur les transformateurs de la ligne Isolde²⁰. A cet effet, tous les triggers destinés aux intégrateurs concernés passent à travers cette unité pour y être conditionnés. La logique fonctionne sur le principe suivant: Le signal de timing du premier kicker activé dans l'éjection (normalement BE3.KFA) inhibe durant 3 μs les triggers correspondant aux kickers des autres anneaux. Ce temps d'inhibition couvre la durée totale de l'éjection non-étalée. En mode étalé, les éjections d'anneau se suivent actuellement avec un intervalle de 10 μs au minimum, ce qui laisse à nouveau passer les trigger qui doivent activer la mesure pour les anneaux 4, 2 et 1. Les signaux d'entrée et de sortie sont tous en format TTL. Un affichage par led ainsi que des sorties de test, permettent le *check on line* de l'unité sans avoir à déconnecter des câbles. Chaque sortie peut être chargée avec 50 Ω. L'unité est implantée dans un tiroir NIM de dimension 5H x 1L. Le schéma-bloc de l'unité est représenté en fig. 22, le schéma de détail en fig. 22a et le layout mécanique en fig. 23.

3.4.6. Demultiplexeur.

Ce tiroir est conçu pour démultiplexer un jeu de huit signaux d'entrée sur trois jeux de huit signaux de sortie. Un compteur "Johnson" est incrémenté à chaque signal "Pre-Gate²¹", ce qui positionne le démultiplexeur sur le jeu de sorties qui attaquent les entrées-timing concernées du générateur de calibration. L'unité est pourvue d'un affichage par led qui facilite le *check on line*. Elle est implantée dans un tiroir NIM de dimension 5H x 2L. Le schéma de l'unité est représenté en fig. 24 et 25, le layout mécanique en fig. 26.

¹⁹ Utilisé uniquement pour le hw de calibration automatique

²⁰ La raison en est exposée au chap. 2.2.3.

²¹ Ce signal est généré par l'unité *Main Gate* uniquement pour la séquence de calibration. Il précède de 2 μs le signal "5 μs - gate".

3.4.7. Layout global de l'interface timing.

La fig. 27 représente le layout avec le hw lié au générateur de calibration, la fig. 28 représente le layout à l'état de l'arrêt de la machine en décembre 2000.

4. Remerciements

G. Gelato a été sans nul doute un des "pères" de ce système d'acquisition. Des multiples et intéressantes discussions que nous avons eues, est né le hardware de l'interface timing. Aussi aimerais-je lui exprimer mes remerciements, notamment pour le soutien et l'encouragement qu'il m'a toujours témoigné aux cours du développement des différentes parties de ce hardware.

Tous mes remerciements vont à C. Carter qui m'a fourni beaucoup de renseignements utiles, notamment sur plusieurs aspects concernant l'exploitation de ce système.

Je voudrais remercier F. Lenardon qui a pris en charge une partie de la consolidation du Watchdog Isolde.

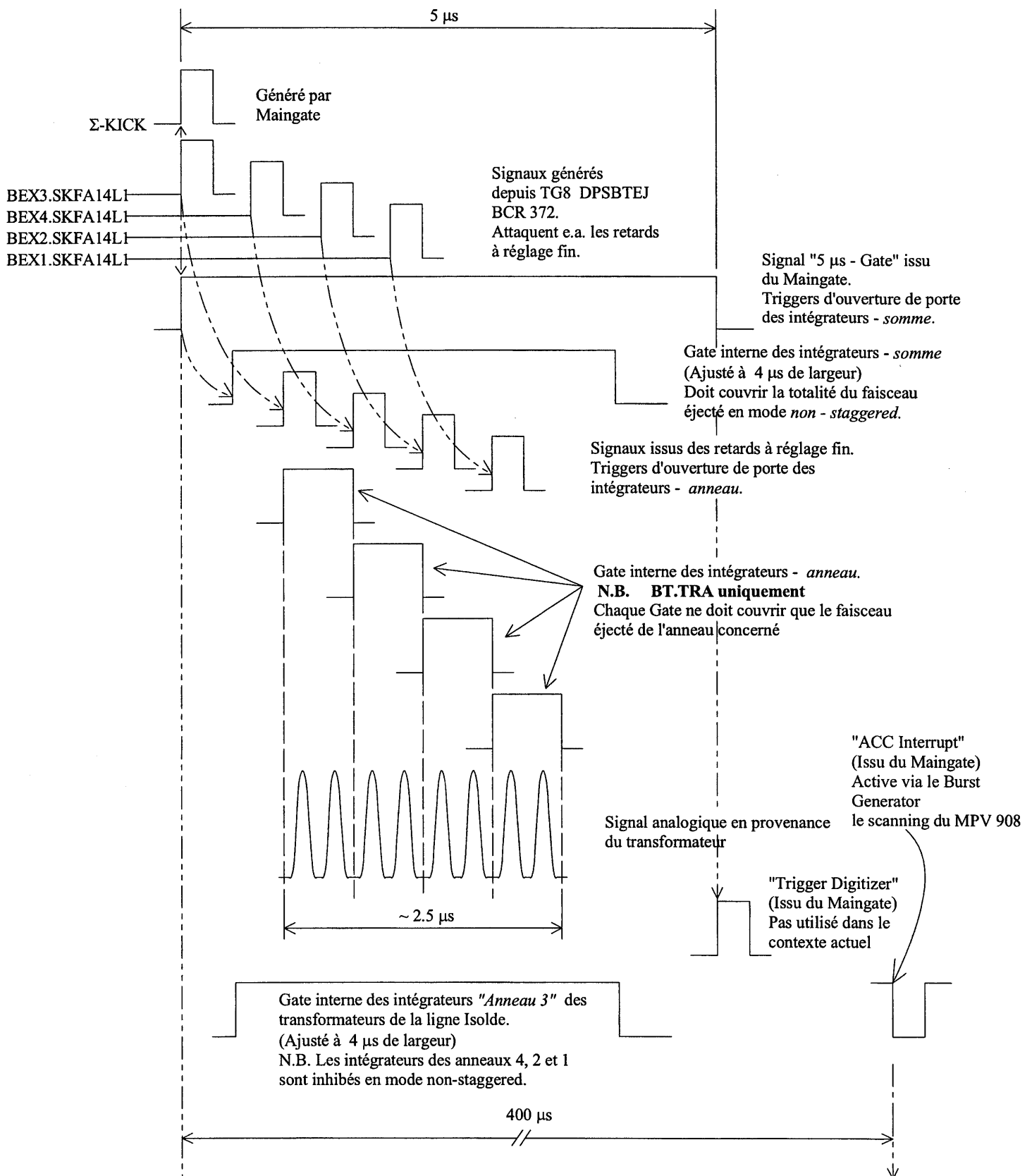
Tous mes remerciements vont à S.Tirard, qui a réalisé avec soin et minutie une grande partie de ce hardware.

Enfin je remercie également C. Galmant qui a bien voulu vérifier la mise en page et le texte de la présente note.

5. Références

- [1] C. Carter et al (M. Ludwig) Real time control, acquisition and data treatment for beam current transformers in a transfer line; CERN/PS 97-53 (BD), September 1997.
- [2] G. Gelato et al Proposal for the upgrading of the beam transformers in the PSB ejection region; PS/BD/Note 96-11, November 1996.
- [3] G. Cyvoct et al Staggered extraction of the four Booster rings for Isolde: Beam tests and future perspectives; CERN PS/OP Note 95-58 (MD), November 1995.
- [4] C. Carter, G. Gelato Proposal for the installation of two new beam transformers in the ISOLDE transfer line; PS/BD/Note 95-2.
- [5] C. Carter, G. Gelato Monitoring of beam losses between PSB and ISOLDE; PS/BD/Note 93-06, October 1992.
- [6] C. Carter et al Beam intensity measurement in the ISOLDE line; PS/BD/Note 92-07, October 1992.
- [7] G. Gelato Proposal for the upgrading of the transformers in the PSB ejection lines in view of ISOLDE and the ion programme; PS/BI-Note-90-05, September 1990.
- [9] B.W. Allardyce et al ISOLDE: a new client for the CERN PS Booster; EPAC 90 proceedings, Vol. II, pp. 583-585, June 1990
- [10] C.Carter Communication privée

6. Annexe: Figures

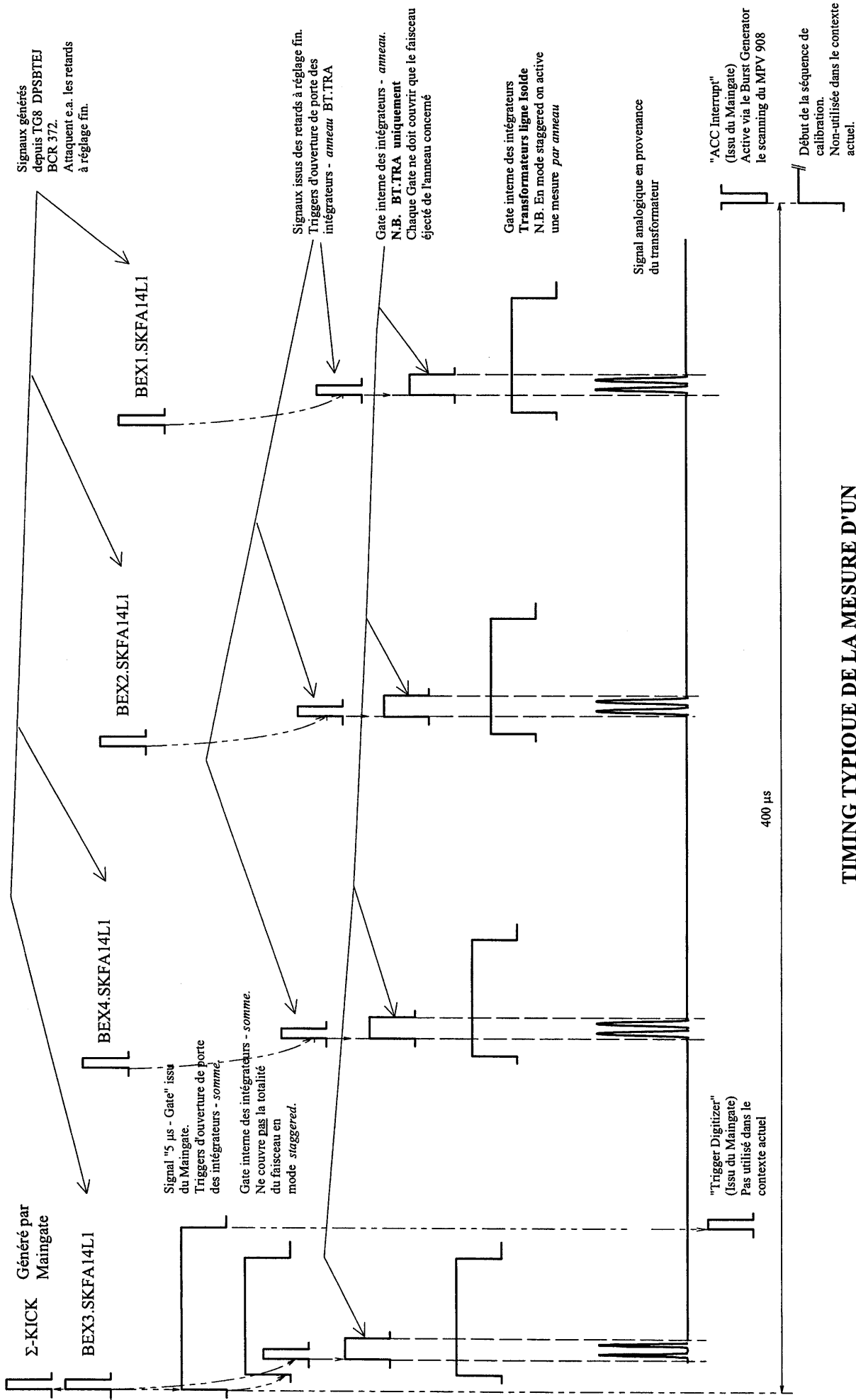


TIMING TYPIQUE DE LA MESURE D'UN FAISCEAU ÉJECTÉ EN MODE NON-STAGGERED

On a représenté une éjection avec 2 bunches par anneau

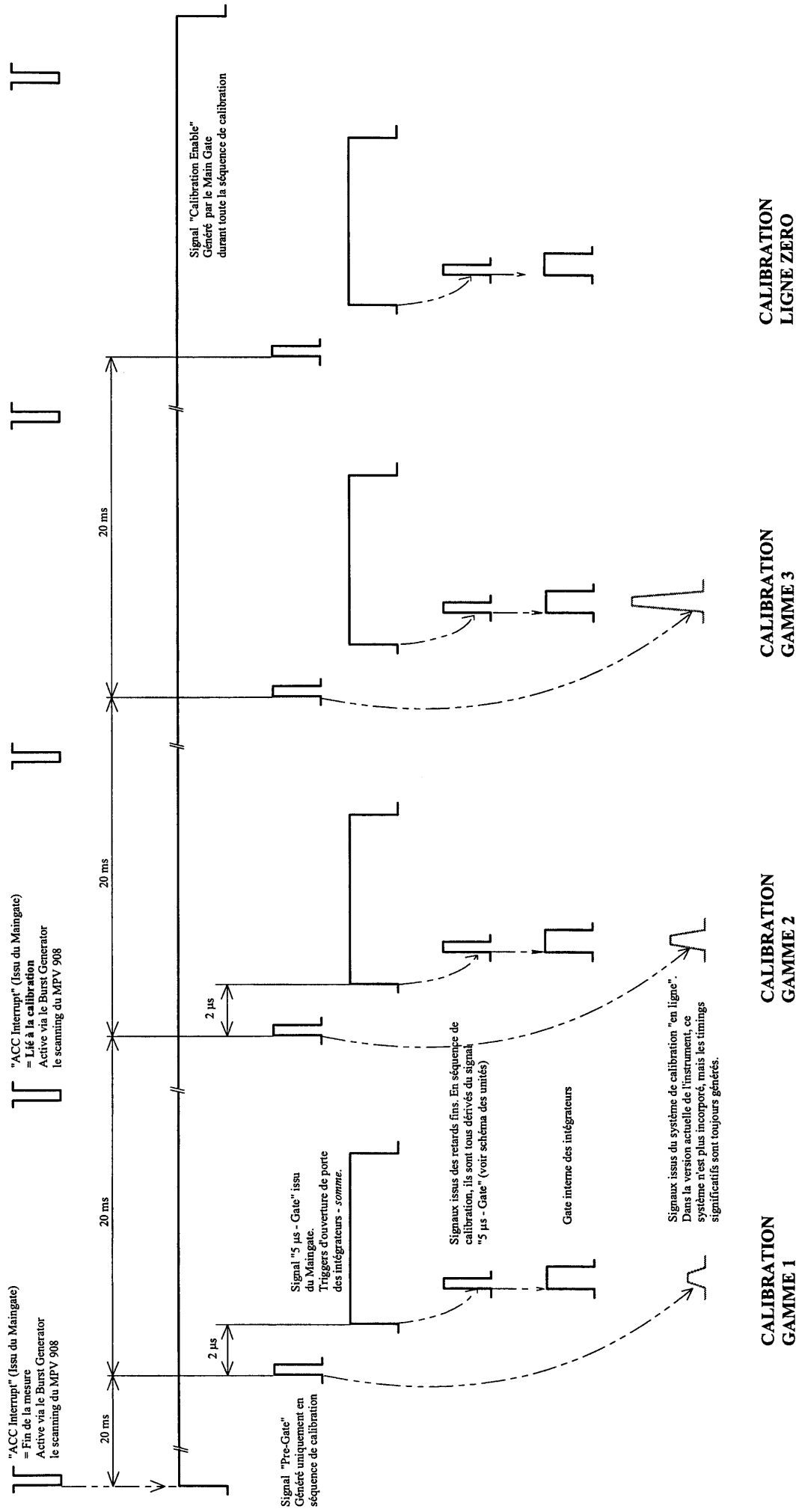
Début de la séquence de calibration. Non-utilisée dans le contexte actuel.

Fig 1



TIMING TYPIQUE DE LA MESURE D'UN FAISCEAU ÉJECTÉ EN MODE STAGGERED
 On a représenté une éjection avec 2 bunches par anneau

Fig 2



TIMING TYPIQUE DE LA SÉQUENCE DE CALIBRATION AUTOMATIQUE

Fig 3

Le dessin n'est pas à l'échelle.

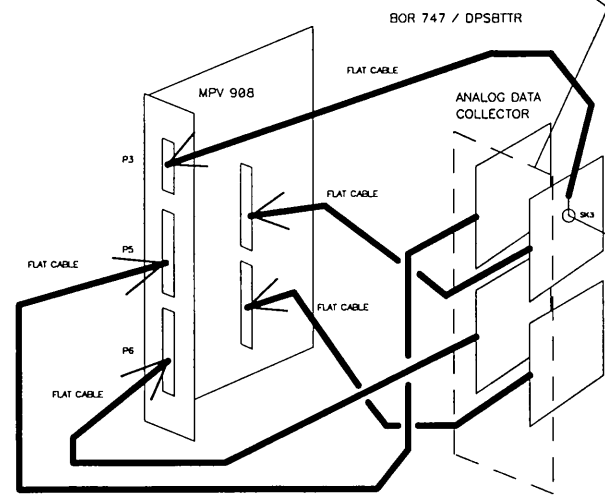
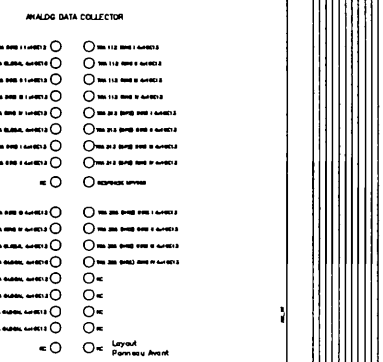
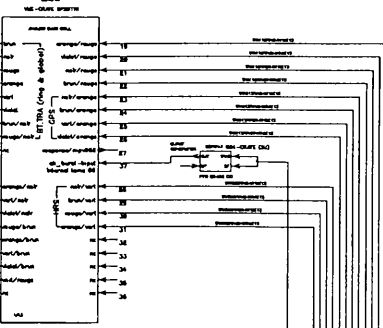
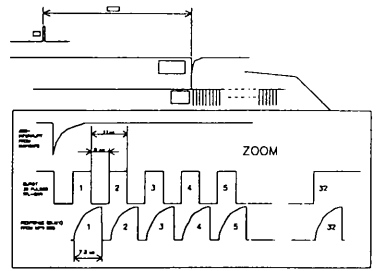
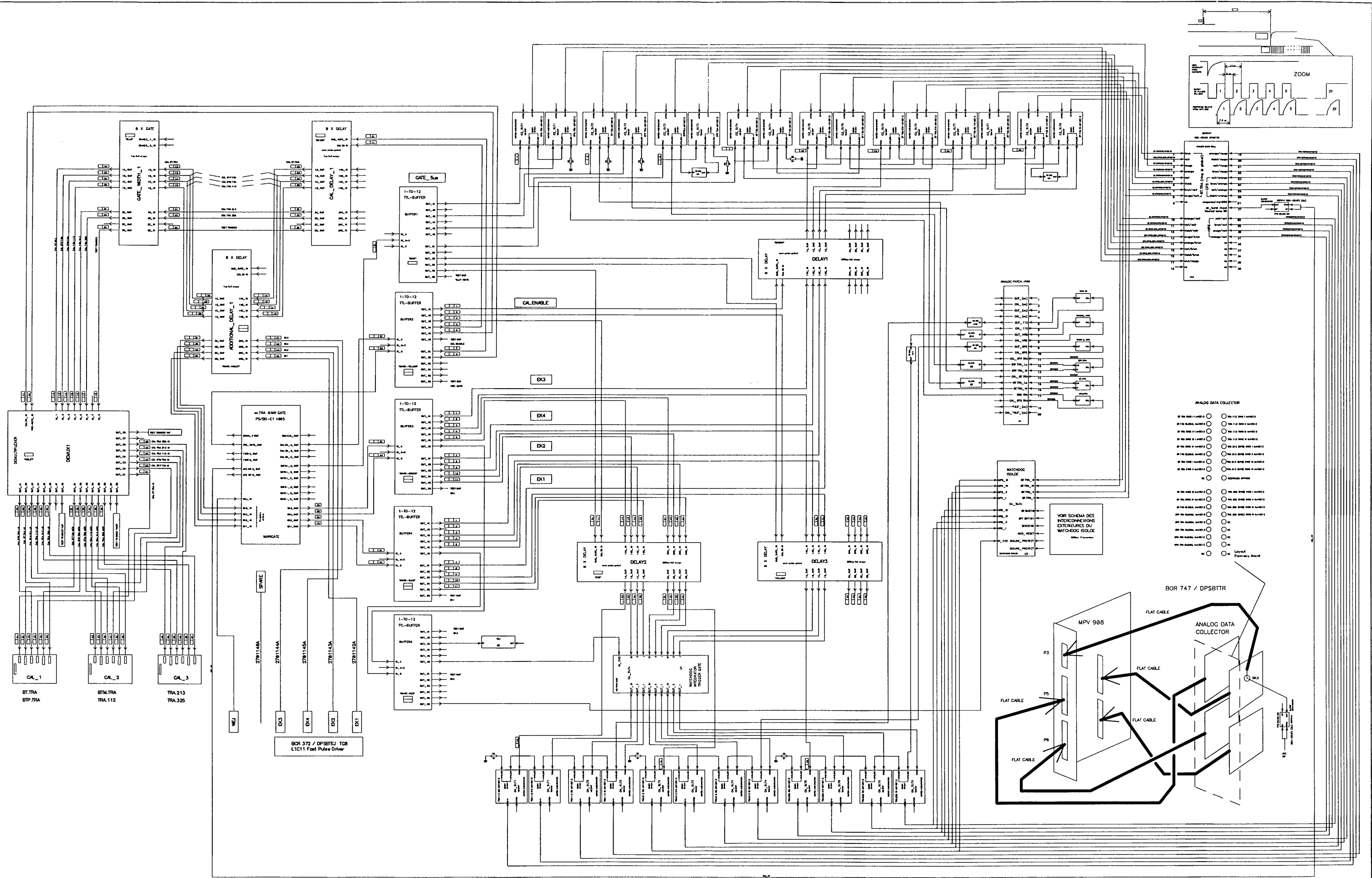


Fig 4

TRANSFORMATEURS DE COURANT FASCAL ELECTION PS8		Scale: 1:1
Project: INTERCONNEXIONS DU SYSTEME	Author: [Name]	Date: [Date]
Version: 1/1	Drawn: [Name]	Checked: [Name]
INTERCONNEXIONS DU SYSTEME		Scale: 1/1
L'ESCALON DE LA COTE EST EN MILLIMETRES		MOUC
A8		

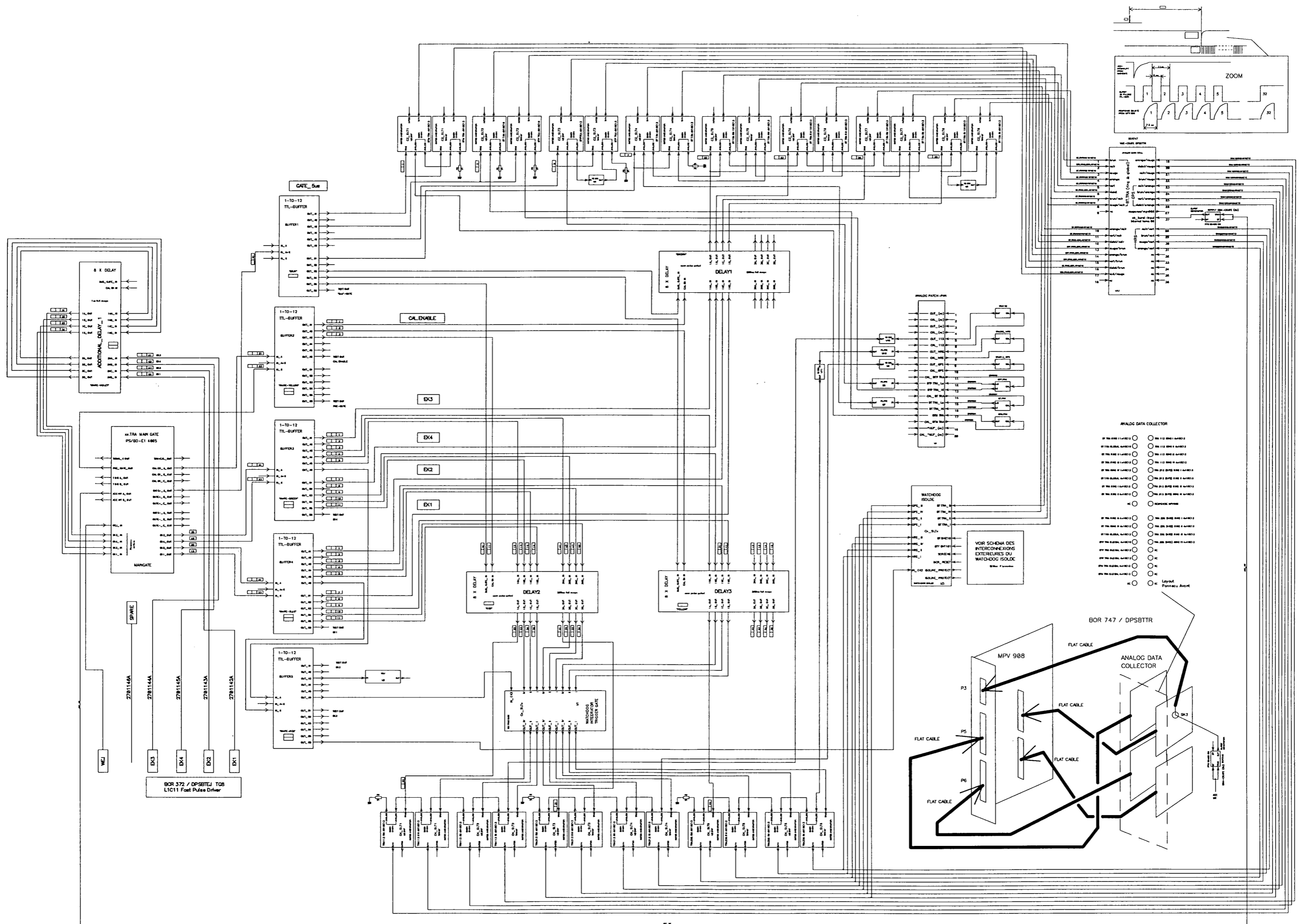
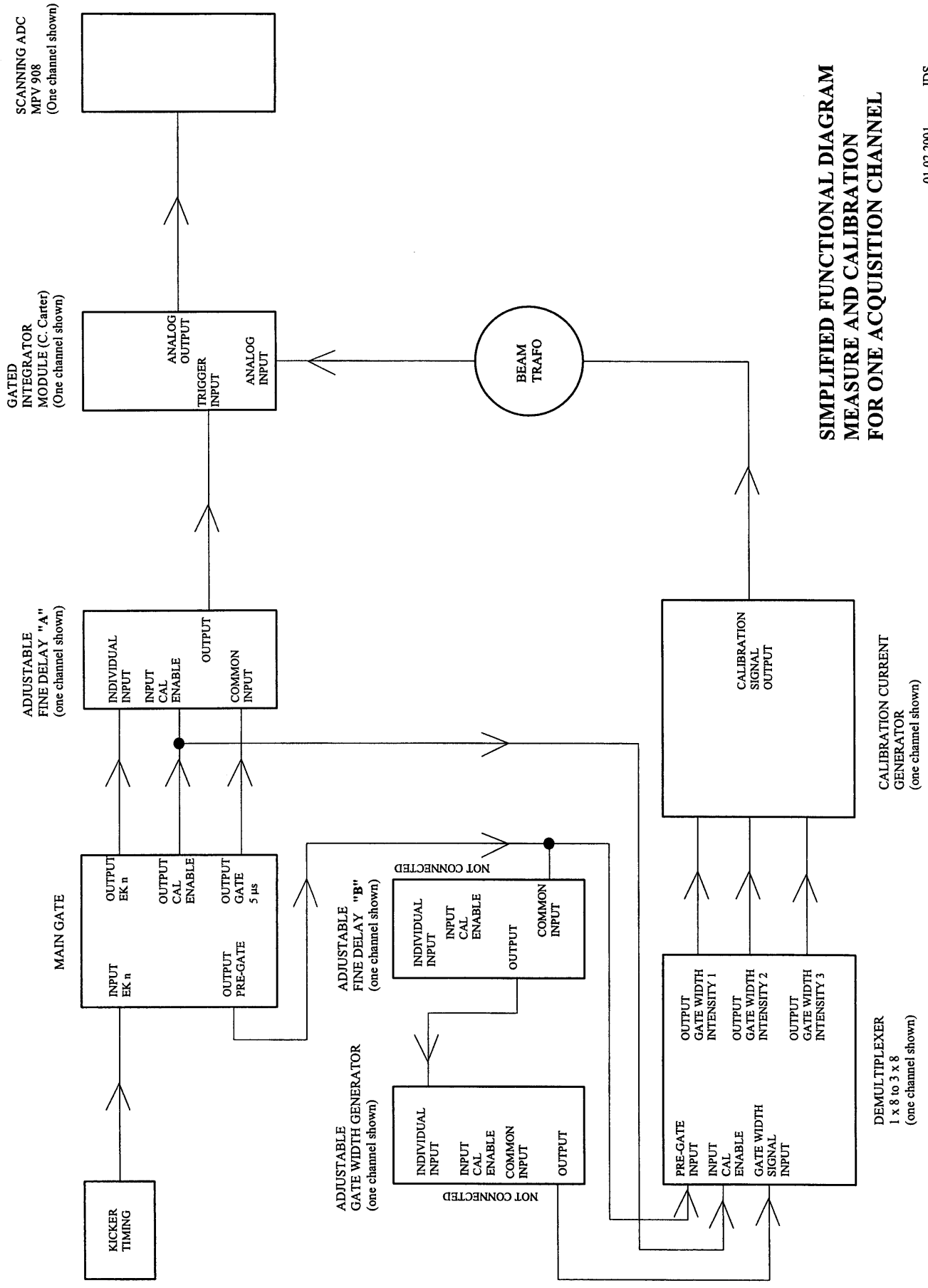


Fig 5

Project	TRANSFORMATEURS DE COURANT FASCIAU EJECTION PSB	Rev.	JFS/SM/MLL	21.03.83
Author	Michel St. Laurent/Philippe L...	Control/Rev.		
Doc. No.	1702000001	Doc.	JFS/SM/MLL	17.03.83
Document	INTERCONNEXIONS DU SYSTEME	1/1	MLL	17.03.83
Version	Version sans électronique de calibration			
Scale				
Sheet				
Page				
Model				
Code				
Index				
File				

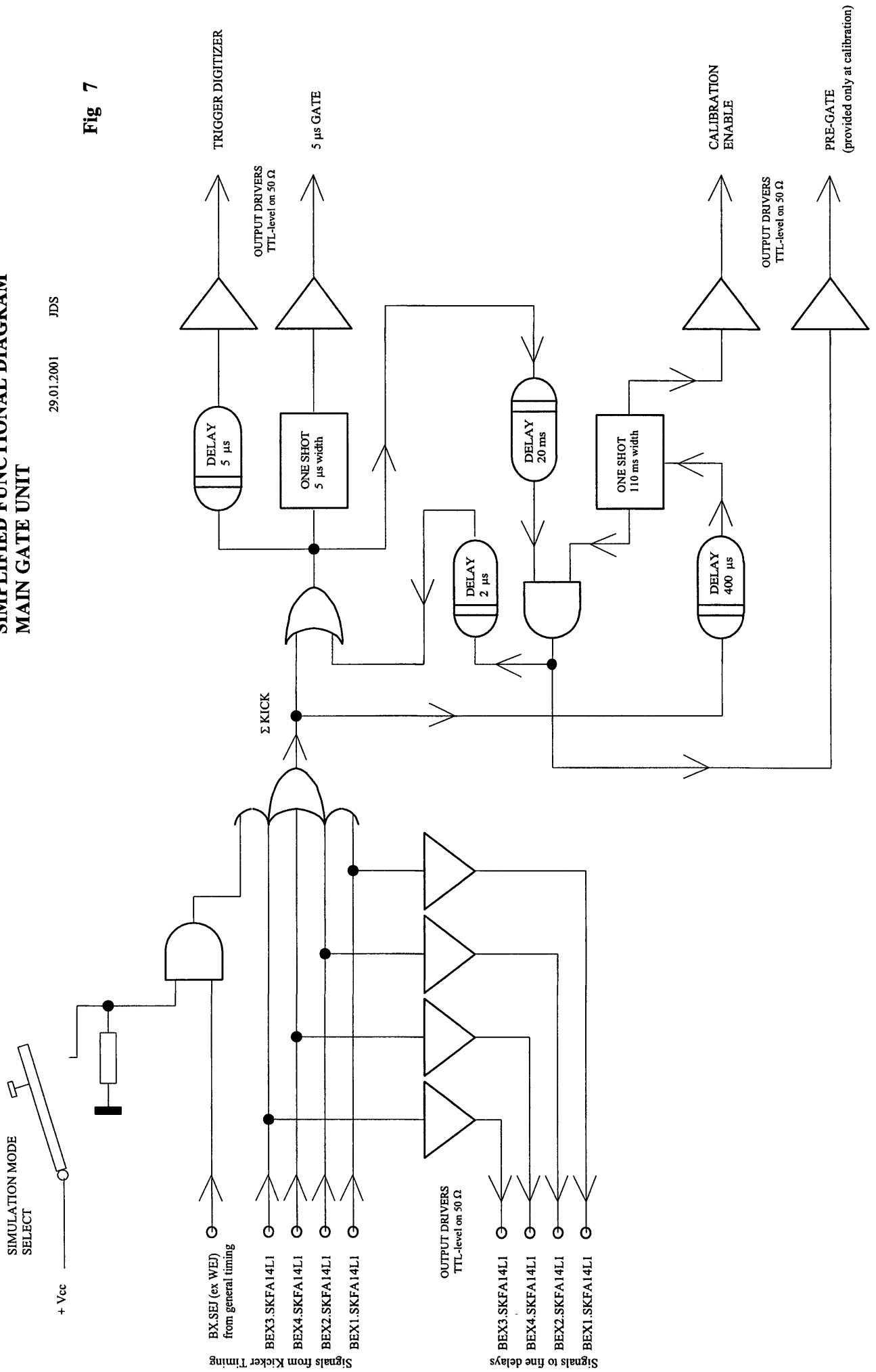


**SIMPLIFIED FUNCTIONAL DIAGRAM
MEASURE AND CALIBRATION
FOR ONE ACQUISITION CHANNEL**

SIMPLIFIED FUNCTIONAL DIAGRAM MAIN GATE UNIT

29.01.2001 JDS

Fig 7



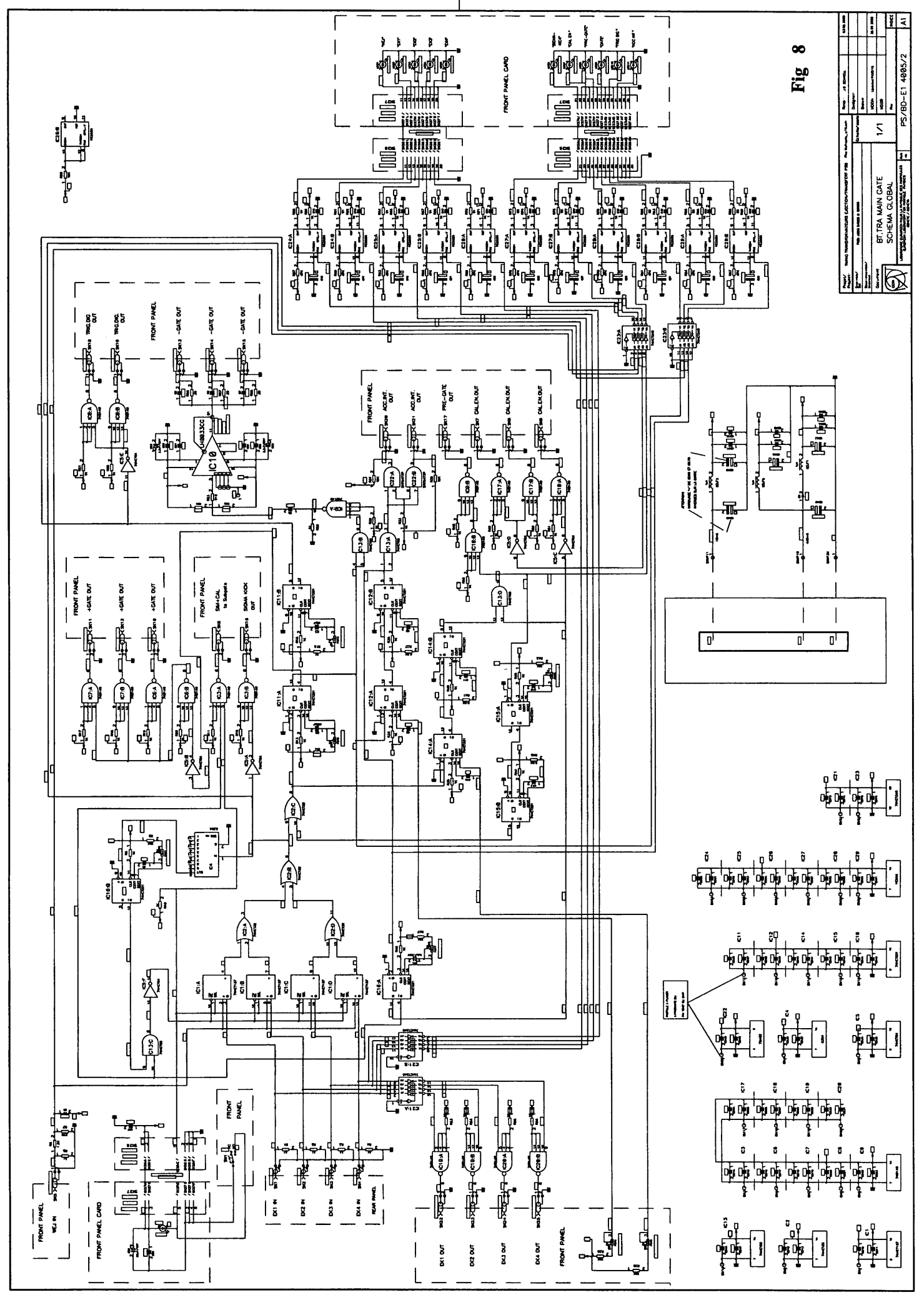
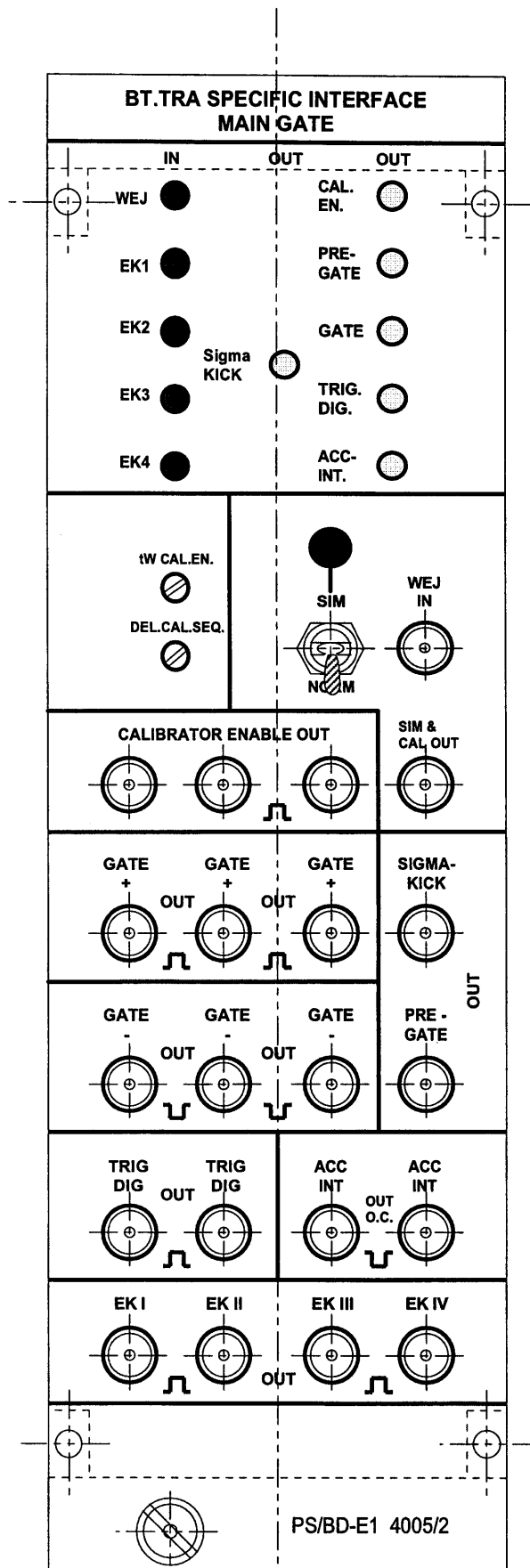


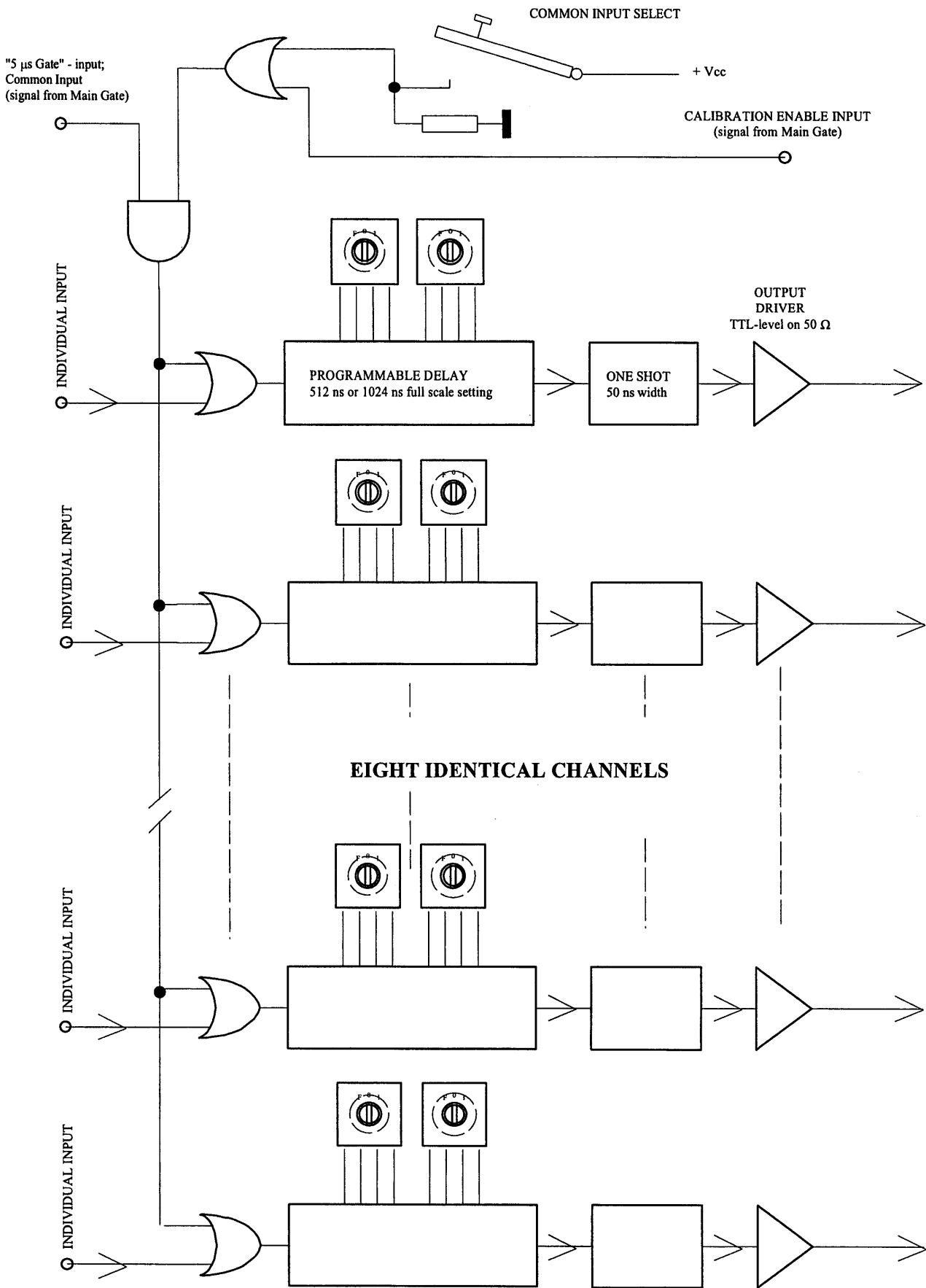
Fig 8

Project:	BITRA MAIN GATE	Scale:	1/1
Author:		Rev:	
Designer:		Appr:	
Checker:		Date:	
Drawn:		Sheet:	1/1
Approved:		Doc. No.:	PS/BD-E1 4805/2
BITRA MAIN GATE SCHEMA GLOBAL			
1/1			
A1			



**INTERFACE TIMING
TRANSFORMATEURS D'EJECTION PSB
UNITÉ MAIN GATE
LAYOUT PANNEAU AVANT**

Fig 9

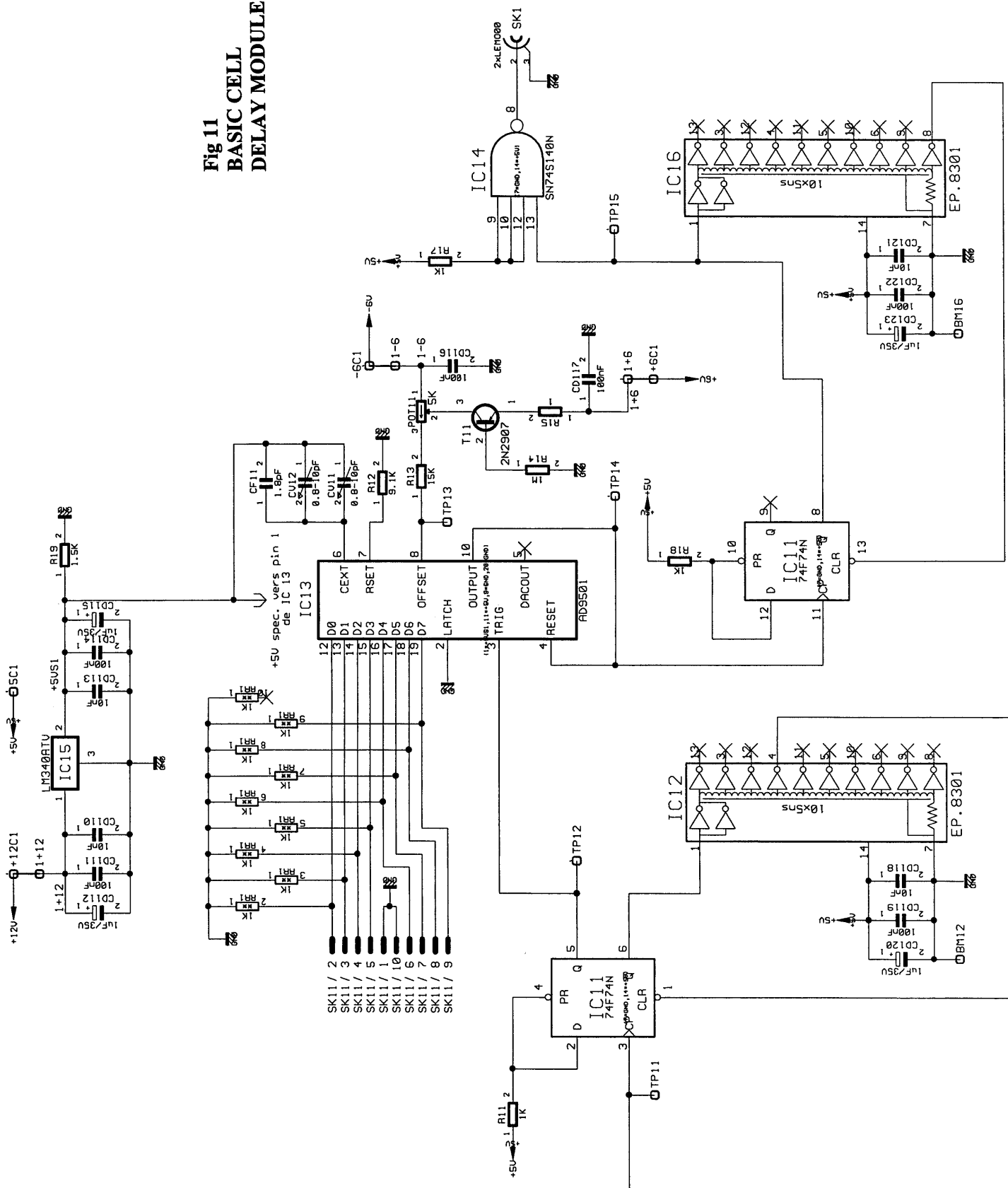


TRIGGER DELAY MODULE PS/BD-BT 4010

Block Diagram

Fig 10

Fig 11
BASIC CELL
DELAY MODULE



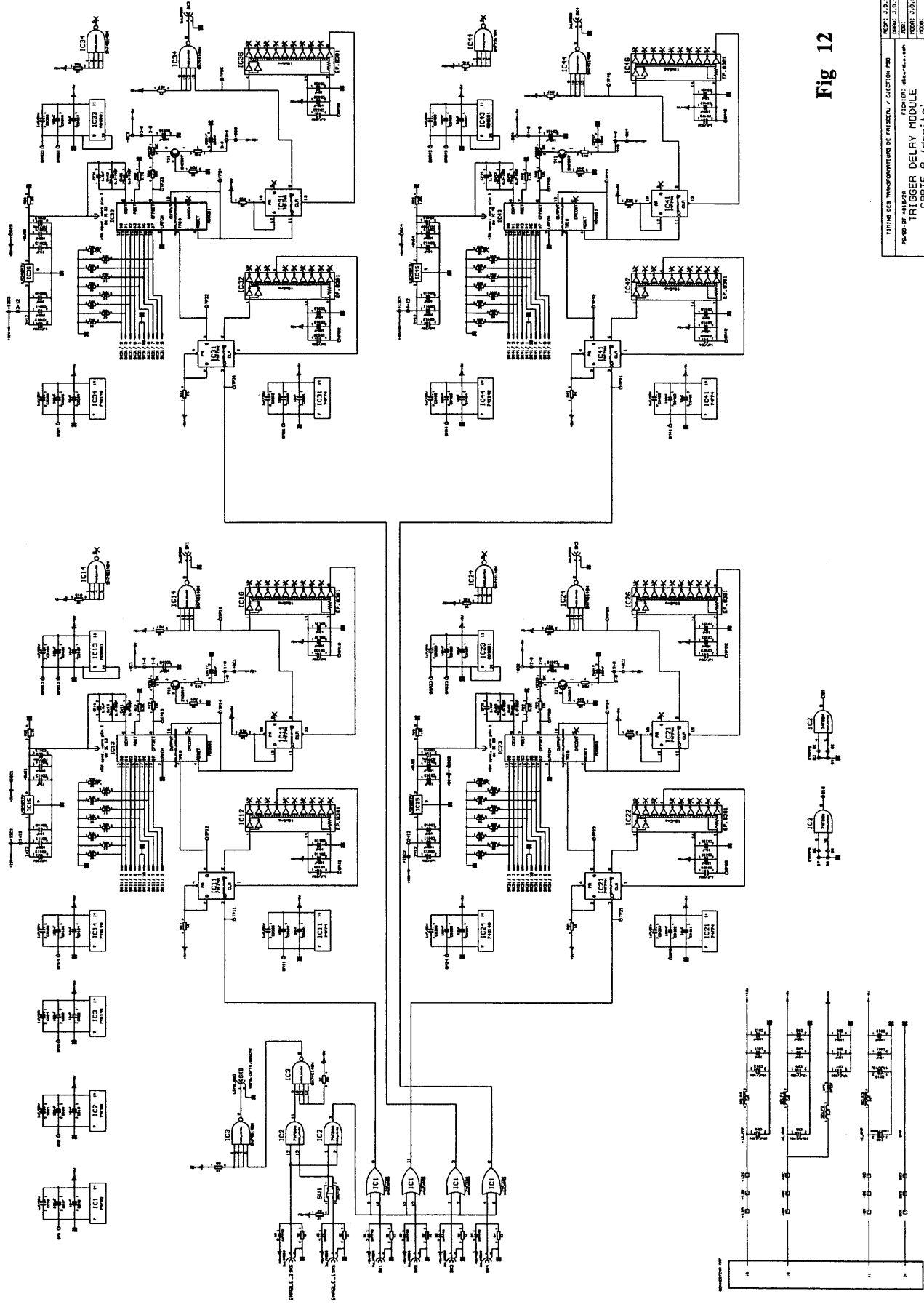


Fig 12

TITRE DES TRANSPARENTS DE PRÉSENTATION / SECTION DES PS-BD-BT 4010/2A		N° 4010/2A N° 4010/2A N° 4010/2A N° 4010/2A
FICHE: 4010/2A TRIGGER DELAY MODULE PARTIE A (droite)		N° 4010/2A N° 4010/2A N° 4010/2A N° 4010/2A
CERN-PS-PS-BD-BT 4010/2A/A1-		N° 4010/2A N° 4010/2A N° 4010/2A N° 4010/2A

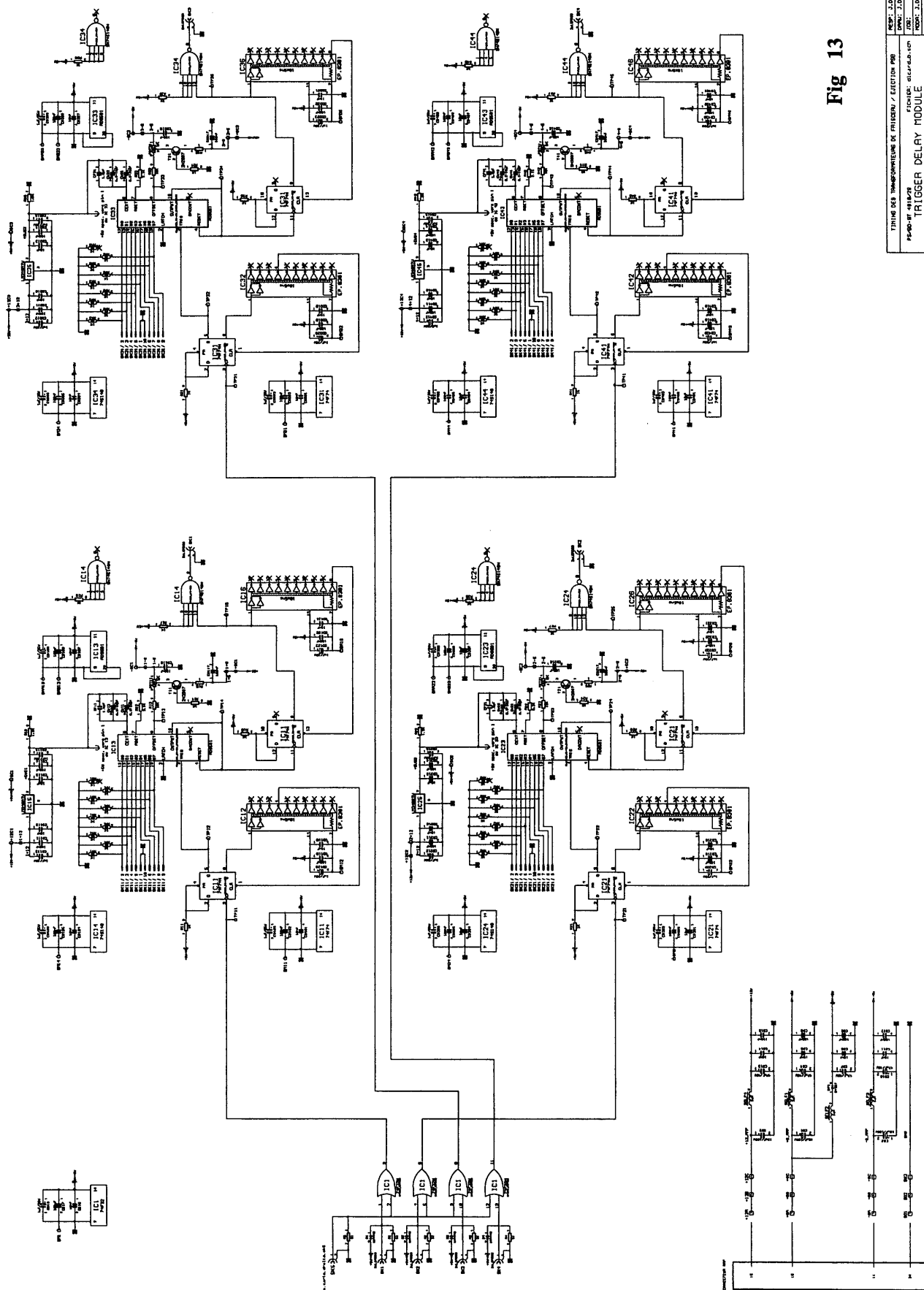


Fig 13

TITRE DES TRANSMISSIONS DE FABRIQUER / SECTION 000		NO. 1	J.D. SCHALL	NO. 01
PS-80-BT 4010/28		NO. 2	J.D. SCHALL	NO. 02
TRIGGER DELAY MODULE		NO. 3	J.D. SCHALL	NO. 03
CARTE B (gauche)		NO. 4	J.D. SCHALL	NO. 04
		NO. 5	J.D. SCHALL	NO. 05
		NO. 6	J.D. SCHALL	NO. 06
		NO. 7	J.D. SCHALL	NO. 07
		NO. 8	J.D. SCHALL	NO. 08
		NO. 9	J.D. SCHALL	NO. 09
		NO. 10	J.D. SCHALL	NO. 10
		NO. 11	J.D. SCHALL	NO. 11
		NO. 12	J.D. SCHALL	NO. 12
		NO. 13	J.D. SCHALL	NO. 13
		NO. 14	J.D. SCHALL	NO. 14
		NO. 15	J.D. SCHALL	NO. 15
		NO. 16	J.D. SCHALL	NO. 16
		NO. 17	J.D. SCHALL	NO. 17
		NO. 18	J.D. SCHALL	NO. 18
		NO. 19	J.D. SCHALL	NO. 19
		NO. 20	J.D. SCHALL	NO. 20
		NO. 21	J.D. SCHALL	NO. 21
		NO. 22	J.D. SCHALL	NO. 22
		NO. 23	J.D. SCHALL	NO. 23
		NO. 24	J.D. SCHALL	NO. 24
		NO. 25	J.D. SCHALL	NO. 25
		NO. 26	J.D. SCHALL	NO. 26
		NO. 27	J.D. SCHALL	NO. 27
		NO. 28	J.D. SCHALL	NO. 28
		NO. 29	J.D. SCHALL	NO. 29
		NO. 30	J.D. SCHALL	NO. 30
		NO. 31	J.D. SCHALL	NO. 31
		NO. 32	J.D. SCHALL	NO. 32
		NO. 33	J.D. SCHALL	NO. 33
		NO. 34	J.D. SCHALL	NO. 34
		NO. 35	J.D. SCHALL	NO. 35
		NO. 36	J.D. SCHALL	NO. 36
		NO. 37	J.D. SCHALL	NO. 37
		NO. 38	J.D. SCHALL	NO. 38
		NO. 39	J.D. SCHALL	NO. 39
		NO. 40	J.D. SCHALL	NO. 40
		NO. 41	J.D. SCHALL	NO. 41
		NO. 42	J.D. SCHALL	NO. 42
		NO. 43	J.D. SCHALL	NO. 43
		NO. 44	J.D. SCHALL	NO. 44
		NO. 45	J.D. SCHALL	NO. 45
		NO. 46	J.D. SCHALL	NO. 46
		NO. 47	J.D. SCHALL	NO. 47
		NO. 48	J.D. SCHALL	NO. 48
		NO. 49	J.D. SCHALL	NO. 49
		NO. 50	J.D. SCHALL	NO. 50
		NO. 51	J.D. SCHALL	NO. 51
		NO. 52	J.D. SCHALL	NO. 52
		NO. 53	J.D. SCHALL	NO. 53
		NO. 54	J.D. SCHALL	NO. 54
		NO. 55	J.D. SCHALL	NO. 55
		NO. 56	J.D. SCHALL	NO. 56
		NO. 57	J.D. SCHALL	NO. 57
		NO. 58	J.D. SCHALL	NO. 58
		NO. 59	J.D. SCHALL	NO. 59
		NO. 60	J.D. SCHALL	NO. 60
		NO. 61	J.D. SCHALL	NO. 61
		NO. 62	J.D. SCHALL	NO. 62
		NO. 63	J.D. SCHALL	NO. 63
		NO. 64	J.D. SCHALL	NO. 64
		NO. 65	J.D. SCHALL	NO. 65
		NO. 66	J.D. SCHALL	NO. 66
		NO. 67	J.D. SCHALL	NO. 67
		NO. 68	J.D. SCHALL	NO. 68
		NO. 69	J.D. SCHALL	NO. 69
		NO. 70	J.D. SCHALL	NO. 70
		NO. 71	J.D. SCHALL	NO. 71
		NO. 72	J.D. SCHALL	NO. 72
		NO. 73	J.D. SCHALL	NO. 73
		NO. 74	J.D. SCHALL	NO. 74
		NO. 75	J.D. SCHALL	NO. 75
		NO. 76	J.D. SCHALL	NO. 76
		NO. 77	J.D. SCHALL	NO. 77
		NO. 78	J.D. SCHALL	NO. 78
		NO. 79	J.D. SCHALL	NO. 79
		NO. 80	J.D. SCHALL	NO. 80
		NO. 81	J.D. SCHALL	NO. 81
		NO. 82	J.D. SCHALL	NO. 82
		NO. 83	J.D. SCHALL	NO. 83
		NO. 84	J.D. SCHALL	NO. 84
		NO. 85	J.D. SCHALL	NO. 85
		NO. 86	J.D. SCHALL	NO. 86
		NO. 87	J.D. SCHALL	NO. 87
		NO. 88	J.D. SCHALL	NO. 88
		NO. 89	J.D. SCHALL	NO. 89
		NO. 90	J.D. SCHALL	NO. 90
		NO. 91	J.D. SCHALL	NO. 91
		NO. 92	J.D. SCHALL	NO. 92
		NO. 93	J.D. SCHALL	NO. 93
		NO. 94	J.D. SCHALL	NO. 94
		NO. 95	J.D. SCHALL	NO. 95
		NO. 96	J.D. SCHALL	NO. 96
		NO. 97	J.D. SCHALL	NO. 97
		NO. 98	J.D. SCHALL	NO. 98
		NO. 99	J.D. SCHALL	NO. 99
		NO. 100	J.D. SCHALL	NO. 100

CERN-PS PS/BD-BT 4010/28 A1 -

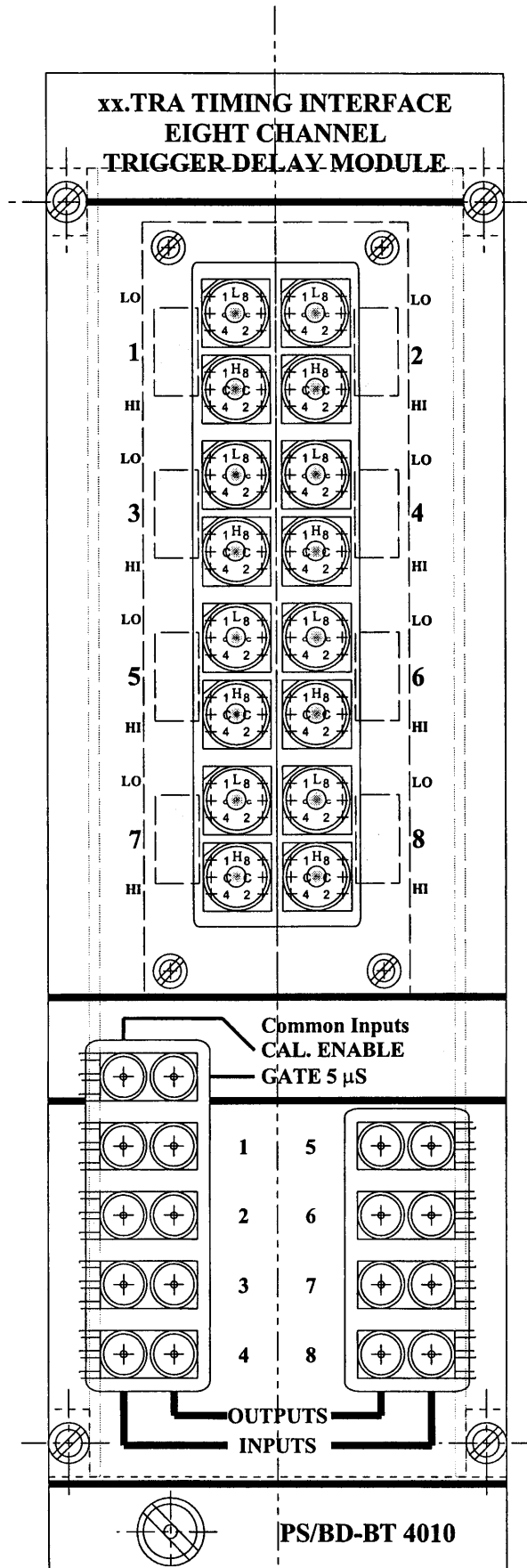
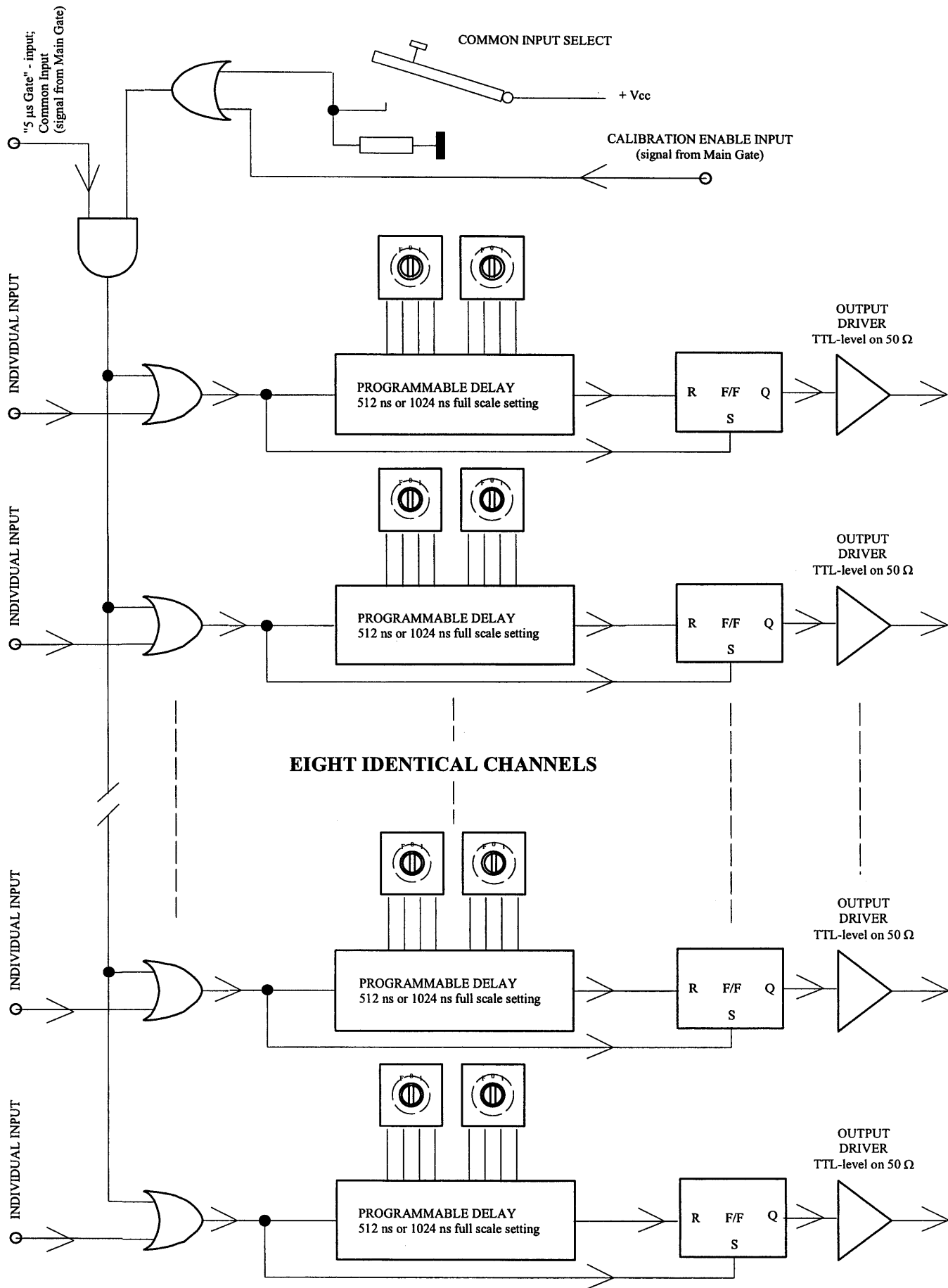


Fig 14

**INTERFACE TIMING
xx.TRA '97
8 CHANNEL
TRIGGER DELAY MODULE
LAYOUT PANNEAU AVANT**



GATE WIDTH MODULE PS/BD-BT 4011

Block Diagram

Fig 15

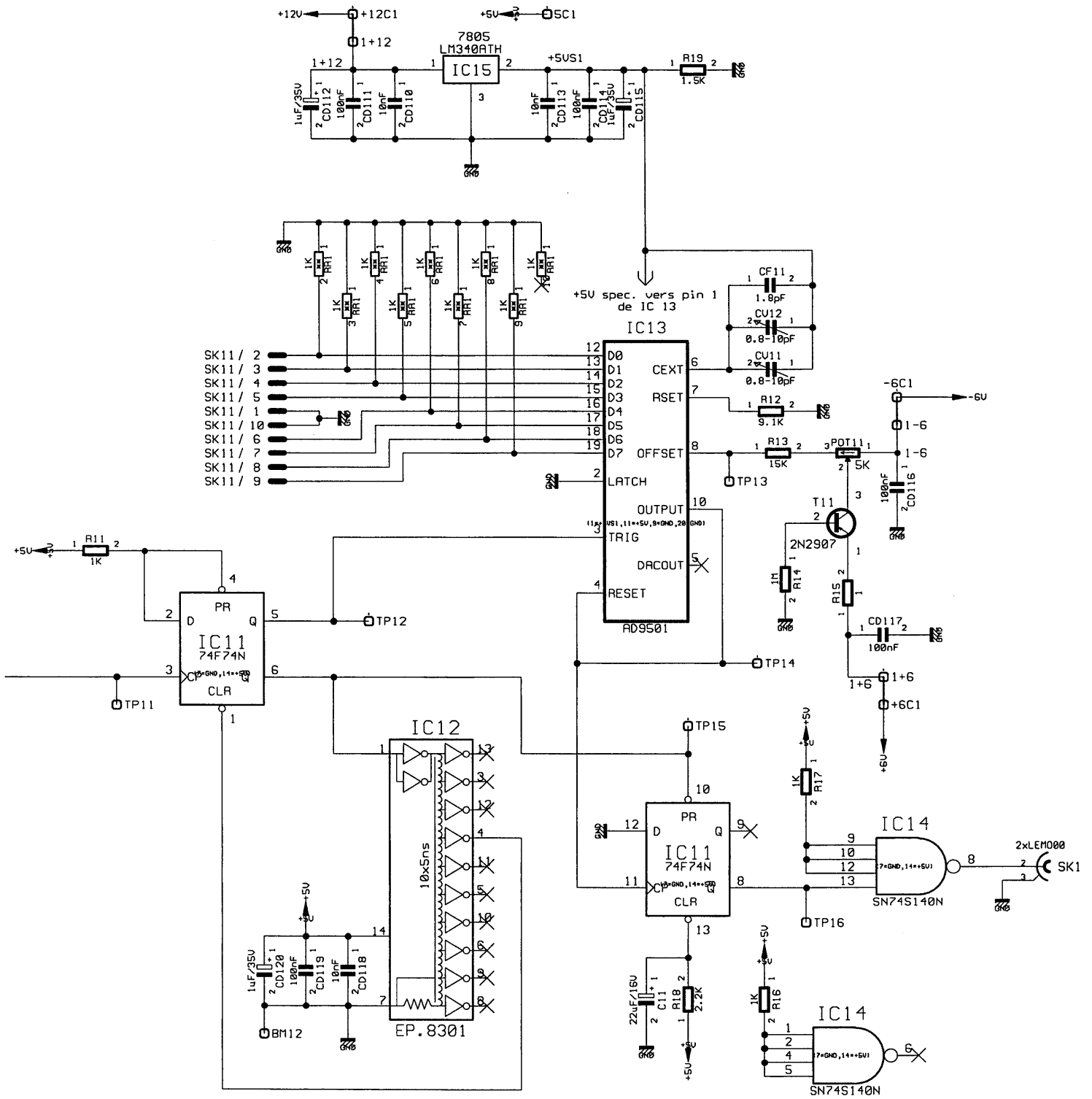


Fig 16
BASIC CELL
GATE WIDTH MODULE

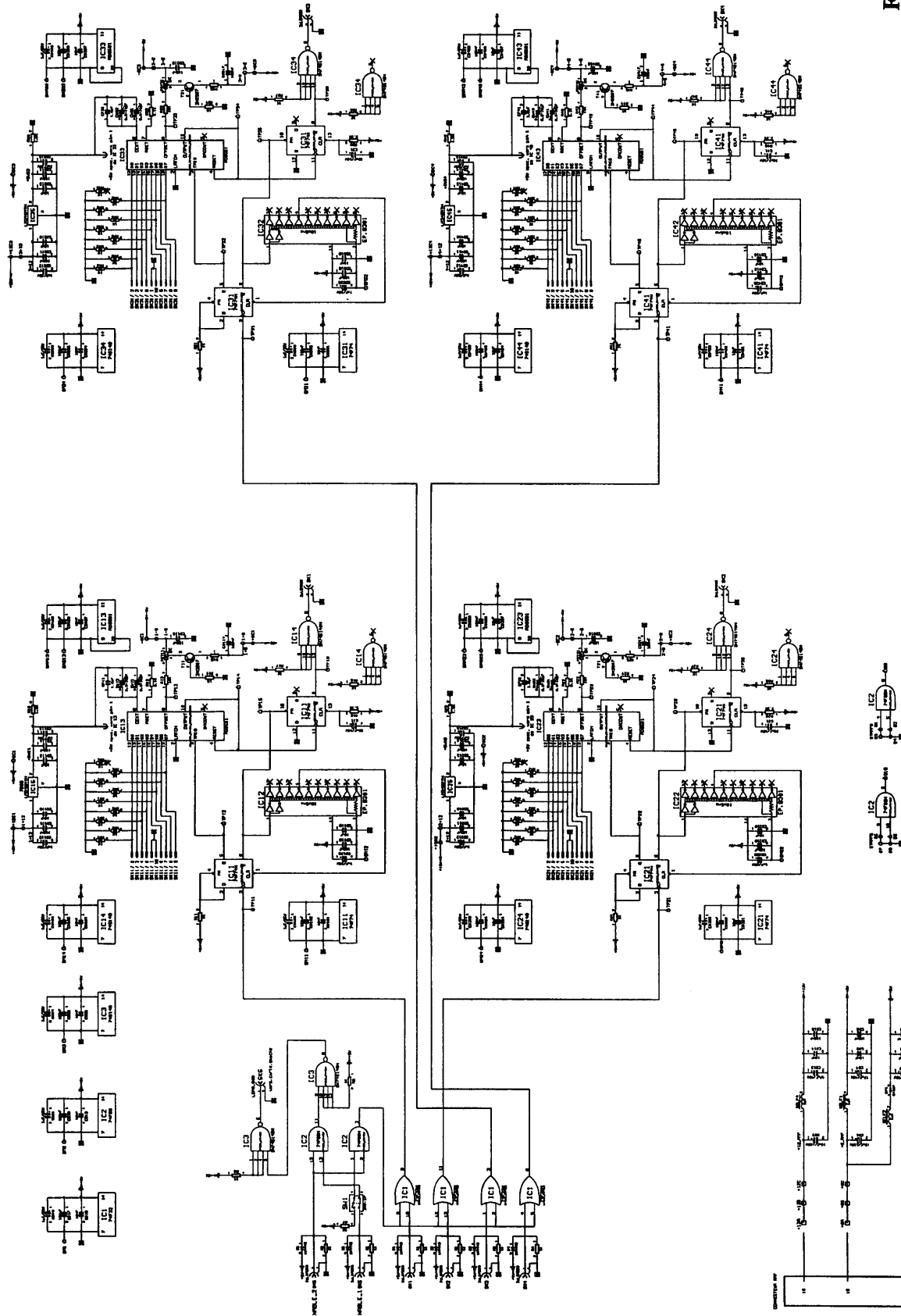


Fig 17

TITRE DES TRANSMISSIONS DE FAISONS / SECTION PPS		PROF. J.O. BONNELL	REV. 01	01-81-01
PS-40-401/2A		PROF. J.O. BONNELL	REV. 02	02-81-01
SCHEMATA DEPART		PROF. J.O. BONNELL	REV. 03	03-81-01
CARTI A (droite)		PROF. J.O. BONNELL	REV. 04	04-81-01
		PROF. J.O. BONNELL	REV. 05	05-81-01
		PROF. J.O. BONNELL	REV. 06	06-81-01
		PROF. J.O. BONNELL	REV. 07	07-81-01
		PROF. J.O. BONNELL	REV. 08	08-81-01
		PROF. J.O. BONNELL	REV. 09	09-81-01
		PROF. J.O. BONNELL	REV. 10	10-81-01
		PROF. J.O. BONNELL	REV. 11	11-81-01
		PROF. J.O. BONNELL	REV. 12	12-81-01
		PROF. J.O. BONNELL	REV. 13	13-81-01
		PROF. J.O. BONNELL	REV. 14	14-81-01
		PROF. J.O. BONNELL	REV. 15	15-81-01
		PROF. J.O. BONNELL	REV. 16	16-81-01
		PROF. J.O. BONNELL	REV. 17	17-81-01
		PROF. J.O. BONNELL	REV. 18	18-81-01
		PROF. J.O. BONNELL	REV. 19	19-81-01
		PROF. J.O. BONNELL	REV. 20	20-81-01
		PROF. J.O. BONNELL	REV. 21	21-81-01
		PROF. J.O. BONNELL	REV. 22	22-81-01
		PROF. J.O. BONNELL	REV. 23	23-81-01
		PROF. J.O. BONNELL	REV. 24	24-81-01
		PROF. J.O. BONNELL	REV. 25	25-81-01
		PROF. J.O. BONNELL	REV. 26	26-81-01
		PROF. J.O. BONNELL	REV. 27	27-81-01
		PROF. J.O. BONNELL	REV. 28	28-81-01
		PROF. J.O. BONNELL	REV. 29	29-81-01
		PROF. J.O. BONNELL	REV. 30	30-81-01
		PROF. J.O. BONNELL	REV. 31	31-81-01
		PROF. J.O. BONNELL	REV. 32	32-81-01
		PROF. J.O. BONNELL	REV. 33	33-81-01
		PROF. J.O. BONNELL	REV. 34	34-81-01
		PROF. J.O. BONNELL	REV. 35	35-81-01
		PROF. J.O. BONNELL	REV. 36	36-81-01
		PROF. J.O. BONNELL	REV. 37	37-81-01
		PROF. J.O. BONNELL	REV. 38	38-81-01
		PROF. J.O. BONNELL	REV. 39	39-81-01
		PROF. J.O. BONNELL	REV. 40	40-81-01
		PROF. J.O. BONNELL	REV. 41	41-81-01
		PROF. J.O. BONNELL	REV. 42	42-81-01
		PROF. J.O. BONNELL	REV. 43	43-81-01
		PROF. J.O. BONNELL	REV. 44	44-81-01
		PROF. J.O. BONNELL	REV. 45	45-81-01
		PROF. J.O. BONNELL	REV. 46	46-81-01
		PROF. J.O. BONNELL	REV. 47	47-81-01
		PROF. J.O. BONNELL	REV. 48	48-81-01
		PROF. J.O. BONNELL	REV. 49	49-81-01
		PROF. J.O. BONNELL	REV. 50	50-81-01
		PROF. J.O. BONNELL	REV. 51	51-81-01
		PROF. J.O. BONNELL	REV. 52	52-81-01
		PROF. J.O. BONNELL	REV. 53	53-81-01
		PROF. J.O. BONNELL	REV. 54	54-81-01
		PROF. J.O. BONNELL	REV. 55	55-81-01
		PROF. J.O. BONNELL	REV. 56	56-81-01
		PROF. J.O. BONNELL	REV. 57	57-81-01
		PROF. J.O. BONNELL	REV. 58	58-81-01
		PROF. J.O. BONNELL	REV. 59	59-81-01
		PROF. J.O. BONNELL	REV. 60	60-81-01
		PROF. J.O. BONNELL	REV. 61	61-81-01
		PROF. J.O. BONNELL	REV. 62	62-81-01
		PROF. J.O. BONNELL	REV. 63	63-81-01
		PROF. J.O. BONNELL	REV. 64	64-81-01
		PROF. J.O. BONNELL	REV. 65	65-81-01
		PROF. J.O. BONNELL	REV. 66	66-81-01
		PROF. J.O. BONNELL	REV. 67	67-81-01
		PROF. J.O. BONNELL	REV. 68	68-81-01
		PROF. J.O. BONNELL	REV. 69	69-81-01
		PROF. J.O. BONNELL	REV. 70	70-81-01
		PROF. J.O. BONNELL	REV. 71	71-81-01
		PROF. J.O. BONNELL	REV. 72	72-81-01
		PROF. J.O. BONNELL	REV. 73	73-81-01
		PROF. J.O. BONNELL	REV. 74	74-81-01
		PROF. J.O. BONNELL	REV. 75	75-81-01
		PROF. J.O. BONNELL	REV. 76	76-81-01
		PROF. J.O. BONNELL	REV. 77	77-81-01
		PROF. J.O. BONNELL	REV. 78	78-81-01
		PROF. J.O. BONNELL	REV. 79	79-81-01
		PROF. J.O. BONNELL	REV. 80	80-81-01
		PROF. J.O. BONNELL	REV. 81	81-81-01
		PROF. J.O. BONNELL	REV. 82	82-81-01
		PROF. J.O. BONNELL	REV. 83	83-81-01
		PROF. J.O. BONNELL	REV. 84	84-81-01
		PROF. J.O. BONNELL	REV. 85	85-81-01
		PROF. J.O. BONNELL	REV. 86	86-81-01
		PROF. J.O. BONNELL	REV. 87	87-81-01
		PROF. J.O. BONNELL	REV. 88	88-81-01
		PROF. J.O. BONNELL	REV. 89	89-81-01
		PROF. J.O. BONNELL	REV. 90	90-81-01
		PROF. J.O. BONNELL	REV. 91	91-81-01
		PROF. J.O. BONNELL	REV. 92	92-81-01
		PROF. J.O. BONNELL	REV. 93	93-81-01
		PROF. J.O. BONNELL	REV. 94	94-81-01
		PROF. J.O. BONNELL	REV. 95	95-81-01
		PROF. J.O. BONNELL	REV. 96	96-81-01
		PROF. J.O. BONNELL	REV. 97	97-81-01
		PROF. J.O. BONNELL	REV. 98	98-81-01
		PROF. J.O. BONNELL	REV. 99	99-81-01
		PROF. J.O. BONNELL	REV. 100	100-81-01

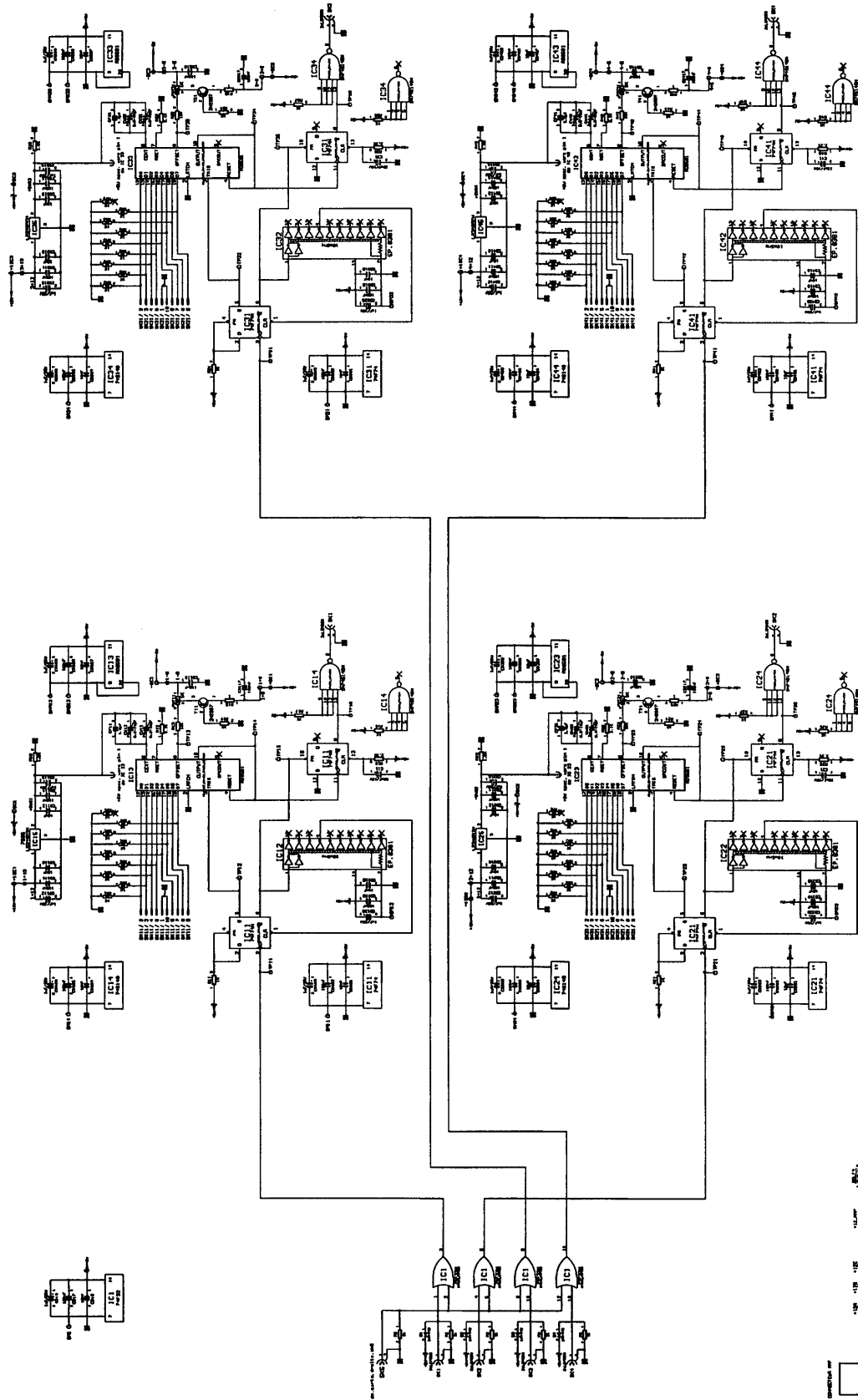


Fig 18

TITRE DE TRANSMISSION DE PROJET / SECTION PRO		DES: J.D. SCHALL	REV: 01
PROJET: PS/BD-BT		PROJ: M. J. JACOB	REV: 01
FONCTION: GENERATOR		DES: J.D. SCHALL	REV: 01
CARTES: B (gauche)		DES: J.D. SCHALL	REV: 01
DATE: 17-08-87		DES: J.D. SCHALL	REV: 01
PAGE: 01		DES: J.D. SCHALL	REV: 01
CERN-PS/PS/BD-BT 4011/28 A1		DES: J.D. SCHALL	REV: 01

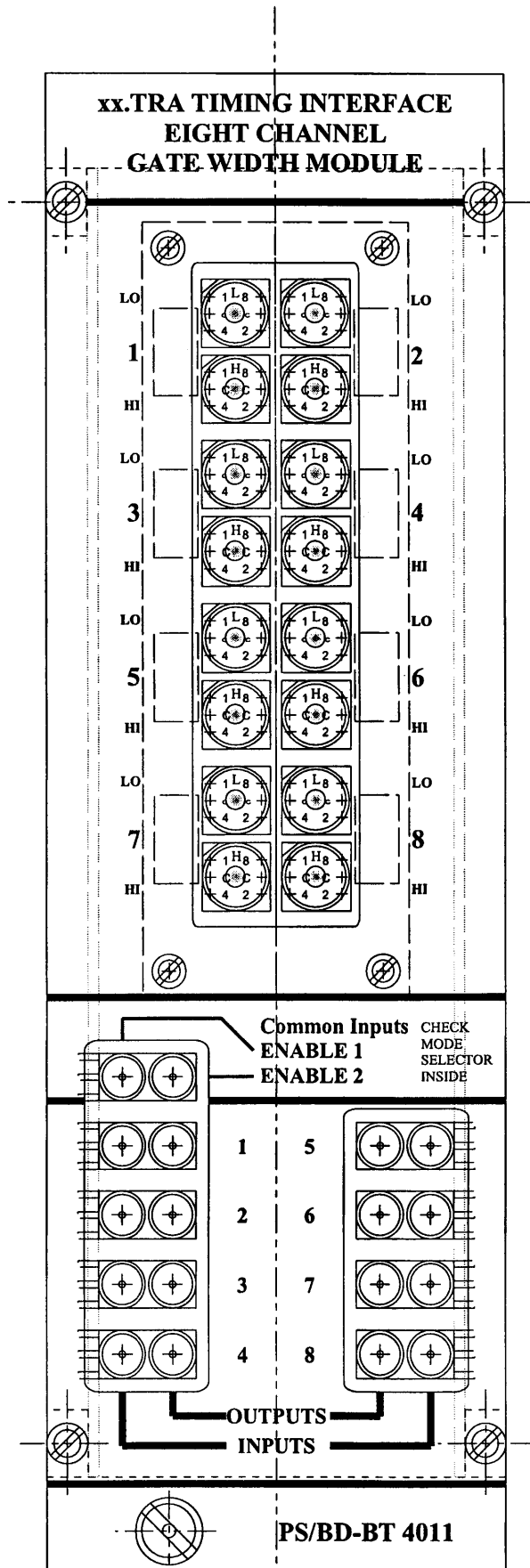


Fig 19

**INTERFACE TIMING
xx.TRA '97
8 CHANNEL
GATE WIDTH MODULE
LAYOUT PANNEAU AVANT**

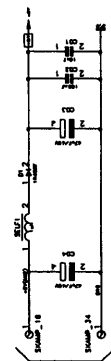
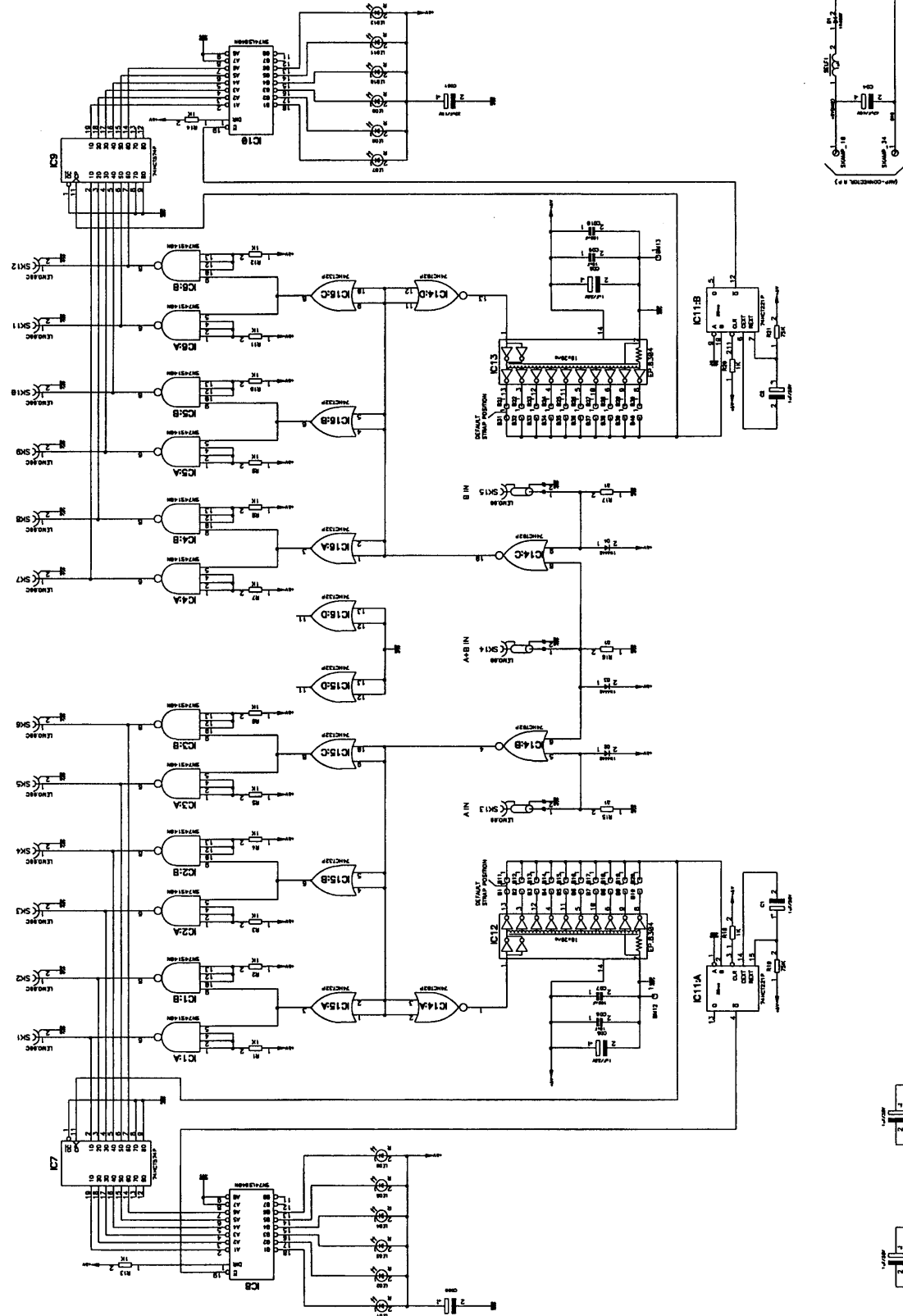
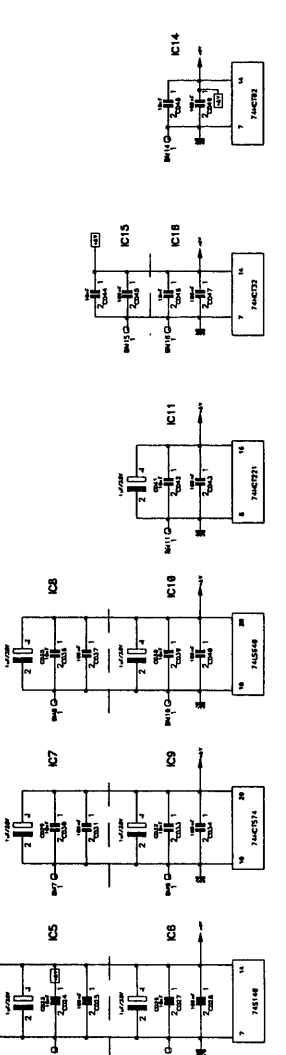
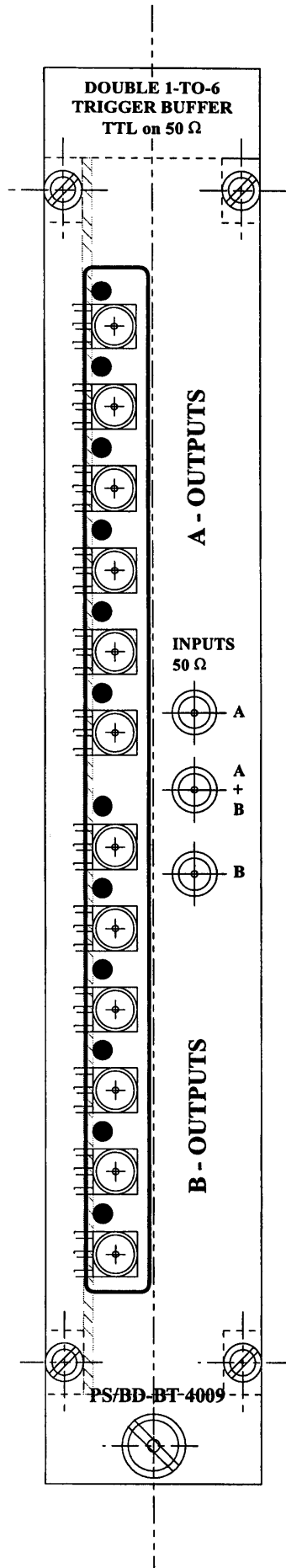


Fig 20

Project/	Timing BT-TBA	Rev.:	1.0 (2006)	Date:	04.11.2006
Drawn/	Electro/tech	Drawn:			
Document:		Model:	Standard PCB/MS	Date:	24.09.2006
		Document:	1/1		
DOUBLE 1-TO-6 TRIGGER BUFFER					
UNIVERSITATEA DE STATISTICA SI CALCUL INFORMATICE SI MATEMATICA					
LABORATORUL DE STATISTICA SI CALCUL INFORMATICE SI MATEMATICA					
BUCURESTI, ROMANIA					
PS/BD-BT-400S/2					A2

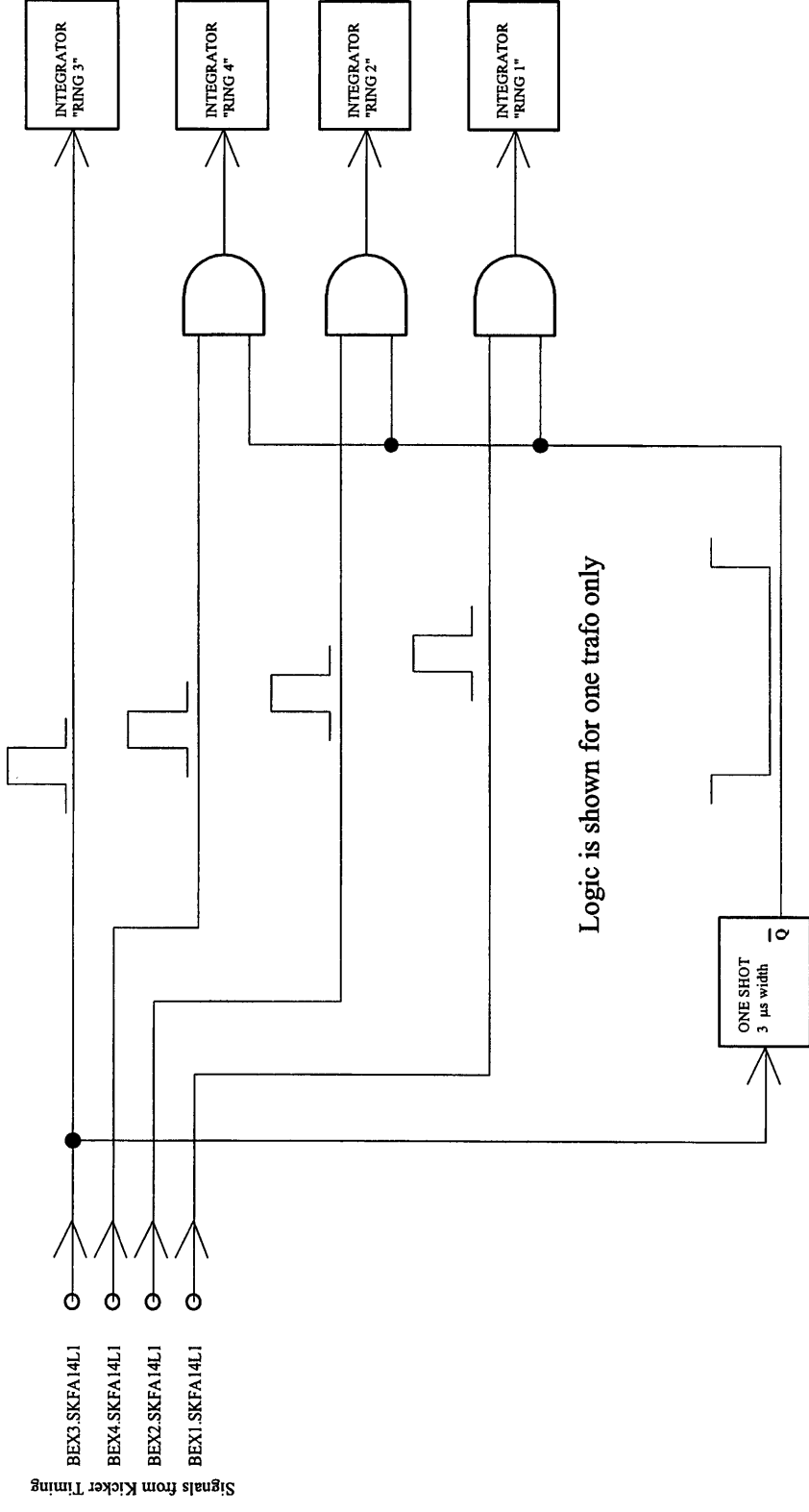




INTERFACE TIMING
 Transformateurs Ejection PSB
 DOUBLE 1-TO-6
 TRIGGER - BUFFER
 VERSION 1
 LAYOUT PANNEAU AVANT

Fig 21

20.09.1996 jds
 Rev.1. 16.10.1996
 Rev.2 22.10.1996
 Rev.3 28.10.1996



**ISOLDE WATCHDOG
 INTEGRATOR TRIGGER GATE
 SIMPLIFIED FUNCTIONAL DIAGRAM**

07.03.2001 JDS

Fig 22

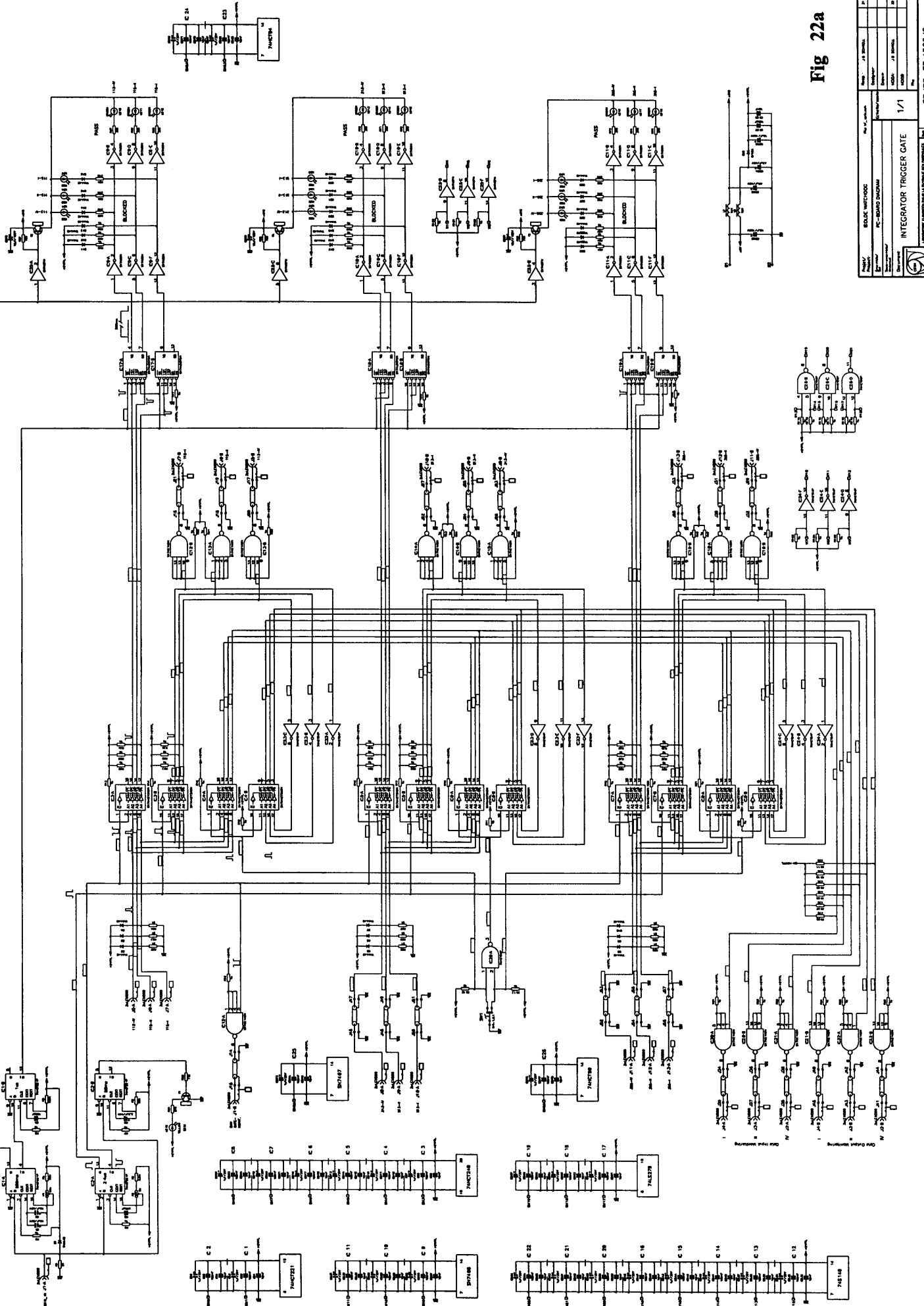
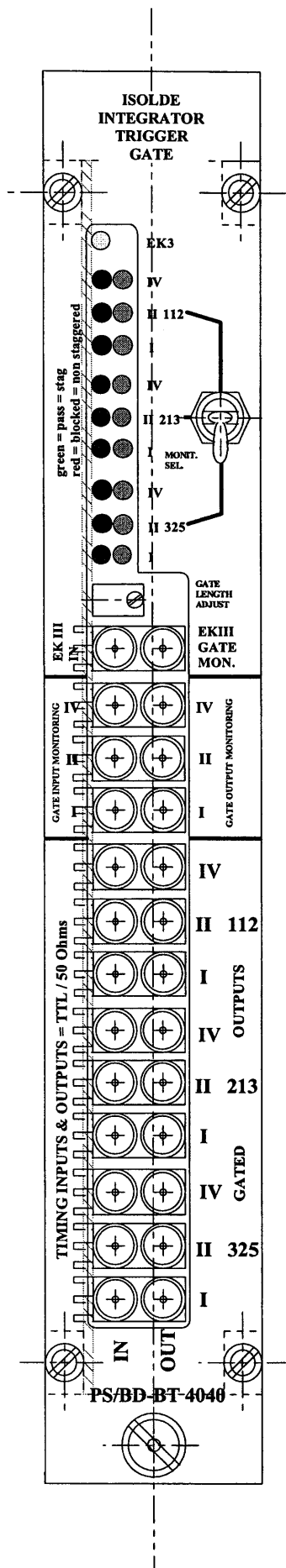


Fig 22a

Project No.		Rev.	
Block	INTEGRATOR TRIGGER GATE	Sheet	1/1
PC BOARD NUMBER		Quantity	
DATE		BY	
DESIGNED BY		CHECKED BY	
DRAWN BY		APPROVED BY	
TESTED BY			
INTEGRATOR TRIGGER GATE			
PS/BD-BT 4828/2			
A1			



**ISOLDE WATCHDOG
INTEGRATOR TRIGGER GATE
LAYOUT PANNEAU AVANT**

Fig 23

20.08.1999 JDS
REV.1 03.09.1999
REV.2 06.04.2000

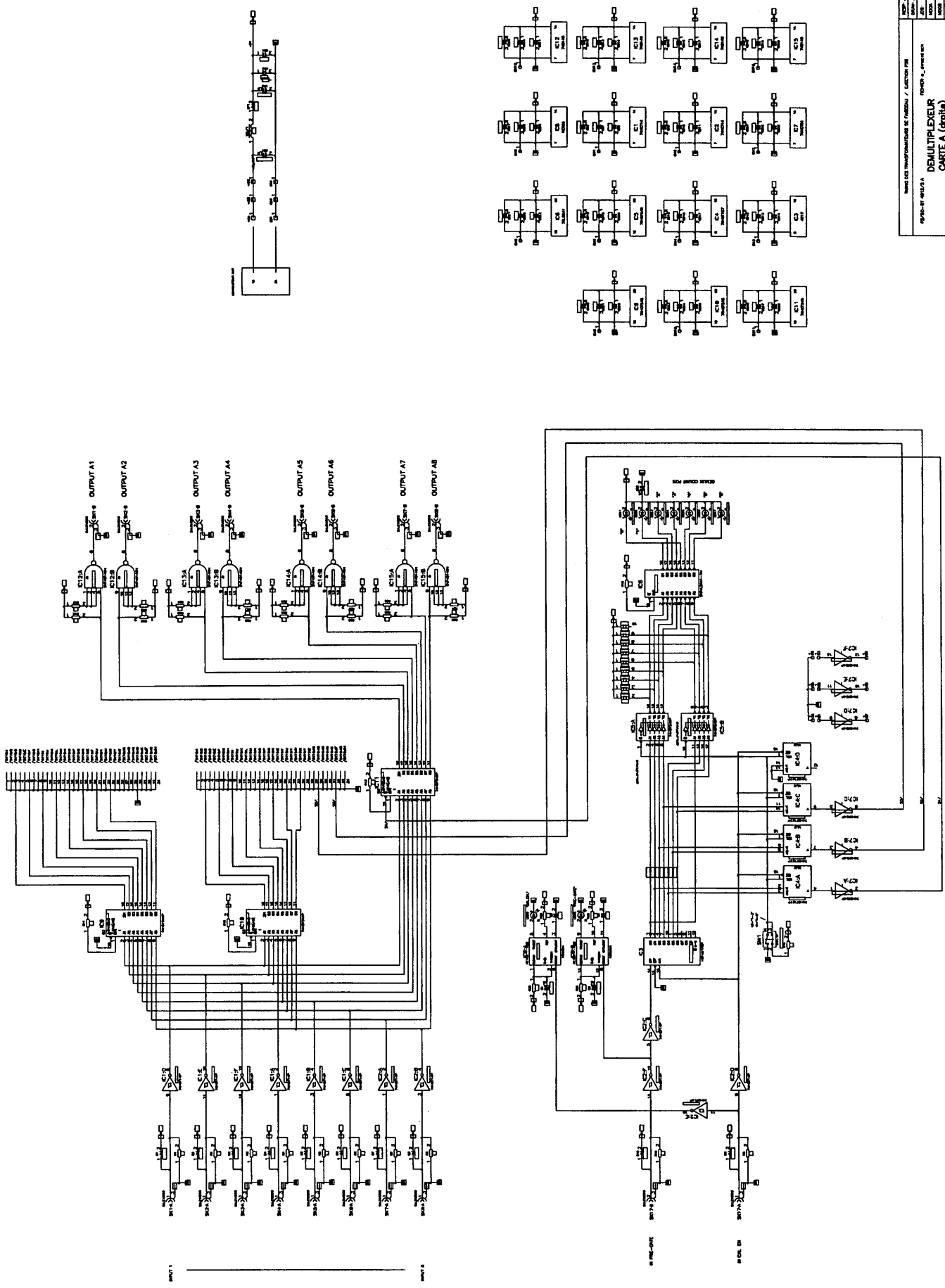


Fig 24

FEUILLE 1

REF. 13.50001	14-02-77
REF. 13.50002	14-02-77
REF. 13.50003	14-02-77
REF. 13.50004	14-02-77
REF. 13.50005	14-02-77
REF. 13.50006	14-02-77
REF. 13.50007	14-02-77
REF. 13.50008	14-02-77
REF. 13.50009	14-02-77
REF. 13.50010	14-02-77
REF. 13.50011	14-02-77
REF. 13.50012	14-02-77
REF. 13.50013	14-02-77
REF. 13.50014	14-02-77
REF. 13.50015	14-02-77
REF. 13.50016	14-02-77
REF. 13.50017	14-02-77
REF. 13.50018	14-02-77
REF. 13.50019	14-02-77
REF. 13.50020	14-02-77
REF. 13.50021	14-02-77
REF. 13.50022	14-02-77
REF. 13.50023	14-02-77
REF. 13.50024	14-02-77
REF. 13.50025	14-02-77
REF. 13.50026	14-02-77
REF. 13.50027	14-02-77
REF. 13.50028	14-02-77
REF. 13.50029	14-02-77
REF. 13.50030	14-02-77
REF. 13.50031	14-02-77
REF. 13.50032	14-02-77
REF. 13.50033	14-02-77
REF. 13.50034	14-02-77
REF. 13.50035	14-02-77
REF. 13.50036	14-02-77
REF. 13.50037	14-02-77
REF. 13.50038	14-02-77
REF. 13.50039	14-02-77
REF. 13.50040	14-02-77
REF. 13.50041	14-02-77
REF. 13.50042	14-02-77
REF. 13.50043	14-02-77
REF. 13.50044	14-02-77
REF. 13.50045	14-02-77
REF. 13.50046	14-02-77
REF. 13.50047	14-02-77
REF. 13.50048	14-02-77
REF. 13.50049	14-02-77
REF. 13.50050	14-02-77
REF. 13.50051	14-02-77
REF. 13.50052	14-02-77
REF. 13.50053	14-02-77
REF. 13.50054	14-02-77
REF. 13.50055	14-02-77
REF. 13.50056	14-02-77
REF. 13.50057	14-02-77
REF. 13.50058	14-02-77
REF. 13.50059	14-02-77
REF. 13.50060	14-02-77
REF. 13.50061	14-02-77
REF. 13.50062	14-02-77
REF. 13.50063	14-02-77
REF. 13.50064	14-02-77
REF. 13.50065	14-02-77
REF. 13.50066	14-02-77
REF. 13.50067	14-02-77
REF. 13.50068	14-02-77
REF. 13.50069	14-02-77
REF. 13.50070	14-02-77
REF. 13.50071	14-02-77
REF. 13.50072	14-02-77
REF. 13.50073	14-02-77
REF. 13.50074	14-02-77
REF. 13.50075	14-02-77
REF. 13.50076	14-02-77
REF. 13.50077	14-02-77
REF. 13.50078	14-02-77
REF. 13.50079	14-02-77
REF. 13.50080	14-02-77
REF. 13.50081	14-02-77
REF. 13.50082	14-02-77
REF. 13.50083	14-02-77
REF. 13.50084	14-02-77
REF. 13.50085	14-02-77
REF. 13.50086	14-02-77
REF. 13.50087	14-02-77
REF. 13.50088	14-02-77
REF. 13.50089	14-02-77
REF. 13.50090	14-02-77
REF. 13.50091	14-02-77
REF. 13.50092	14-02-77
REF. 13.50093	14-02-77
REF. 13.50094	14-02-77
REF. 13.50095	14-02-77
REF. 13.50096	14-02-77
REF. 13.50097	14-02-77
REF. 13.50098	14-02-77
REF. 13.50099	14-02-77
REF. 13.50100	14-02-77

DEMULTIPLIXEUR
CARTE A (droite)

CERN-PS PS/BD-BT 4012/2 A

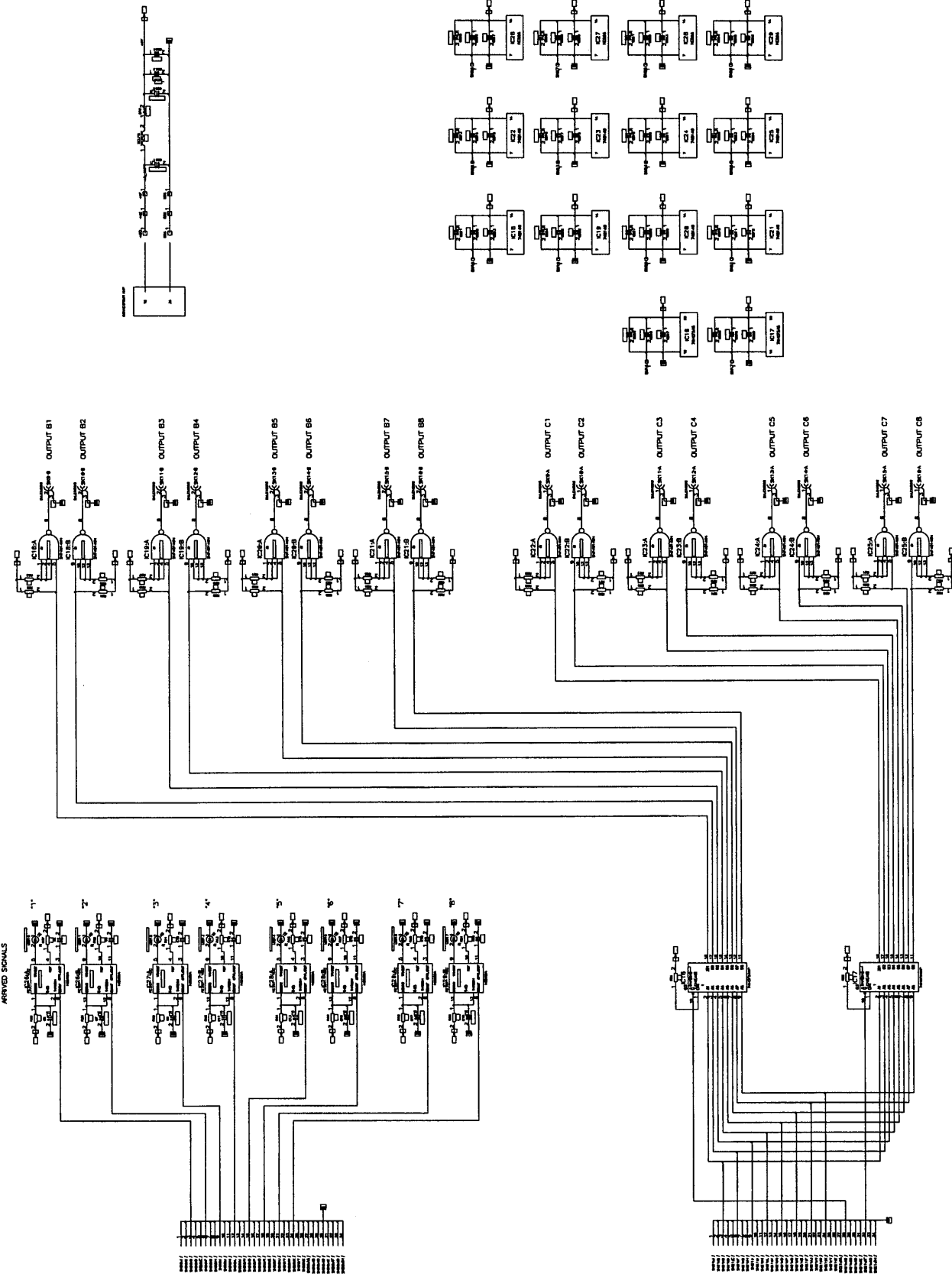


Fig 25

FEUILLE

NUMERO DE TRANSMISSION DE JACOULLY / AUTOMATIQUE	REP. 13/87-97
PROJET 4012/2 B	REP. 13/87-97
DESIGNATION	DESIGNATION
DEMULTIPLEXEUR	DESIGNATION
CARTE B (gauche)	DESIGNATION
CERN-PS	DESIGNATION
PS/BD-BT 4012/2 B	DESIGNATION
A1	DESIGNATION

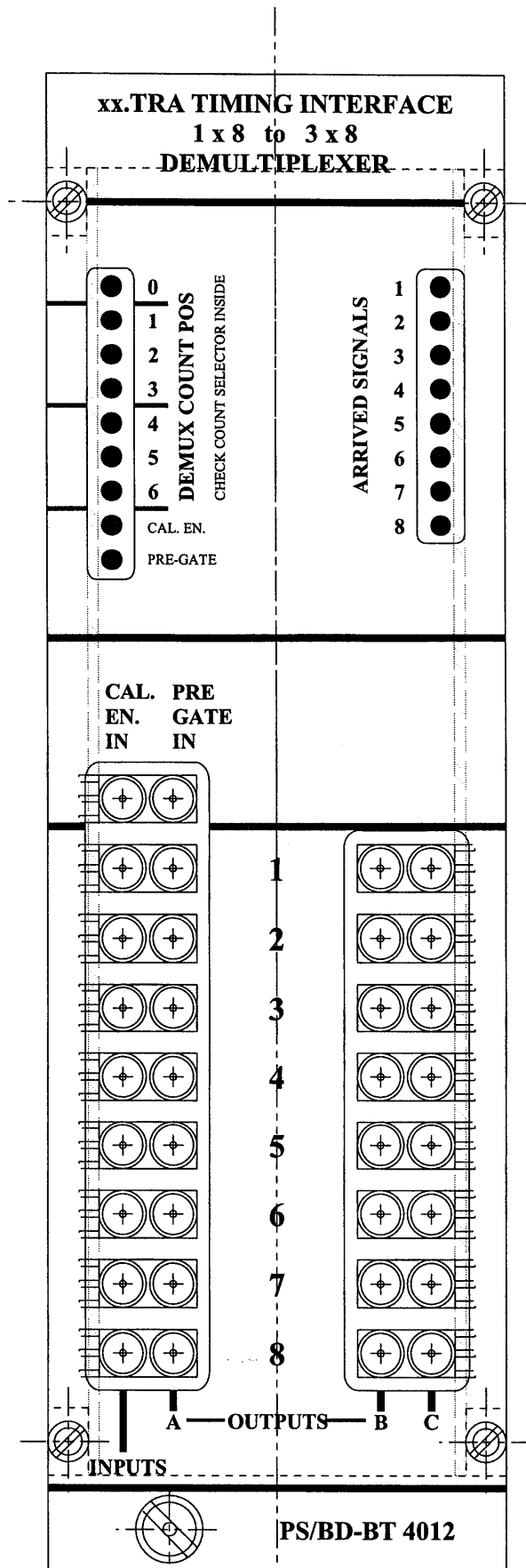
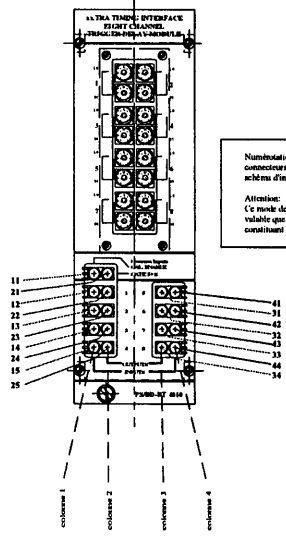
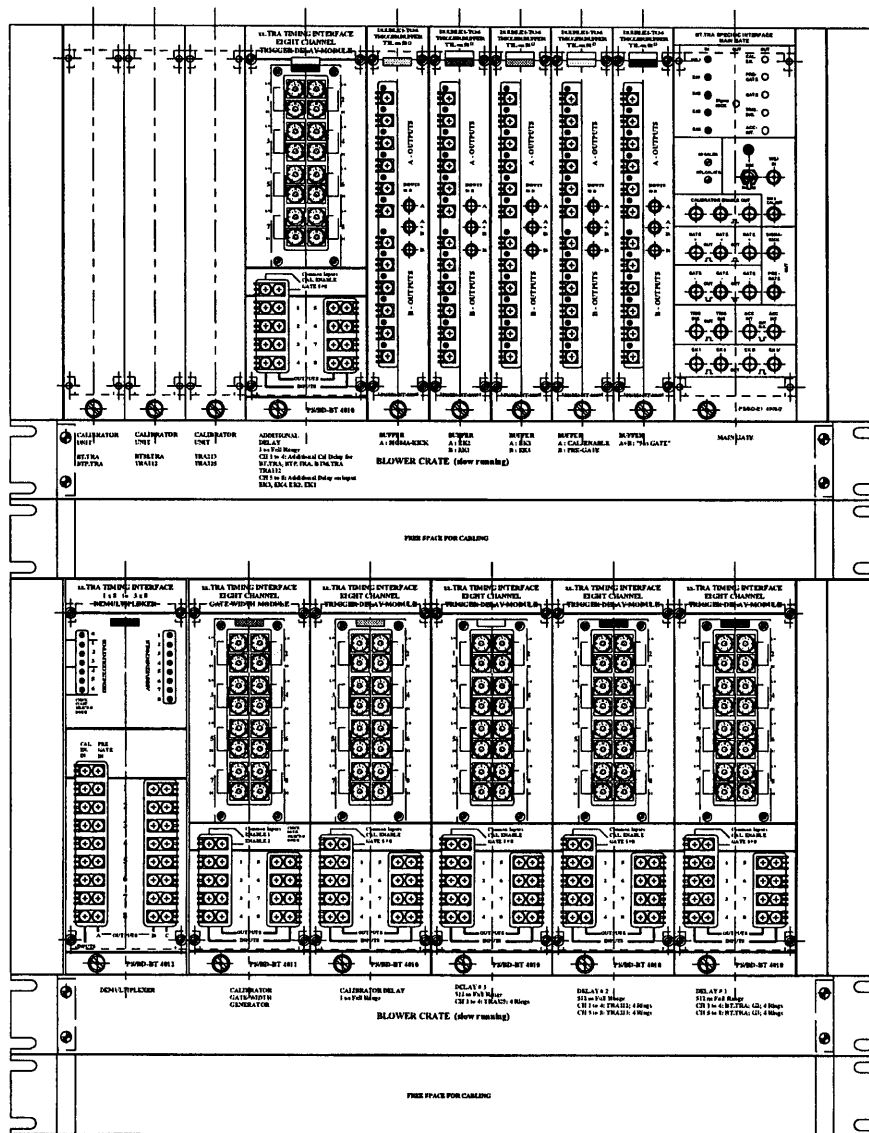


Fig 26

INTERFACE TIMING
Transformateurs Ejection PSB
1 x 8_to_3 x 8 DEMULTIPLEXER
LAYOUT PANNEAU AVANT



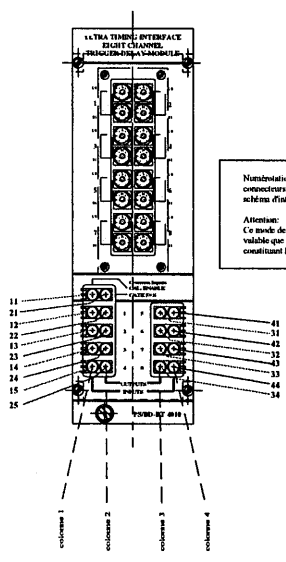
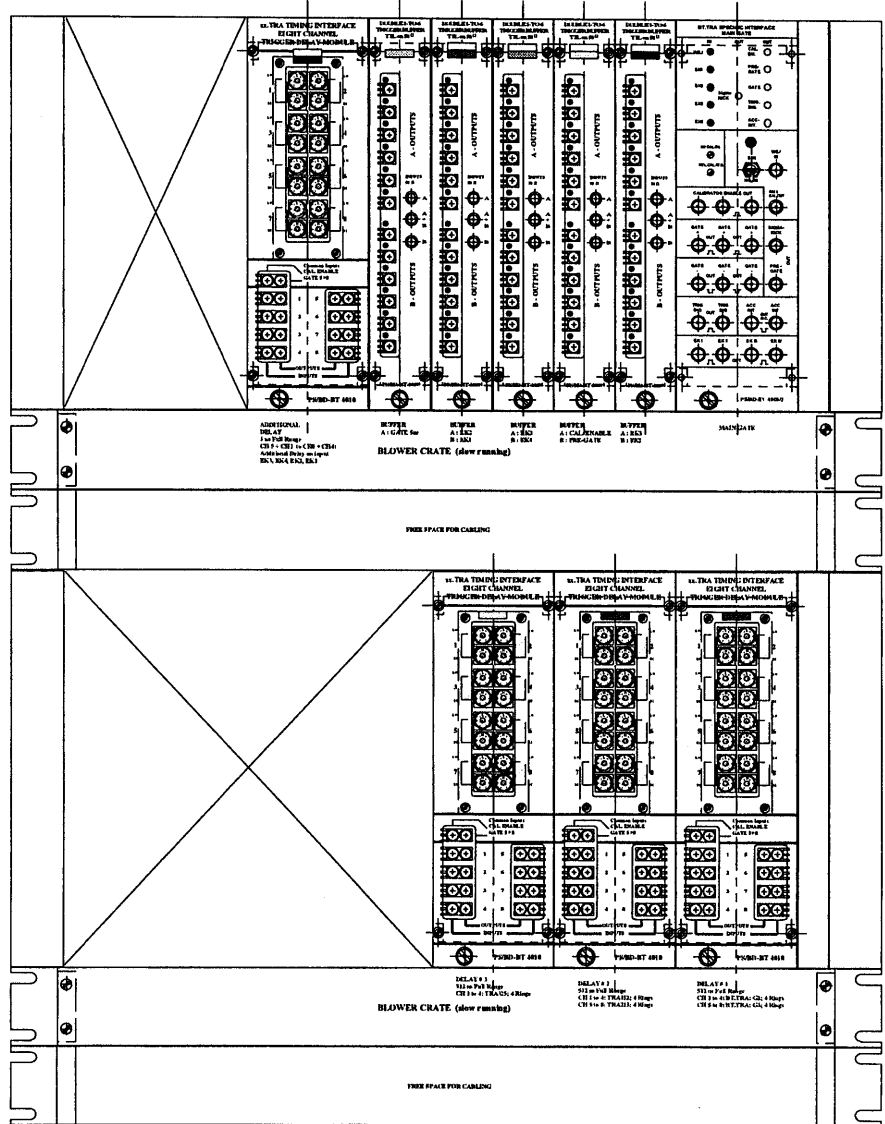
Numérotation / Repérage des connecteurs pour report sur le schéma d'interconnexions.

Attention: Ce mode de repérage n'est valable que sur les unités comportant le timing.

TRANSFORMATEURS DE FAISCEAU EJECTION & TRANSFERT PSB ACQUISITIONS ET CALIBRATIONS PARTIE TIMING (SITUATION 1998) LAYOUT MECANIQUE

13101996 2.03.0000
Rev 01 05/01/99

Fig 27



Nomenclature / Repérage des connecteurs pour report sur le schéma d'interconnexions.

Attention: Ce mode de repérage n'est valable que sur les unités constituant le timing.

TRANSFORMATEURS DE FAISCEAU EJECTION & TRANSFERT PSB ACQUISITIONS PARTIE TIMING (SITUATION 2000) LAYOUT MECANIQUE

12/11/96 J.B.J. m.e.
 Rev. 01 05/01/98
 Rev. 02 26/08/2000

Fig 28