

LIAISON ENTRE ORDINATEURS AVEC MEMOIRE TAMPON - DATA LINK

G. Surback

1. BUT DU DATA LINK

- 1.1 Introduction
- 1.2 Utilisation de la liaison IBM-SIEMENS
- 1.3 Utilisation de la liaison IBM-ARGUS

2. PROCEDURE DE DIALOGUE

- 2.1 Généralités
- 2.2 Définitions
  - 2.2.1 Registres
  - 2.2.2 Adresses
- 2.3 Séquence d'écriture
- 2.4 Séquence de lecture
- 2.5 Séquence écriture mémoire suivie d'une lecture
- 2.6 Utilisation du comparateur d'erreur

3. REALISATION HARDWARE

- 3.1 Data link
  - 3.1.1 Liaison avec  $C_1$
  - 3.1.2 Liaison avec l'interface
  - 3.1.3 Description
- 3.2 Interface data link
  - 3.2.1 Liaison avec  $C_2$
  - 3.2.2 Description

4. POSSIBILITES DE TEST

- 4.1 Observation des principaux signaux au niveau châssis
  - 4.1.1 Data link
  - 4.1.2 Interface data link

- 4.2 Tests dynamiques par bouclage avec C<sub>1</sub>
  - 4.2.1 Généralités et préparation au test
  - 4.2.2 Exécution du programme de test
- 4.3 Attribution des adresses IBM 1800

5. REMERCIEMENTS

6. ANNEXES

- 1. Description châssis data link.
- 2. Description châssis interface data link.
  - 2.1 Allocation des pins pour les différents connecteurs.
- 3. Implantation de l'appareillage.

## 1. BUT DU DATA LINK

### 1.1 Introduction

Suite à la note MPS/CO 72-19 de E. Asseo et H. van der Beken, s'attachant à décrire le mode d'utilisation hardware d'une liaison par data link, une étude du projet était réalisée en 1973, et les deux liaisons prévues rendues opérationnelles fin 1973. Je crois bon aujourd'hui, alors que l'appareillage est en service, de décrire l'ensemble d'une telle liaison. L'étude a porté sur deux liaisons avec mémoire tampon, qui sont de conception et de réalisation absolument identiques et indépendantes l'une de l'autre:

Data link IBM-SIEMENS 300

Data link IBM-ARGUS.

Le data link est destiné à assurer les liaisons bidirectionnelles entre un ordinateur (SIEMENS 300 ou ARGUS) d'une part et l'IBM 1800 d'autre part. Il permet la transmission d'informations entre deux ordinateurs suivant les spécifications fournies par les opérateurs.

La transmission des données entre l'IBM 1800 et le data link est assurée directement par le STAR (système de transmission adressé rapide) pour l'acquisition et le contrôle. Les options STARA single addressing et STARC single addressing sont utilisées pour la lecture et l'écriture des données en mémoire. Rappelons que c'est par ce système de transmission STAR que l'IBM 1800 contrôle le processus du PS.

L'interface data link est un intermédiaire permettant l'adaptation des différents signaux entre l'ARGUS ou la SIEMENS 300, et la mémoire tampon. Chaque ordinateur fournit à l'interface data link des informations par l'intermédiaire d'un système de transmission de données qui lui est propre.

### 1.2 Utilisation de la liaison IBM- SIEMENS

L'ordinateur SIEMENS 300 est chargé du contrôle des éléments de transport de faisceau du Hall-Ouest. Le data link affecté à cette liaison, permet à l'opération MCR de demander à la SIEMENS (via l'IBM 1800) de lui communiquer les valeurs des courants dans ces éléments. Dans l'avenir il est possible d'envisager un contrôle depuis l'IBM 1800 portant sur un élément ou sur l'ensemble des éléments du faisceau.

### 1.3 Utilisation de la liaison IBM-ARGUS

L'ordinateur ARGUS contrôle le processus des ISR. Le data link attaché à cette liaison a pour objet:

Possibilités à l'opération PS via la 1800, par acquisition de l'ARGUS, de connaître les valeurs des moniteurs et celles d'éléments de transport de faisceau. Dans l'avenir on peut envisager d'introduire ou de retirer des écrans ou des moniteurs, ainsi que de contrôler les valeurs d'éléments de transport de faisceau.

Possibilités à l'opération ISR via l'ARGUS, par acquisition de l'IBM 1800 de connaître les caractéristiques du faisceau éjecté venant du PS (intensité PS, position du faisceau, dimensions des paquets, moment d'éjection, etc.).

Ce ne sont là que quelques utilisations immédiates du data link qui peuvent encourager à un développement plus important de ce système. Le seul facteur pouvant limiter une transmission par le data link étant le nombre de mots transmis à l'occasion d'un appel. La capacité de la mémoire dans cette version est de  $\frac{1}{4}$  de k soit 256 mots de 16 bit. Elle pourrait atteindre dans une version légèrement améliorée 1k mots.

## 2. PROCEDURE DE DIALOGUE

### 2.1 Généralités

La transmission d'informations entre deux ordinateurs, dans le cas de la liaison par data link, se résume à un dialogue entre le computer demandeur et la mémoire tampon, puis entre le computer appelé et cette même mémoire. L'accès à la mémoire est conditionné par 6 bit d'un mot appelé "status word". Ce mot toujours disponible à l'utilisateur représente l'état de la mémoire. L'exploitation du "status word" a été définie comme suit:

$B_0 = 1 \rightarrow$  alimentations data link et interface ready

$B_1 = 1 \rightarrow$  mémoire changée

$B_2 = 1 \rightarrow$  écriture possible pour le computer 1

$B_3 = 1 \rightarrow$  lecture possible pour le computer 1

$B_4 = 1 \rightarrow$  écriture possible pour le computer 2

$B_5 = 1 \rightarrow$  lecture possible pour le computer 2.

Dans la suite du dialogue, le computer  $C_1$  représentera l'IBM 1800, alors que l'ordinateur  $C_2$  l'un ou l'autre des computers (ARGUS ou SIEMENS).

## 2.2 Définitions

### 2.2.1 Registres

Chaque ordinateur dispose d'un registre principal de capacité 10 bit (respectivement  $R_A$  pour  $C_1$  et  $R_B$  pour  $C_2$ ) et d'un registre commun  $R_C$  de 4 bit de capacité appelé comparateur d'erreur. L'accès à ces deux registres est fait par une seule adresse d'écriture.

$C_1$  peut écrire dans  $R_A$  qui ne sera lu que par  $C_2$ .

$C_2$  peut écrire dans  $R_B$  qui ne sera lu que par  $C_1$ .

Cette possibilité supplémentaire de communication est offerte à l'un ou l'autre des ordinateurs qui peut utiliser à tout moment son registre sans utiliser pour autant l'accès mémoire (mot de word-count, status ....).

Le comparateur d'erreur ne peut être utilisé que dans le cas où une RAZ du mot de status, qui régit le fonctionnement du data link, s'impose. Si les quatre bit envoyés correspondent au code fixé, le status word prend l'état:  $B_2+B_3+B_4+B_5 = 0$ .

### 2.2.2 Adresses

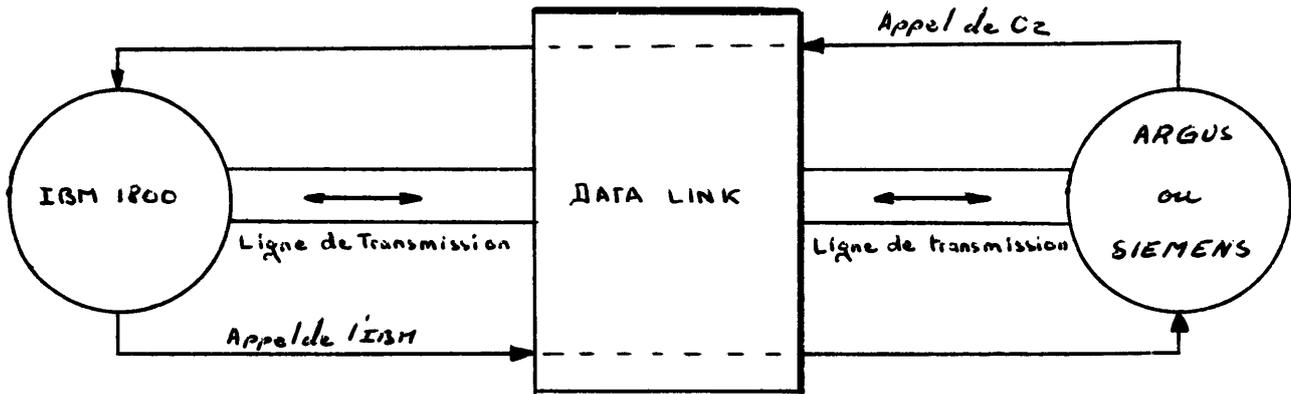
Il a été convenu qu'une adresse est l'association d'un signal logique 1, et d'une impulsion se présentant pendant le niveau 1. Pour la commande, cette impulsion est appelée  $Rdy_C$ , pour l'acquisition  $Rdy_A$ . Les adresses utilisées en commande seront de la forme  $C_a.Rdy_C$ ;  $C_b.Rdy_C$ , .... et celles utilisées en acquisition  $A_a.Rdy_A$ ;  $A_b.Rdy_A$ , ..... ou respectivement  $C'_a.Rdy'_C$ ,  $C'_b.Rdy'_C$  et  $A'_a.Rdy'_A$ ,  $A'_b.Rdy'_A$ , ..... pour  $C_2$ .

L'analyse d'une transmission entre un ordinateur et la mémoire tampon fait apparaître trois séquences possibles:

écriture seule

lecture seule

écriture suivie d'une lecture.



### 2.3 Séquence d'écriture

L'ordinateur  $C_1$  veut transmettre à  $C_2$  une série d'informations:

- Acquisition du status word + registre  $R_B \rightarrow (A_c.Rdy_a)$

Sur le flanc montant de l'impulsion  $\rightarrow$  reset du compteur d'adresses et du compteur de blocs de la mémoire. Si le status word est tel que:  $B_0 = 1$ ,  $B_1 = 0$ ,  $B_2+B_3+B_4+B_5 = 0$ , l'accès de la mémoire tampon est possible pour  $C_1$ .

- Position écriture  $C_1 \rightarrow (A_b.Rdy_a)$

Sur le flanc montant du  $Rdy_a \rightarrow B_2 = 1$ , d'où un mot de status qui devient:  $B_0 = 1$ ,  $B_1 = 0$ ,  $B_2 = 1$ ,  $B_3+B_4+B_5 = 0$ . Si  $B_2+B_3+B_4+B_5 = 1$ , il n'est plus possible à l'un ou à l'autre des ordinateurs de changer le positionnement de la mémoire tampon avant que la séquence en cours soit terminée ( $B_2 = 0$ ). Si  $B_2+B_3 = 1$ , aucune action de  $C_2$  sur la mémoire ne peut perturber le déroulement de la séquence de  $C_1$ . L'acquisition du status word + registre  $R_A$  est toujours possible pour  $C_2$ .

- Ecriture registre  $R_A$  + comparateur d'erreur  $R_C \rightarrow (C_d.Rdy_c)$

L'écriture est faite sur le flanc montant de l'impulsion. Elle n'est pas régie par l'état du mot de status et est donc possible à tous moments. Si le mot envoyé est de la forme (/XXX5) en hexadécimal, le comparateur d'erreur provoque le reset des bit "position" du status word soit:  $B_2+B_3+B_4+B_5 = 0$  (voir chapitre 2.6 Utilisation du comparateur d'erreur).  $B_0$  et  $B_1$  ne sont pas touchés par cette action.

- Ecriture des données en mémoire  $\rightarrow (C_a.Rdy_c)$

Comme  $B_2 = 1 \rightarrow$  l'écriture mémoire est possible et est faite sur le flanc montant du  $Rdy_c$ . L'avance du compteur d'adresses se fait sur le flanc descen-

dant de cette même impulsion. Il y a autant d'impulsions ( $Rdy_C$ ) que de mots à écrire en mémoire. Le nombre de blocs étant de 16, dans le cas présent d'une mémoire de capacité 256 mots, chaque bloc contient  $\frac{1 \times 256}{16} = 16$  places (adresses). Le compteur de blocs progressera donc à chaque fois d'un pas, sur le flanc descendant de la dernière adresse (EOB) d'un groupe de 16.

- Reset de la position Ecriture  $C_1 \rightarrow (C_b \cdot Rdy_C)$

Après écriture, sur le flanc montant du  $Rdy_C \rightarrow B_2 = 0$ , d'où un mot de status qui devient:  $B_0 = 1, B_1 = 0, B_2+B_3+B_4+B_5 = 0$ . Comme  $B_2+B_3+B_4+B_5 = 0$ , un positionnement du mot de status par  $C_1$  ou  $C_2$  est à nouveau possible  $B_2+B_3 = 0$ , l'ordinateur  $C_2$  a libre accès à la mémoire.

- Génération par  $C_1$  d'un interrupt vers  $C_2 \rightarrow (C_c \cdot Rdy_C)$

Cet interrupt est possible à tous moments. Sur le flanc montant de l'impulsion, l'interrupt est envoyé vers  $C_2$ . Sur le flanc montant de l'interrupt  $\rightarrow B_1 = 1$ . Si  $B_1 = 1$ ,  $B_2$  et  $B_4$  conservent l'état qu'ils avaient avant l'apparition de l'interrupt ( $B_2 = 0, B_4 = 0$ ). Aucune action de  $C_1$  ou  $C_2$  ne peut venir modifier cet état. Soit en fin de séquence d'écriture  $C_1$ , un status word =  $B_0 = 1, B_1 = 1, B_2+B_3+B_4+B_5 = 0$ .

#### 2.4 Séquence de lecture

L'interrupt émis est reçu par  $C_2$ . Cet interrupt représente une demande de  $C_1$  afin que  $C_2$  vienne lire le contenu de la mémoire.

- Acquisition du status word + registre  $R_A \rightarrow (A'_c \cdot Rdy'_a)$

Sur le flanc montant du  $Rdy'_a \rightarrow$  reset du compteur d'adresses et du compteur de blocs. Le mot de status en fin d'écriture étant:  $B_0 = 1, B_1 = 1, B_2+B_3+B_4+B_5 = 0$ . Si  $B_1 = 1 \rightarrow B_2+B_4 = 0$ , l'accès au data link est possible pour  $C_2$ , mais uniquement pour un positionnement: lecture  $C_2$ .

- Position lecture  $C_2 \rightarrow (A'_a \cdot Rdy'_a)$

Sur le flanc montant de l'impulsion  $\rightarrow B_1 = 0$  et  $B_5 = 1$ , d'où un status word qui devient:  $B_0 = 1, B_1 = 0, B_5 = 1, B_2+B_3+B_4 = 0$ . Si  $B_2+B_3+B_4+B_5 = 1$ , il n'est plus possible de changer le positionnement de la mémoire tampon avant que la séquence en cours soit terminée ( $B_5 = 0$ ). Si  $B_4+B_5 = 1$ , aucune action de  $C_1$  sur la mémoire peut perturber le déroulement de la séquence de  $C_2$ . L'acquisition du status word + registre  $R_B$  est là aussi toujours

possible pour  $C_1$ .

- Ecriture registre  $R_B$  + comparateur d'erreur  $R_C \rightarrow (C'_d.Rdy'_c)$

L'accès au registre ainsi qu'au comparateur d'erreur n'est pas régi par l'état du status word, et est donc possible à tous moments. L'écriture se fait sur le flanc montant du  $Rdy_c$ , si la data envoyée est de la forme /XXX5 en hexadécimal, le comparateur d'erreur provoquera le reset des bit <<position>> du mot de status soit:  $B_2+B_3+B_4+B_5 = 0$ ,  $B_0$  et  $B_1$  n'étant pas influencés.

- Lecture des données en mémoire  $\rightarrow (A'_e.Rdy'_a)$

Comme  $B_5 = 1$ , la lecture mémoire est possible. La data qui correspond à l'adresse mémoire  $A_0$  est présente en sortie au moment où apparaît l'adresse ( $A'_e$ ). Le compteur d'adresses avance sur le flanc descendant de  $Rdy'_a$ . De façon à permettre l'acquisition de cette donnée, la première impulsion  $Rdy'_a$  ne sera pas envoyée au compteur d'adresses. Pour  $n$  informations lues,  $n-1$  impulsions sont donc nécessaires. Le compteur de blocs progresse d'un pas sur le flanc descendant de la 16ième adresse mémoire (toutes les 16 adresses).

- Reset de la position lecture  $C_2 \rightarrow (A'_d.Rdy'_a)$

Sur le flanc montant de l'impulsion  $\rightarrow B_5 = 0$ ,  $B_0 = 1$ ,  $B_1 = 0$ ,  $B_2+B_3+B_4 = 0$ . Comme  $B_2+B_3+B_4+B_5 = 0$ ,  $C_1$  ou  $C_2$  peuvent à nouveau contrôler le status word.  $B_4+B_5 = 0$ ,  $C_1$  retrouve donc libre accès à la mémoire.

## 2.5 Séquence écriture mémoire suivie d'une lecture

Cette procédure permet à l'un ou à l'autre des ordinateurs, après écriture, de contrôler cette dernière en effectuant une lecture mémoire. Supposons que  $C_1$  écrivait.

- Acquisition du status word + registre  $R_B$

Après écriture mémoire:  $B_0 = 1$ ,  $B_1 = 0$ ,  $B_2 = 1$ ,  $B_3+B_4+B_5 = 0$ . Sur le flanc montant du  $Rdy_a \rightarrow$  reset des compteurs de blocs et d'adresses.

- Reset de la position écriture  $C_1$

Le status word devient:  $B_0 = 1$ ,  $B_1 = 0$ ,  $B_2+B_3+B_4+B_5 = 0 \rightarrow C_1$  peut à nouveau contrôler le status word.

- Position lecture C<sub>1</sub>

Le status word est:  $B_0 = 1$ ,  $B_1 = 0$ ,  $B_3 = 1$ ,  $B_2+B_4+B_5 = 0$ ,  $B_2+B_3+B_4+B_5 = 1$  → verrouillage du mot de status,  $B_2+B_3 = 1$ , impossibilité pour C<sub>2</sub> d'agir sur la mémoire.

- Lecture des données en mémoire

- Reset de la position lecture C<sub>1</sub>.

Le mot de status retrouve la forme  $B_0 = 1$ ,  $B_1 = 0$ ,  $B_2+B_3+B_4+B_5 = 0$ . Le contrôle résultant d'une lecture étant terminé, C<sub>1</sub> peut alors émettre vers C<sub>2</sub> l'interrupt soit

$$B_0 = 1, B_1 = 1, B_2+B_3+B_4+B_5 = 0.$$

2.6 Utilisation du comparateur d'erreur

L'utilisation de ce comparateur ne doit avoir lieu qu'en dernier recours du fait que son action est de remettre le status word dans la position de départ ( $B_2+B_3+B_4+B_5 = 0$ ) et qu'une séquence en cours serait détruite.

Supposons que C<sub>1</sub> a positionné le status word en écriture C<sub>1</sub>, et qu'après avoir écrit en mémoire il omette pour une raison quelconque d'effectuer le reset de la position écriture C<sub>1</sub>.

L'état du status word est alors:  $B_0 = 1$ ,  $B_1 = 0$ ,  $B_2 = 1$ ,  $B_3+B_4+B_5 = 0$ .

C<sub>1</sub> génère un interrupt vers C<sub>2</sub> →  $B_0 = 1$ ,  $B_1 = 1$ ,  $B_2 = 1$ ,  $B_3+B_4+B_5 = 0$ .

Si  $B_2 = 1$ , la condition permettant l'accès de C<sub>2</sub> au data link ( $B_2+B_3+B_4+B_5 = 0$ ) n'est plus remplie d'où impossibilité pour C<sub>2</sub> d'effectuer une lecture des données en mémoire. Dans ce cas deux solutions sont possibles:

a) Après acquisition par C<sub>2</sub> du status word, C<sub>2</sub> peut avertir C<sub>1</sub> de son erreur. Il écrit un mot dans son registre R<sub>B</sub> (mot significatif de l'erreur) et émet vers C<sub>1</sub> un interrupt. C<sub>1</sub> lit le status word et peut alors effectuer la correction en faisant un reset de la position écriture C<sub>1</sub> →  $B_2+B_3+B_4+B_5 = 0$ .

b) C<sub>1</sub> ne peut corriger son erreur ..... C<sub>2</sub> peut alors prendre l'initiative de la remise à zéro du status word. Il envoie en direction du comparateur d'erreur R<sub>C</sub> un mot dont la configuration hexadécimale est /XXX5, ce qui a pour effet:  $B_2+B_3+B_4+B_5 = 0$  et l'accès au data link est à nouveau possible pour C<sub>2</sub>.

### 3. REALISATION HARDWARE

L'ensemble de l'électronique pour une liaison est contenu dans deux châssis du type transrack 3U de haut.

Un châssis central: DATA LINK 70015.CO

Un châssis auxiliaire: INTERFACE DATA LINK 70016.CO.

#### 3.1 Data link

##### 3.1.1 Liaison avec C<sub>1</sub>

La liaison avec le STAR acquisition est assurée par un data group unit IV. Deux connecteurs du type amphenol 24 pins (A<sub>0</sub>A<sub>1</sub> et A<sub>2</sub>) acheminent les données et les adresses. Les datas sortent du châssis en open collector (0 logique = Z $\infty$ , 1 logique = 0  $\Omega$ ). Les adresses entrent en  $\pm 5$  V (0 logique - 3,5 V < -4,8 V, 1 logique + 3,5 V < +4,8 V). L'impulsion Rdy<sub>a</sub> est distribuée sous forme d'impulsion standard (30 V, 2  $\mu$ s) par un câble à terminaison BNC 75  $\Omega$ .

Deux liaisons sont possibles avec le STAR contrôle, soit par une sortie "local control master" sur un connecteur amphenol 50 pins; soit par deux sorties du "control group unit II" (A<sub>0</sub>D<sub>p</sub> et A<sub>0</sub>SP) sur amphenols 24 contacts. Les datas, adresses, Rdy<sub>c</sub> entrent sur le châssis entre  $\pm 5$  V.

L'interrupt sortant du data link à destination de l'IBM 1800 est disponible sur une BNC sous la forme d'une impulsion standard.

##### 3.1.2 Liaisons avec l'interface

La liaison entre le data link et son interface est assurée par deux câbles à paires torsadées (48 et 100  $\times$  0,25 mm<sup>2</sup>). L'échange des informations entre ces deux châssis est en mode différentiel. Un câble terminé par un connecteur BURNDY 50 contacts véhicule toutes les informations dans le sens data link  $\rightarrow$  interface data link (data acquisition + interrupt vers C<sub>2</sub>). Un câble terminé par un connecteur BURNDY 104 contacts véhicule tous les signaux dans le sens interface data link  $\rightarrow$  data link (data contrôle, adresses (acquisition et contrôle), Rdy'<sub>a</sub> et Rdy'<sub>c</sub>).

##### 3.1.3 Description

Le châssis central porte 13 tiroirs occupant les 15/25 de la largeur totale. Les 10 unités restantes sont réservées aux accès test (voir cha-

pitre 4.1.1).

Une description détaillée de la fonction de chaque tiroir se trouve en ANNEXE sous le chapitre 1.

### 3.2 Interface data link

#### 3.2.1 Liaison avec C<sub>2</sub>

Pour rendre possible les tests dynamiques de l'ensemble d'une liaison, par l'IBM 1800 via le STAR (chapitre 4.4.2 Tests dynamiques par bouclage avec C<sub>1</sub>), les liaisons (acquisition et contrôle) avec C<sub>2</sub> ont été imposées du même type que celles qui permettent les communications avec C<sub>1</sub> et le data link, soit:

- Pour l'acquisition: deux connecteurs (A<sub>24</sub>) correspondant aux sorties d'un "data group unit IV" (A<sub>0</sub>A<sub>1</sub> et A<sub>2</sub>). Les données sortent en open collector, les adresses entrent en  $\pm 5$  V. L'impulsion Rdy'<sub>a</sub> est reçue sur un connecteur BNC (amplitude  $12 \text{ V} < \mathcal{N} < 30 \text{ V}$ ).

- Pour le contrôle: 2 connecteurs (A<sub>24</sub>) correspondant aux sorties d'un "control group unit II" (A<sub>0</sub>DP et A<sub>0</sub>SP). Les données, adresses ainsi que l'impulsion Rdy'<sub>c</sub> entrent en  $\pm 5$  V. Un connecteur (A<sub>50</sub>) est également prévu et permet la liaison avec un "local control master" (STAR contrôle). Cette liaison supplémentaire n'est utilisée que dans le cas de tests par C<sub>1</sub> si le terminal STAR disponible n'est pas un "control group unit II". Ce connecteur n'est pas à usage de C<sub>2</sub>.

- L'interrupt pour C<sub>2</sub> est sorti sur une Lémo (2 pins grosseur 1) en logique négative (0 logique  $\neq 3 \text{ V}$ , 1 logique  $\neq 0 \text{ V}$ ).

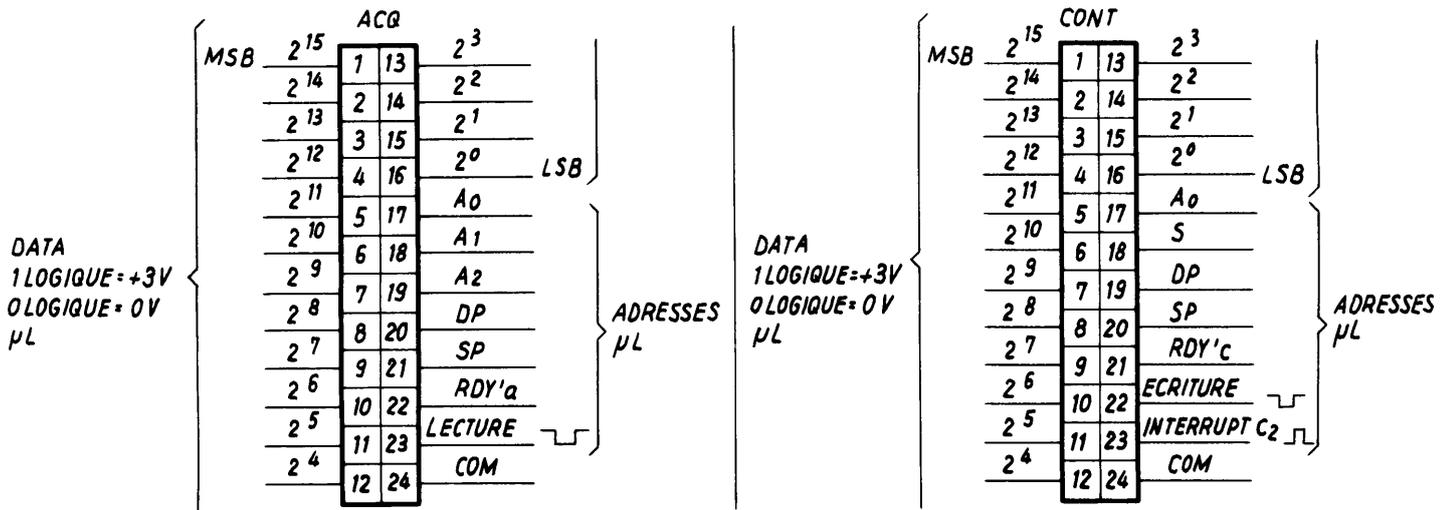
On trouvera en annexe (2.1) l'allocation des pins pour ces différents connecteurs.

#### 3.2.2 Description

Le châssis interface data link porte cinq tiroirs occupant les 6/25 de la largeur totale du châssis. 19 unités reçoivent les différents accès tests (voir chapitre 4, 4.1.2). Une description de la fonction de chaque tiroir se trouve en ANNEXE sous le chapitre 2.



TESTS C<sub>2</sub>

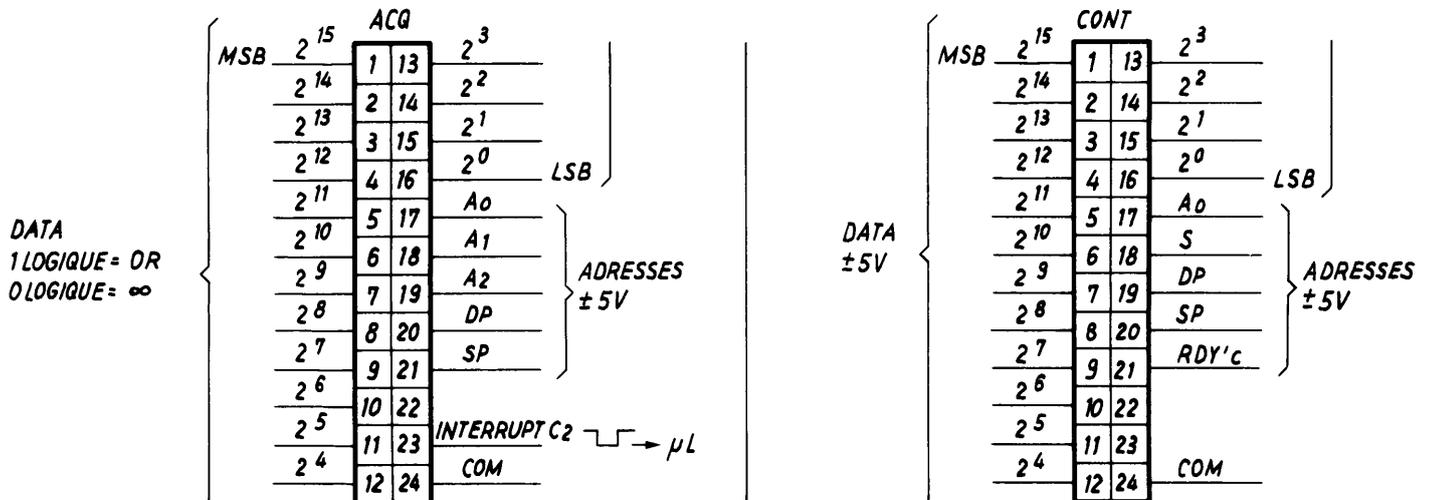


4.1.2 Interface data link

Sur ce châssis, les principaux signaux, propres à la liaison avec C<sub>2</sub>, sont répartis sur deux connecteurs (amphénol 24 pins), câblés face avant. L'impulsion Rdy'<sub>a</sub> est sortie sur un point test séparé.

Allocation des pins pour ces connecteurs test

TESTS C<sub>2</sub>



D'autre part, des points test sont montés directement sur certains circuits imprimés et facilitent les différents réglages.

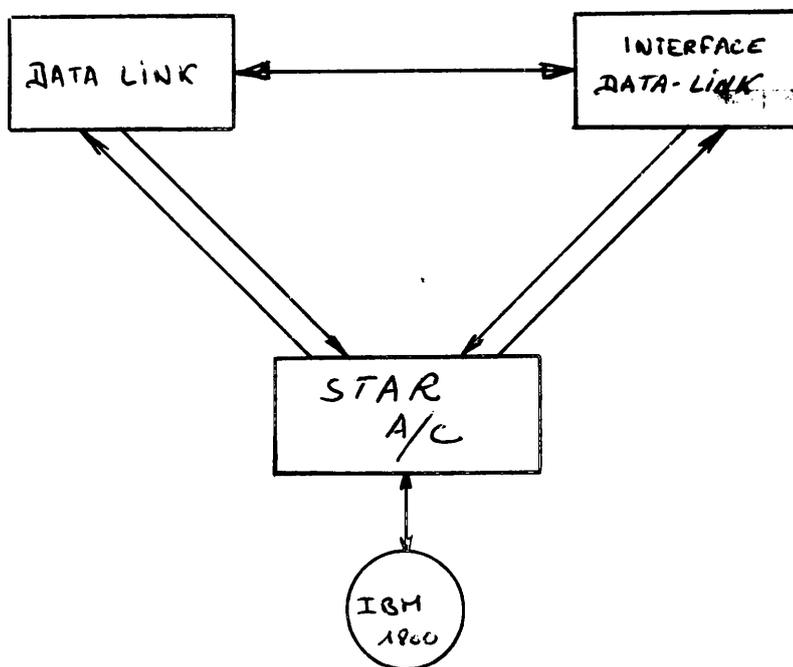
## 4.2 Tests dynamiques d'une liaison par bouclage avec C<sub>1</sub>

### 4.2.1 Généralités et préparation au test

Afin d'assurer le bon fonctionnement de l'ensemble d'une liaison, un test dynamique dans les conditions les plus proches d'une réelle communication par data link de deux computers s'avérait nécessaire. Ce test devait répondre à trois conditions essentielles:

- Facilités de mise en oeuvre
- Diagnostique rapide
- Souplesse d'exécution des séquences.

Pour répondre à ce critère, un test par bouclage, avec comme unique ordinateur C<sub>1</sub> (IBM 1800) a été réalisé. Ceci était rendu possible du fait que l'accès à l'INTERFACE DATA LINK par C<sub>2</sub> est compatible avec l'accès STAR.



L'IBM 1800 fera donc "double jeu": celui de C<sub>1</sub>, qui normalement lui revient, mais aussi, pour le test, celui de C<sub>2</sub>. Une série d'adresses supplémentaires, réservées à ce test, ont donc été données à C<sub>1</sub> pour remplir la fonction de C<sub>2</sub> (voir chapitre 4.3, Attribution des adresses).

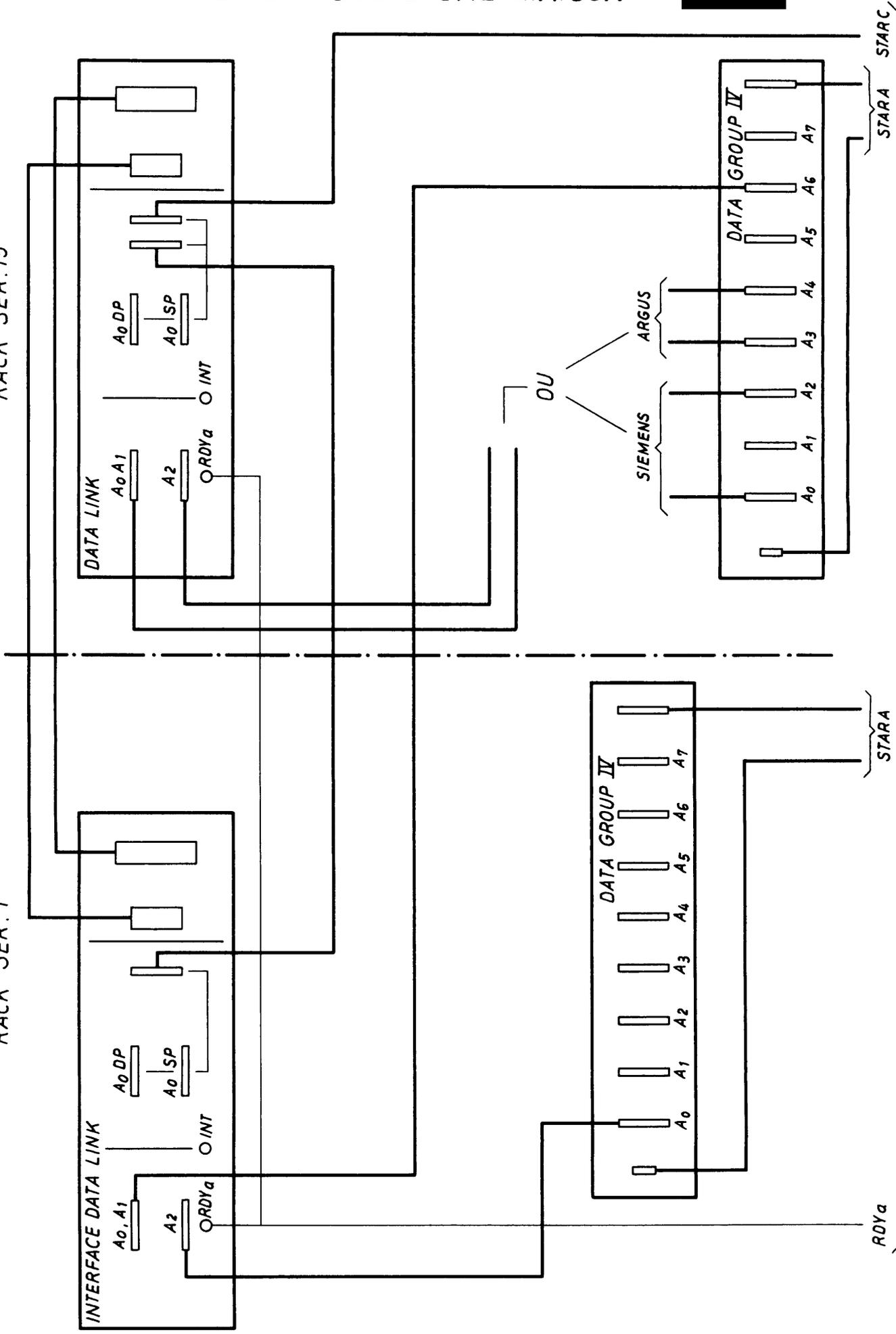
### Préparation d'une liaison pour ce test

L'interface data link est amenée à proximité du châssis central data link. Les interconnexions entre les deux châssis sont assurées par des câbles rallonge. Les liaisons avec le STAR et l'interface data link sont faites (voir synoptique).

# SYNOPTIQUE DES INTERCONNEXIONS POUR TEST DYNAMIQUE D'UNE LIAISON

RACK SER. 15

RACK SER. 1



IBM 1800 VIA STAR

a) Les interrupts sortant, à destination de  $C_1$  et de  $C_2$  ne sont pas branchés afin de ne pas perturber le déroulement du test.

b) Sur le tiroir Interface Acquisition (80019) du châssis I interface data link, le cavalier X1 est mis en position Test IBM.

Le test peut alors être appelé.

#### 4.2.2 Exécution du programme de test

Le programme permettant l'exécution du test est contenu dans HARDWARE TEST, et peut être appelé à partir de la console Ejection au MCR. Il peut être demandé avec l'option REPEAT, en cours de déroulement on peut modifier les spécifications de départ en rappelant HARDWARE TEST avec l'option BRANCH.

Après avoir sélectionné ce programme, une série de coordonnées propres à ce test apparaissent sur l'écran du PDS1 (Fig. 1) entre lesquelles il faut faire un choix quant au type de test désiré. Ce choix est fait par l'intermédiaire du keyboard du PDS1 qui permet de venir mettre YE à côté des paramètres choisis:

- Quel data link: soit la liaison IBM SIEMENS, soit celle IBM ARGUS.
- Quel test: lecture mémoire ou écriture mémoire ou test du status word ou encore écriture suivie d'une lecture.
- Quel sens de travail:  $C_1$ (IBM) vers  $C_2$  → dans ce cas  $C_1$  écrit,  $C_2$  lit.  
 $C_2$  vers  $C_1$  → dans ce cas  $C_2$  écrit,  $C_1$  lit.
- Quelle fréquence de répétition du test si l'option Repeat a été demandée: 0 = 200 ms, 1 = 1 sec, 2 = 2 sec, .... etc.

Ces réponses sont transmises par XMIT à l'ordinateur qui vient compléter la liste des informations écrites sur le display (Fig. 2).

- Séquence: RAZ écriture?, RAZ lecture? → Si l'on ne désire pas en fin de séquence effectuer une RAZ écrire NO.

L'écriture comparateur d'erreur + registre (word count) → Si l'on veut essayer le comparateur pour une RAZ du status word, on écrit /0005, dans le cas contraire /000 + en décimal le nombre de données que l'on désire lire ou écrire en mémoire (max. 255).

Dans le cas d'un test écriture mémoire, écrire 16 data: si le word count demandé  $n$  est  $16 < n < 255$ , ces datas seront écrites  $m$  fois ( $m = \frac{n}{16}$ ).

Transmettre ensuite à l'ordinateur ces nouvelles données qui exécutera le test une fois si l'option repeat n'a pas été demandée ou plusieurs fois dans le cas contraire jusqu'au moment où l'on décidera ABORT du programme.

Dans le cas où le test choisi est: écriture suivie d'une lecture, ou lecture seule, après avoir transmis à l'ordinateur les informations pour exécution du test, le computer vient écrire sur le display (par groupe de 16) les données qu'il a lues en mémoire (Fig. 3), et les états du status word aux différents moments de la séquence.

Après avoir contrôlé les 16 premiers mots lus en mémoire (groupe 1 à 16), si  $16 < n < 255$ , on peut passer à la lecture du groupe suivant (groupe 17 à 32) par action sur XMIT, et ainsi de suite jusqu'au moment où toutes les données écrites en mémoire ont été passées en revue.

Remarque

En cas de faute dans la séquence, l'ordinateur donne sur le display du PDS1 l'état du status word au moment où s'est produite l'erreur.

En fonctionnement normal, ce programme test n'est utilisable que pour effectuer une lecture de la mémoire par  $C_1$ , ou une écriture mémoire par  $C_1$ . Dans ce dernier cas, il faut veiller à ne pas perturber le fonctionnement de  $C_2$  durant ce test.

4.3 Adresses IBM 1800

a) Adresses Acquisition

Nom du paramètre	Adresses IBM Liaison IBM-SIEMENS	Adresses IBM Liaison IBM-ARGUS
Position lecture $C_1$	/0A20	/0A24
Position écriture $C_1$	/4A20	/4A24
Acquisition du status word + registre	/0A21	/0A25
RAZ position lecture $C_1$	/4A21	/4A25
lecture data mémoire	/4A22	/4A23

DATA LINK HARDWARE TEST

QUEL DATA LINK - ARGUS.YE SIEMENS.

QUEL TEST - LECTURE.YE ECRIT ET LECT. STATUS . ECRIT SEUL .

SENS DE TRAVAIL - C1(IBM) VERS C2.  
C2 VERS C1(IBM).YE

REPETITION 0

TIME OUT OR ABORT BY REQUEST

PS VACUUM ALARM IN= 5 13 75 0 0  
ABORT ON REQUEST  
RESTART

DATA LINK HARDWARE TEST

QUEL DATA LINK - ARGUS.YE SIEMENS.

QUEL TEST - LECTURE.YE ECRIT ET LECT. STATUS . ECRIT SEUL .

SENS DE TRAVAIL - C1(IBM) VERS C2.  
C2 VERS C1(IBM).YE

REPETITION =0

SEQUENCE - RAZ ECRITURE.Y RAZ LECTURE.Y

STATUS WORD - COMPAREUR + WORD COUNT - /0000 + 32

DATA EN HEXA -C2 ECRIT

/ / / / / / / /  
/ / / / / / / /

TIME OUT OR ABORT BY REQUEST

Fig. 2

DATA LINK HARDWARE TEST

QUEL DATA LINK - ARGUS.YE SIEMENS.

QUEL TEST - LECTURE.YE ECRIT ET LECT. STATUS . ECRIT SEUL .

SENS DE TRAVAIL - C1(IBM) VERS C2.  
C2 VERS C1(IBM).YE

REPETITION =0

SEQUENCE - RAZ ECRITURE.Y RAZ LECTURE.Y

STATUS WORD - COMPAREUR + WORD COUNT - /0000 + =32

DATA EN HEXA -C2 ÉCRIT

/	/	/	/	/	/	/	/
/	/	/	/	/	/	/	C /

STATUS WORD - (SW1 A SW4 ECRITURE - SW5 SW6 LECTURE )

SW1= /0000 SW2= /0000 SW3= /0000 SW4= /0000 SW5= /0049 SW6= /0041

DATA LUES - C1 LIT

PAGE DE 16DATA - PUSH XMIT

GROUPE 1 A 16

/420A	/0000	/0000	/4A07	/170D	/143A	/00B4	/C096
/1BEC	/0291	/03E7	/03F8	/0005	/4A07	/0B08	/1338

HARD COPY IS BEING PRINTED  
RESTART  
• INPUT

Fig. 3a

DATA LINK HARDWARE TEST

QUEL DATA LINK - ARGUS.YE SIEMENS.

QUEL TEST - LECTURE.YE ECRIT ET LECT. STATUS . ECRIT SEUL .

SENS DE TRAVAIL - C1(IBM) VERS C2.  
C2 VERS C1(IBM).YE

REPETITION =0

SEQUENCE - RAZ ECRITURE.Y RAZ LECTURE.Y

STATUS WORD - COMPAREUR + WORD COUNT - /0000 + =32

DATA EN HEXA -C2 ECRIT

/ / / / / / / /  
/ / / / / / / /

STATUS WORD - (SW1 A SW4 ECRITURE - SW5 SW6 LECTURE )

SW1= /0000 SW2= /0000 SW3= /0000 SW4= /0000 SW5= /0049 SW6= /0041

DATA LUES - C1 LIT

PAGE DE 16DATA - PUSH XMIT

GROUPE 17 A 32

/009C /C0AA /1BEC /0189 /03E7 /0008 /0005 /4A07  
/0B08 /1401 /009D /C0AA /1BEC /0189 /03E7 /0008

TEST DATA LINK TERMINE

PROGRAMME TERMINE

. INPUT  
HARD COPY IS BEING PRINTED  
RESTART

Fig. 3b

Nom du paramètre	Adresses IBM pour TEST data link
Position lecture C <sub>2</sub>	/0A26
Position écriture C <sub>2</sub>	/4A26
Acquisition du status word + registre	/0A27
RAZ position lecture C <sub>2</sub>	/4A27
Lecture data mémoire	/4A28

b) Adresses Contrôle

Nom du Paramètre	Adresses IBM Liaison IBM-SIEMENS	Adresses IBM Liaison IBM-ARGUS
Interrupt vers C <sub>2</sub>	/6B00	/6B40
Ecriture data mémoire	/2B00	/2B40
RAZ position écriture C <sub>1</sub>	/4B00	/4B40
Ecriture comparateur R <sub>C</sub> + registre R <sub>A</sub>	/0B00	/0B40

Nom du Paramètre	Adresses IBM pour TEST data link
Interrupt vers C <sub>1</sub>	/6B80
Ecriture data mémoire	/2B80
RAZ position écriture C <sub>2</sub>	/4B80
Ecriture comparateur R <sub>C</sub> + registre R <sub>B</sub>	/0B80

5. REMERCIEMENTS

Je tiens à remercier tout particulièrement M. Ch. Serre, qui a mis au point le software du programme de test, pour sa collaboration très étroite dans la mise en service des deux liaisons.

Mes remerciements vont également à M. H. Ullrich (PS) pour sa participation durant les tests de la liaison avec la SIEMENS 300 et à M. H. Verelst (ISR), qui a participé aux tests de la liaison avec l'ARGUS.

G. Surback

6. ANNEXES

1. Description du châssis data link

1.1 16 bits differential receiver (80820 CO)

Deux tiroirs sont utilisés pour la réception de tous les signaux venant de l'interface data link. Le premier tiroir reçoit les 16 bits de données, le second les différents bits d'adresses (acquisition et contrôle) ainsi que Rdy'<sub>a</sub> et Rdy'<sub>c</sub>. Les signaux entrant sur ces deux tiroirs sont en mode différentiel, pour sortir après adaptation entre: 1 logique # 3 V, 0 logique # 0 V.

1.2 Décodeur d'adresses (80011 CO)

Le signal logique représentatif d'une adresse est le produit du ET logique de plusieurs signaux significatifs. Ce tiroir permet l'adaptation et le décodage des signaux fournis par les computers C<sub>1</sub> et C<sub>2</sub> en vue de l'obtention des différentes adresses.

Adresses acquisition

	A <sub>c</sub>	A <sub>1</sub>	A <sub>2</sub>	DP	SP	Produit ET	Equivalence C <sub>1</sub>	Equivalence C <sub>2</sub>
Position lecture →	1	0	0	0	1	A <sub>c</sub> .SP	A <sub>a</sub> <sup>+</sup>	A' <sub>a</sub>
Position écriture →	1	0	0	1	0	A <sub>c</sub> .DP	A <sub>b</sub>	A' <sub>b</sub>
Acquisition status word + registre →	0	1	0	0	1	A <sub>1</sub> .SP	A <sub>c</sub>	A' <sub>c</sub>
RAZ position lecture →	0	1	0	1	0	A <sub>1</sub> .DP	A <sub>d</sub>	A' <sub>d</sub>
Lecture data mémoire →	0	0	1	1	0	A <sub>2</sub> .DP	A <sub>e</sub>	A' <sub>e</sub>

Adresses Contrôle

	A <sub>0</sub>	S	DP	SP	Produit ET	Equivalence C <sub>1</sub>	Equivalence C <sub>2</sub>
Emission interrupt →	1	1	1	0	A <sub>0</sub> .S.DP	C <sub>a</sub>	C' <sub>a</sub>
Ecriture data mémoire	1	1	0	1	A <sub>0</sub> .S.SP	C <sub>b</sub>	C' <sub>b</sub>
RAZ position écriture →	1	0	1	0	A <sub>0</sub> . $\bar{S}$ .DP	C <sub>c</sub>	C' <sub>c</sub>
Ecriture registre + comparateur d'erreur →	1	0	0	1	A <sub>0</sub> . $\bar{S}$ .SP	C <sub>d</sub>	C' <sub>d</sub>

### 1.3 Status word (80013 C0)

Ce tiroir gère l'accès mémoire en fonction des différents appels émis par chaque computer. Il règle les fonctions suivantes:

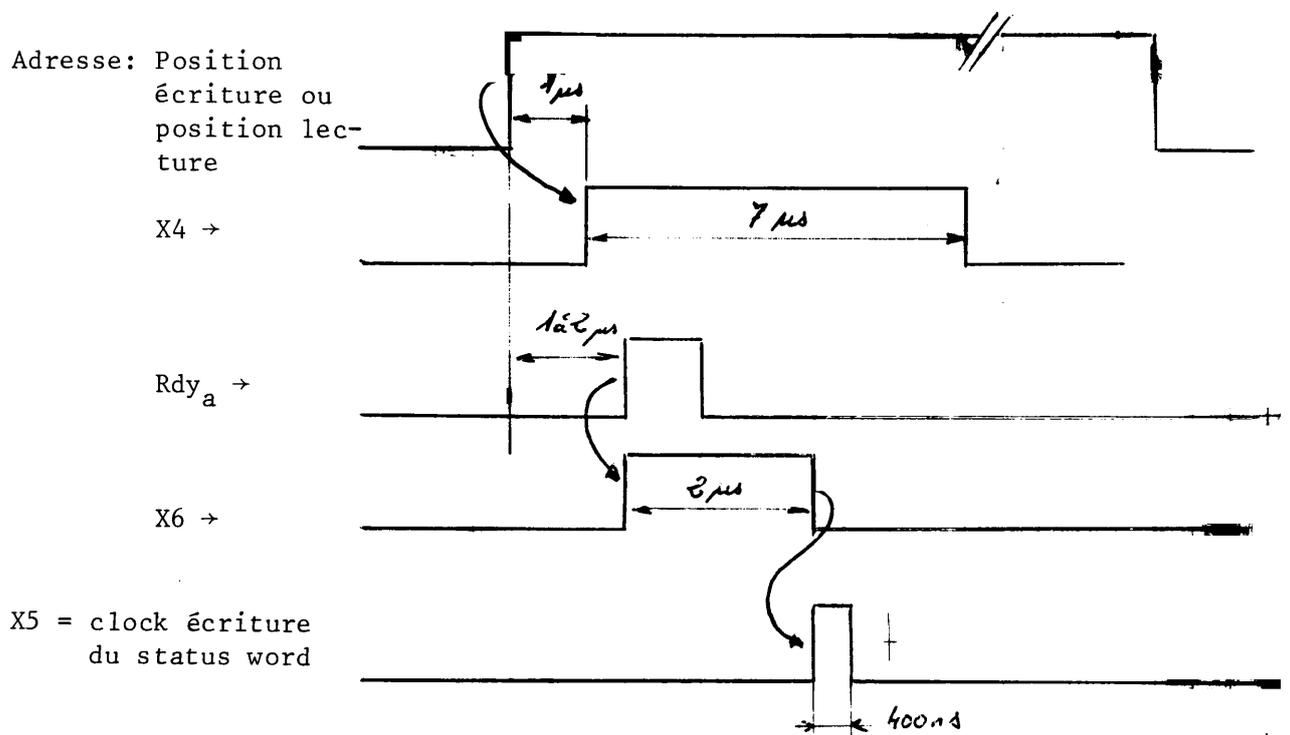
- Si au même instant les deux computers demandent l'accès mémoire, une priorité est donnée au computer  $C_1$ .

- Si l'un des utilisateurs est en communication avec la mémoire tampon, il sera impossible à l'autre d'y avoir accès tant que le premier n'en aura pas terminé.

- Si l'un ou l'autre demande à positionner le status word en position lecture ou écriture, sur le flanc  $\uparrow$  du signal logique représentatif de l'adresse, il disposera d'une "fenêtre" pour concrétiser sa demande par l'émission d'une impulsion  $Rdy_a$ . Si cette impulsion arrive en dehors des limites fixées par la fenêtre, l'appel sera considéré comme nul. Le réglage de cette fenêtre est possible par  $P_1$  (réglé pour  $7 \mu s$ ), point d'observation X4 (voir schéma).

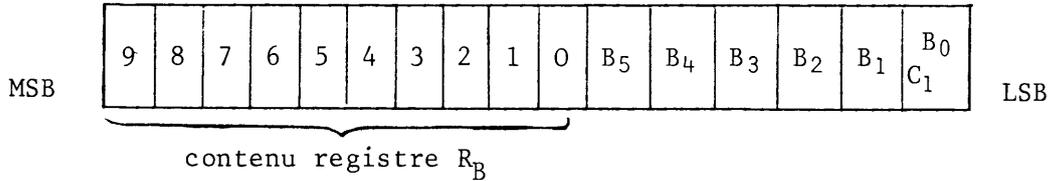
- L'impulsion permettant l'écriture du status word est temporisée de  $2 \mu s$  (réglage par  $P_2$ , point d'observation X6). X5 permet d'observer le clock, dérivé de cette impulsion, qui permet effectivement l'écriture du status word ( $400 ns$ ).

- Mise en forme des impulsions de clock pour la mémoire ( $1 \mu s$  point d'observation X3) et du clock register ( $1 \mu s$ , point d'observation X7).

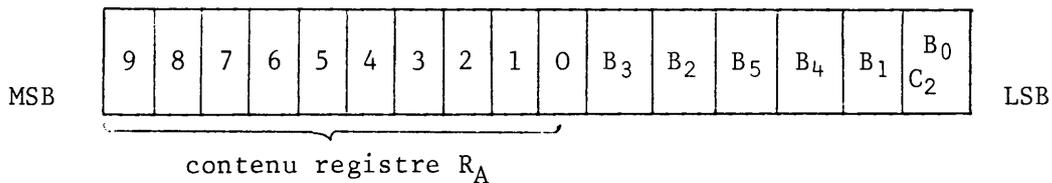


Allocation des bits pour l'acquisition des status words

a) Status word acquis par C<sub>1</sub>



b) Status word acquis par C<sub>2</sub>



1.4 Interface mémoire (80013 CO)

Ce tiroir distribue à la carte "block memory driver" (accès utilisateur) les signaux du compteur de blocs, le signal  $\frac{\text{écriture}}{\text{lecture}} = \frac{W}{R} L$ , le clock mémoire (WCL) et l'impulsion de clear du compteur séquentiel d'adresses. Il fournit également les différents gates (G<sub>1</sub>, G<sub>2</sub>, G<sub>3</sub>, G<sub>4</sub>) permettant à C<sub>1</sub> ou à C<sub>2</sub> l'écriture ou la lecture mémoire. Il assure la mise en forme de l'interrupt envoyé à C<sub>2</sub> (réglage par P<sub>1</sub> point d'observation X<sub>3</sub>). Le réglage des interrupts pour les deux ordinateurs est le suivant:

- pour la SIEMENS 300 → 30 ms
- pour l'ARGUS → 30 μs.

Particularité des blocs mémoires

Les adresses mémoire sont réparties en 16 blocs. L'avance du compteur de blocs est faite par le signal EOB venant de la carte block memory driver. Ce signal exprime la capacité d'un bloc, c'est-à-dire le nombre de places mémoire dans ce bloc. Ce nombre de places est variable suivant la capacité totale de la mémoire. Pour N cartes mémoire, ayant chacune une capacité propre de  $\frac{1}{4}$  de k mots, chaque bloc contient donc  $\frac{N \times 256}{16}$  places. Pour ne pas risquer de décrire plusieurs fois le même bloc, le compteur de blocs se bloque sur le 16ème bloc.

Ce tiroir permet le contrôle des power supplies des deux châssis qui

déterminent l'état de B<sub>0</sub> (alimentations data link ready).

$$\text{Pour } C_1 \rightarrow B_0 = \text{Power châssis data link ready} \rightarrow B_0_{C_1} = (+30 \text{ V} + 5 \text{ V}) = 1$$

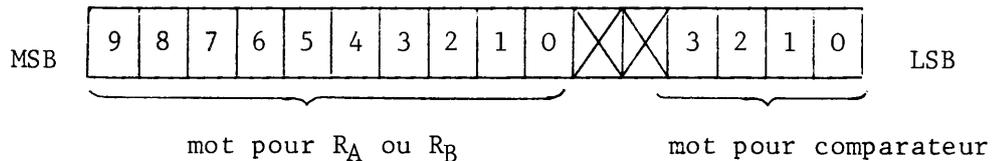
$$\text{Pour } C_2 \rightarrow B_0 = \text{Power châssis data link ready} + \text{power châssis interface ready soit } B_0_{C_2} = \underbrace{(+30 \text{ V} + 5 \text{ V})}_{\text{data link}} \cdot \underbrace{(+5 \text{ V})}_{\text{interface}} = 1.$$

1.5 Registres A.B (80014 CO)

Ce tiroir porte: les deux registres (R<sub>A</sub>-R<sub>B</sub>) ayant chacun une capacité de 10 bits, la logique permettant l'accès aux registres et le comparateur d'erreur (R<sub>C</sub>) qui donne à C<sub>1</sub> ou à C<sub>2</sub> la possibilité d'intervenir directement pour un reset du status word.

Chaque ordinateur dispose d'une adresse qui lui permet à la fois d'écrire dans son registre et de commander le comparateur d'erreur. 10 bits du mot envoyé sont réservés au registre et quatre bits au comparateur.

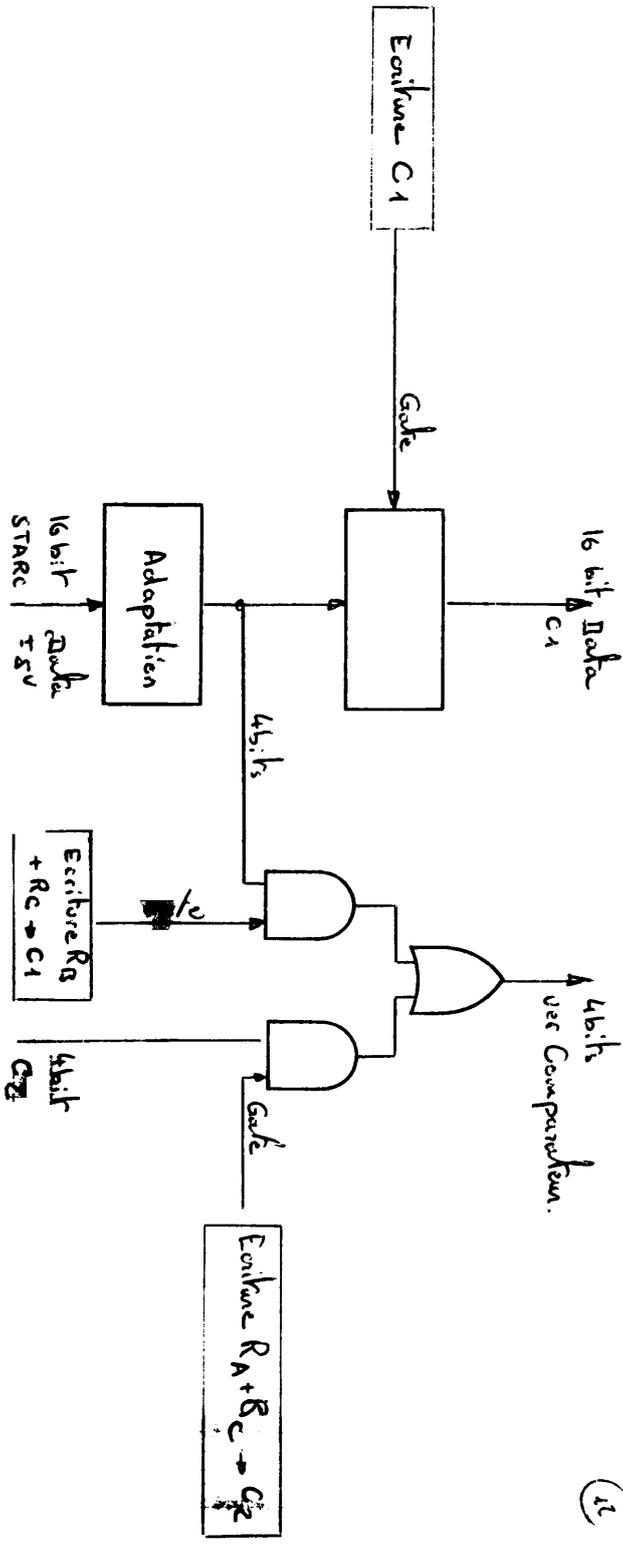
Allocation des bits de ce mot de contrôle



Le comparateur d'erreur "compare" à tous moments les 4 bits reçus, à 4 bits dont l'état logique est fixé par câblage. Il y a égalité lorsque le mot envoyé répond au code /XXX5. Dans ce cas le comparateur sort une impulsion qui met les bits "position" du mot de status dans l'état B<sub>2</sub>+B<sub>3</sub>+B<sub>4</sub>+B<sub>5</sub> = 0.

1.6 Block memory driver (80975)

L'accès local est utilisé. La fonction de ce tiroir est de régir l'écriture et la lecture mémoire. Une notice technique (E. Asseo MPS/CO 72-5) décrit le fonctionnement de cette carte.



1.7 Mémoire  $\frac{1}{4}$  k mots (80918 CO)

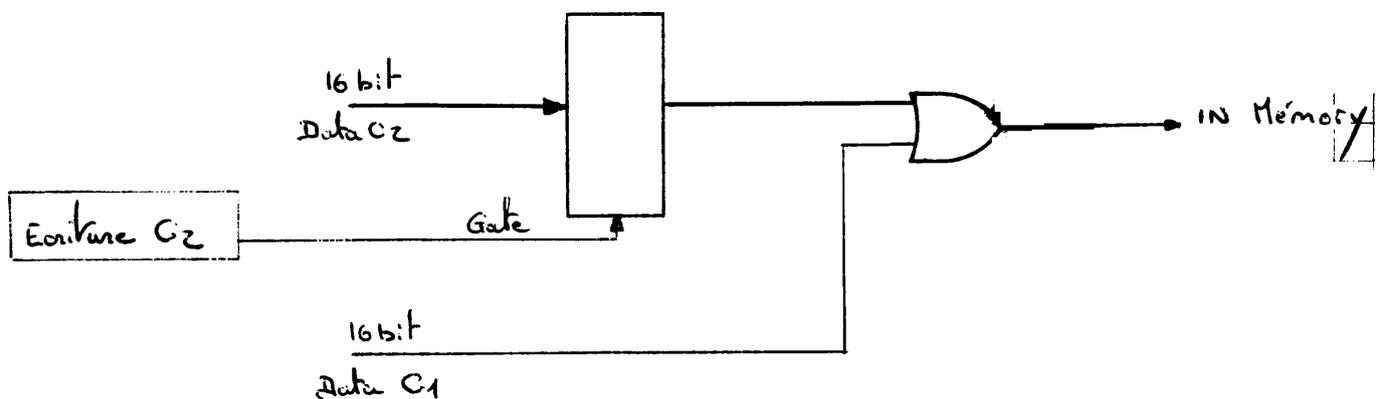
La capacité de la mémoire est de 256 mots de 16 bits (voir notice technique: E. Asseo MPS/CO 72-2). L'adjonction de trois autres cartes mémoire de ce type est possible dans une version aménagée du data link, ce qui porterait la capacité totale de la mémoire à 1 k mots.

1.8 Interface control  $C_1$  (80017 CO)

Ce tiroir réalise l'adaptation des 16 bits de données venant de l'IBM 1800 via le STARC. Il assure la fonction logique OU entre quatre bits venant de  $C_1$  et quatre bits venant de  $C_2$  réservés à la commande du comparateur d'erreur.

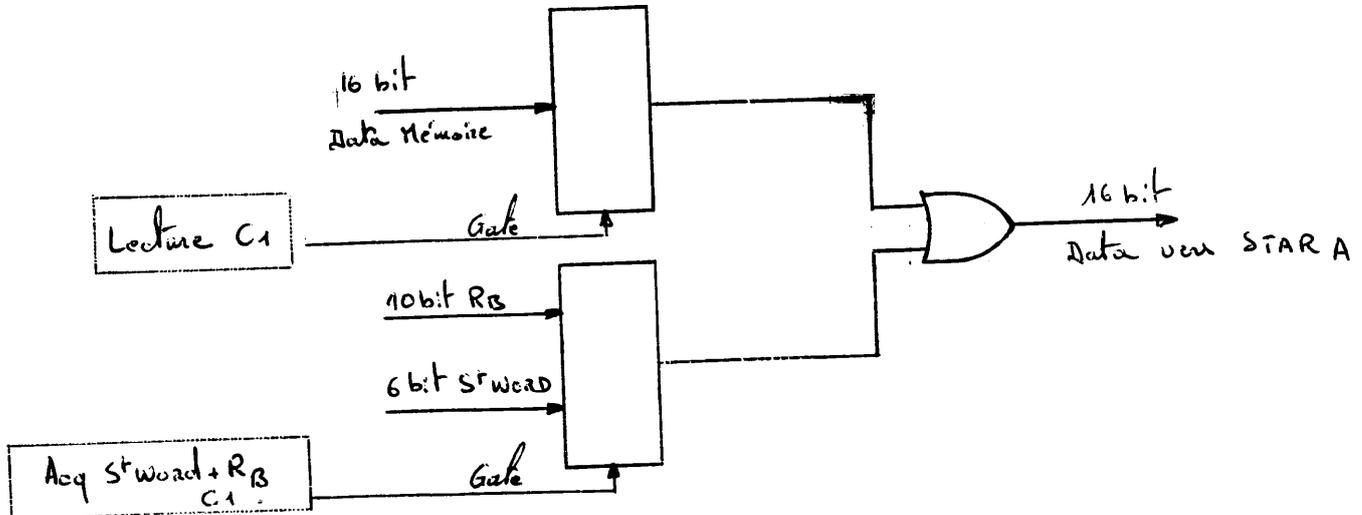
1.9 Interface control  $C_2$  (80018 CO)

La fonction est un OU logique entre les 16 bits de data venant de l'interface control  $C_1$  et les 16 bits de data venant de  $C_2$ .



### 1.10 Interface acquisition C<sub>1</sub> (80015 CO)

La fonction est un OU logique entre les 16 bits de data sortant de la mémoire et 16 bits formés par les 6 bits du status word et 10 bits du registre R<sub>B</sub>. Les sorties vers le STAR.A sont en open collector par des buffers/driver.



### 1.11 Interface acquisition C<sub>2</sub> (80016 CO)

Ce tiroir est de la conception identique au précédent (1.10). La fonction est le OU logique entre les data sortant de la mémoire et l'ensemble composé des 6 bits du mot de status + 10 bits du registre R<sub>A</sub>.

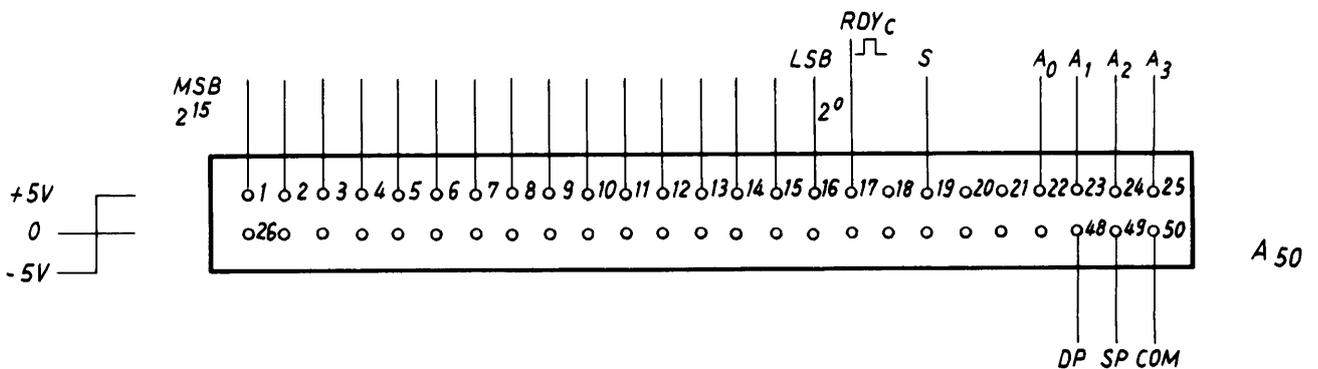
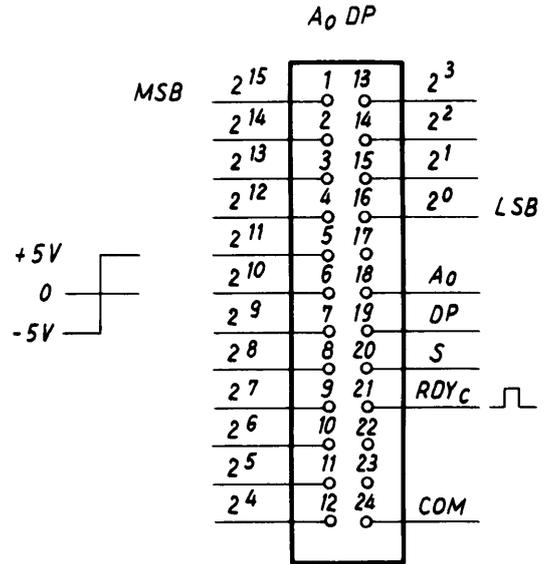
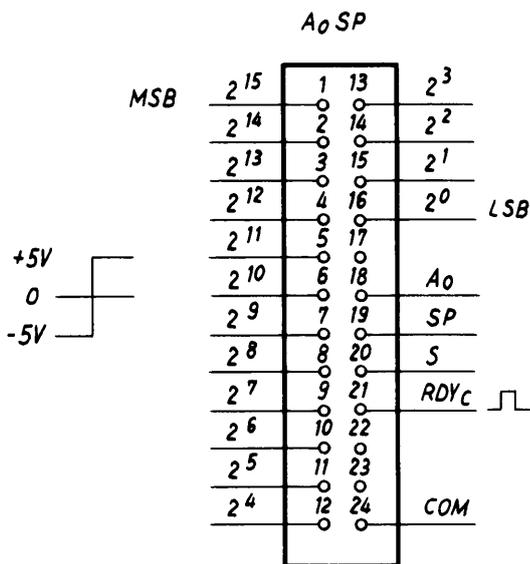
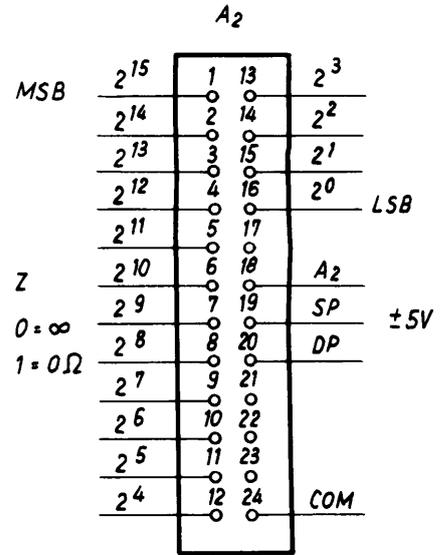
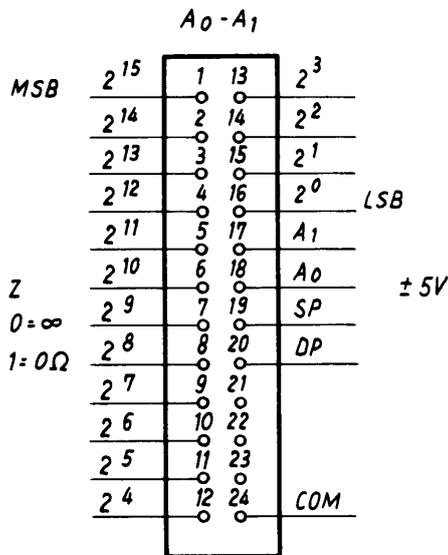
### 1.12 Differential line driver (80798 CO)

Il réceptionne les 16 bits de données venant du tiroir interface acquisition C<sub>2</sub>, ainsi que l'interrupt à destination de C<sub>2</sub>. Il réalise la mise en mode différentiel de tous ces signaux pour leur transmission à distance (vers l'interface data link).

2. Description du châssis interface data link

2.1 Allocation des pins pour les différents connecteurs

a) Connecteurs d'acquisition



## 2.2 16 Bits differential receiver (80820 CO)

Deux tiroirs permettent la réception différentielle des signaux venant du châssis central (data link). Le premier reçoit les 16 bits de data, le second l'interrupt.

## 2.3 Interface acquisition (80019 CO)

Son rôle est l'adaptation:

- des 16 bits de data venant du premier tiroir "differential receiver" de façon à les sortir vers  $C_2$  en open collector (V max 50 V, I max 100 mA);
- des bits d'adresses acquisition venant de  $C_2$ .

Il assure d'autre part la mise en forme de l'impulsion  $Rdy'_a$  (réglage 5  $\mu$ s par  $P_1$ ) et décode l'adresse lecture data mémoire ( $A'_e$ ) pour qu'à son apparition la première impulsion ne soit pas envoyée à la mémoire tampon si le cavalier X1 est en position normal (voir chapitre 2 - Procédure de dialogue séquence de lecture).

## 2.4 Interface control (80020 CO)

Il fait l'adaptation des bits data contrôle et des bits adresses contrôle venant de  $C_2$  pour sortir des signaux aux niveaux  $\mu$ L. Mise en forme de l'impulsion  $Rdy'_c$  (réglage 5  $\mu$ s par  $P_1$ ).

## 2.5 Differential line driver (80798 CO)

Deux tiroirs sont nécessaires pour la mise en forme (mode différentiel) de tous les signaux en vue de leur transmission vers le châssis central data link. Le premier tiroir reçoit les bits de data venant de l'interface control; le second les bits d'adresses ainsi que les impulsions (acquisition et contrôle) venant des tiroirs interface acquisition et interface control.

## 3. Implantation de l'appareillage

### a) Liaison IBM-SIEMENS 300

Le châssis central est installé au Hall Ouest dans la salle d'appareillage, rack SER 5. Le châssis interface data link se trouve en WRB1 rack no. 34.

Câbles

BURNDY 48 pins no 205303

BURNDY 104 pins no 205302

Interrupt vers Siemens no

Interrupt vers IBM 1800: en SER 5 no 207748 en IBM R4 no 207747

b) Liaison IBM-ARGUS

Le châssis central est installé au Hall Ouest dans la salle d'appareillage rack SER5. Le châssis interface data link se trouve en SRCO (ISR) rack 1702.

BURNDY 48 pins no 31792

BURNDY 104 pins no 31793

Interrupt vers ARGUS no 31816

Interrupt vers IBM 1800: en SER 5 no 207750 en IBM R4 no 207749.

Les interconnexions avec le STAR des deux châssis centraux étant de courtes distances (les terminaux STARA et STARC sont en SER5), les câbles ne portent pas de numéros.

Distribution

CCI Electronic Design Section

CCI Computer Section

PSS

P. Collet

G. Cuisinier

D. Danner

D. Dekkers

M. Georgijevic

L. Henny

D. Kemp

R. Keyser

J.H.B. Madsen

D. Neet

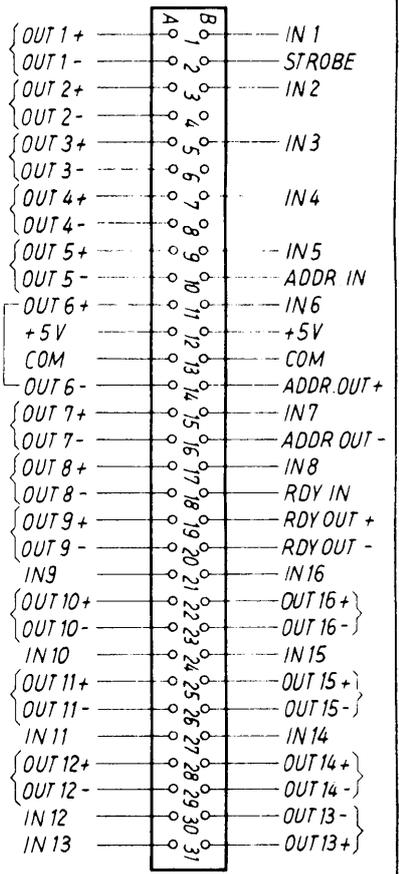
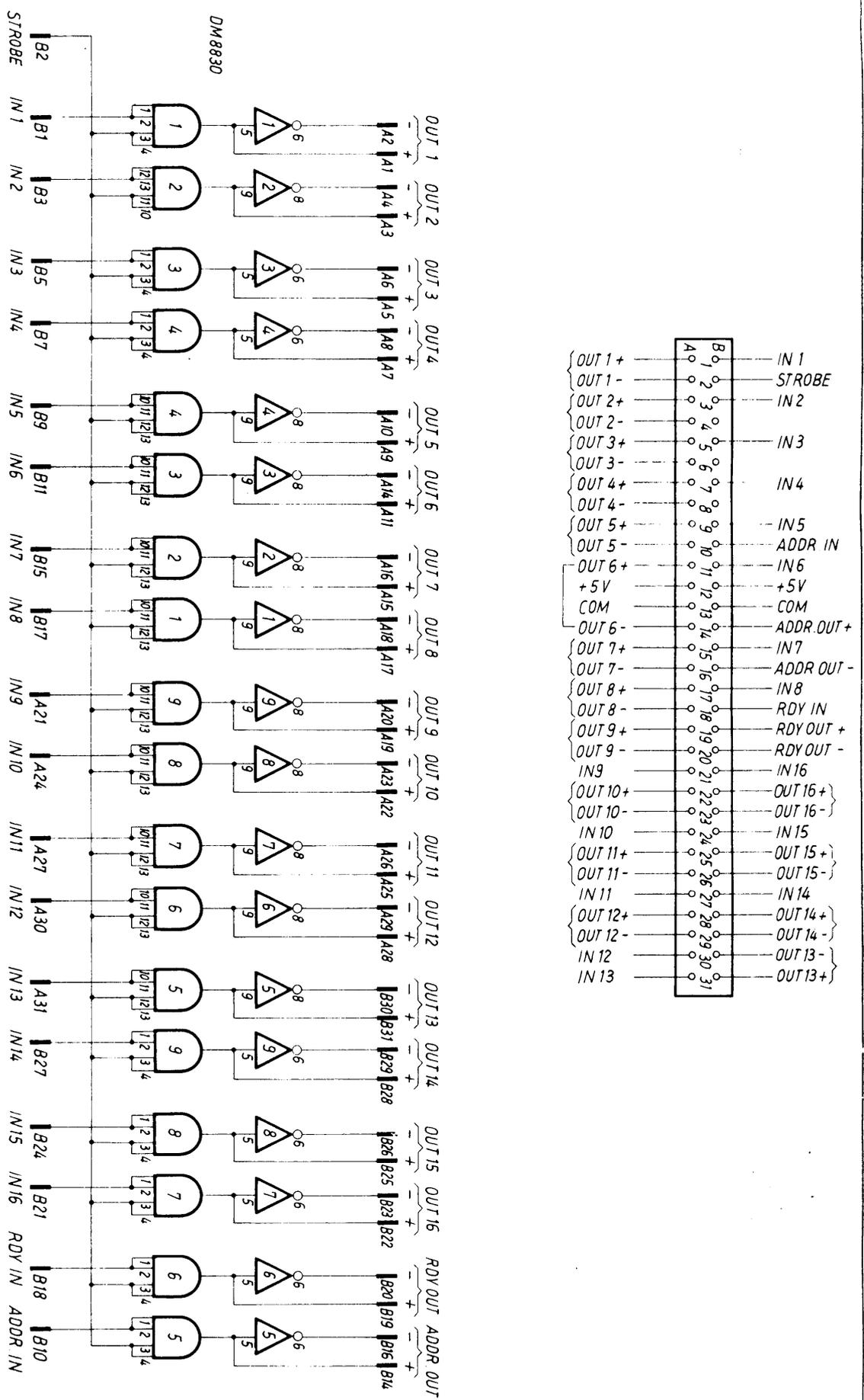
D. Simon

Ch. Steinbach

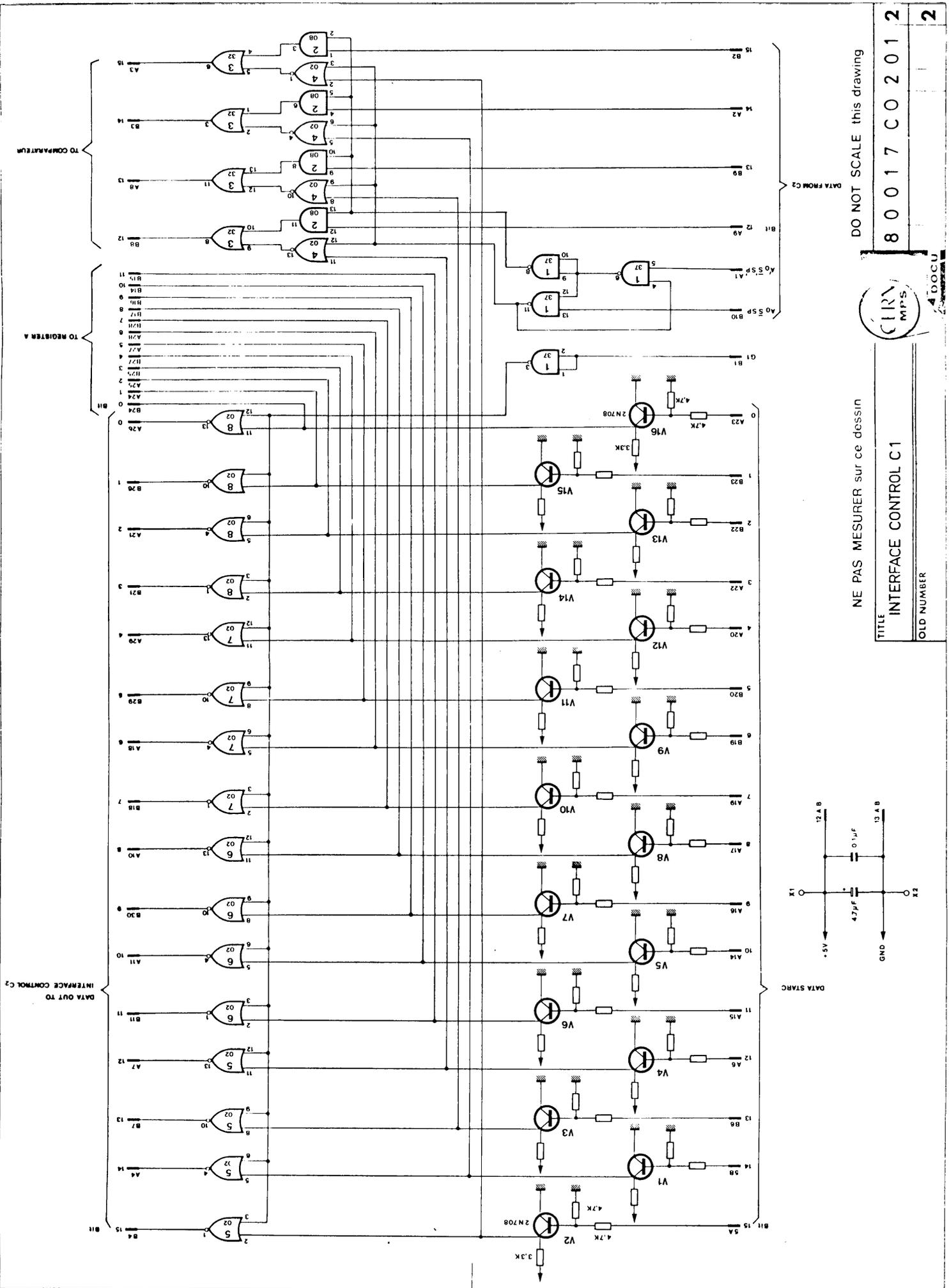
H. Ullrich

H. Verelst

P. Wolstenholme



TITLE		SCALE
16 BITS LINE DRIVER		
8	0	7
9	8	C
C	C	2
0	1	3
OLD NUMBER		3



DO NOT SCALE this drawing

NE PAS MESURER sur ce dessin

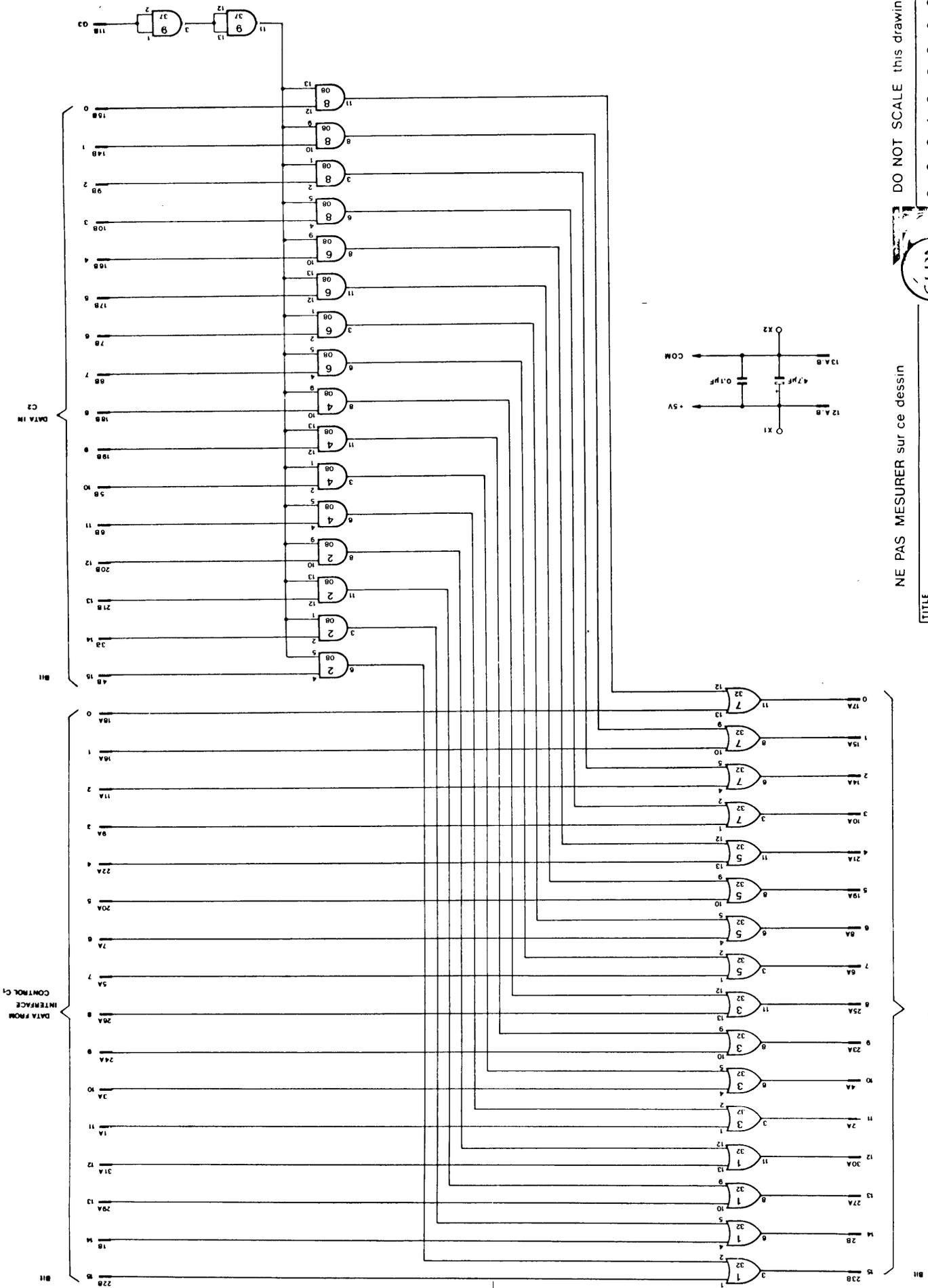
8 0 0 1 7 C 0 2 0 1 2  
 2



TITLE  
**INTERFACE CONTROL C1**  
 OLD NUMBER

4 DOCU

EDITIONS  
 C.I.D.E.M  
 31.1.74



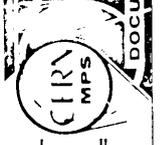
NE PAS MESURER sur ce dessin

DO NOT SCALE this drawing

TITLE  
INTERFACE CONTROL C2

8 0 0 1 8 C 0 8 0 1 2

OLD NUMBER  
2

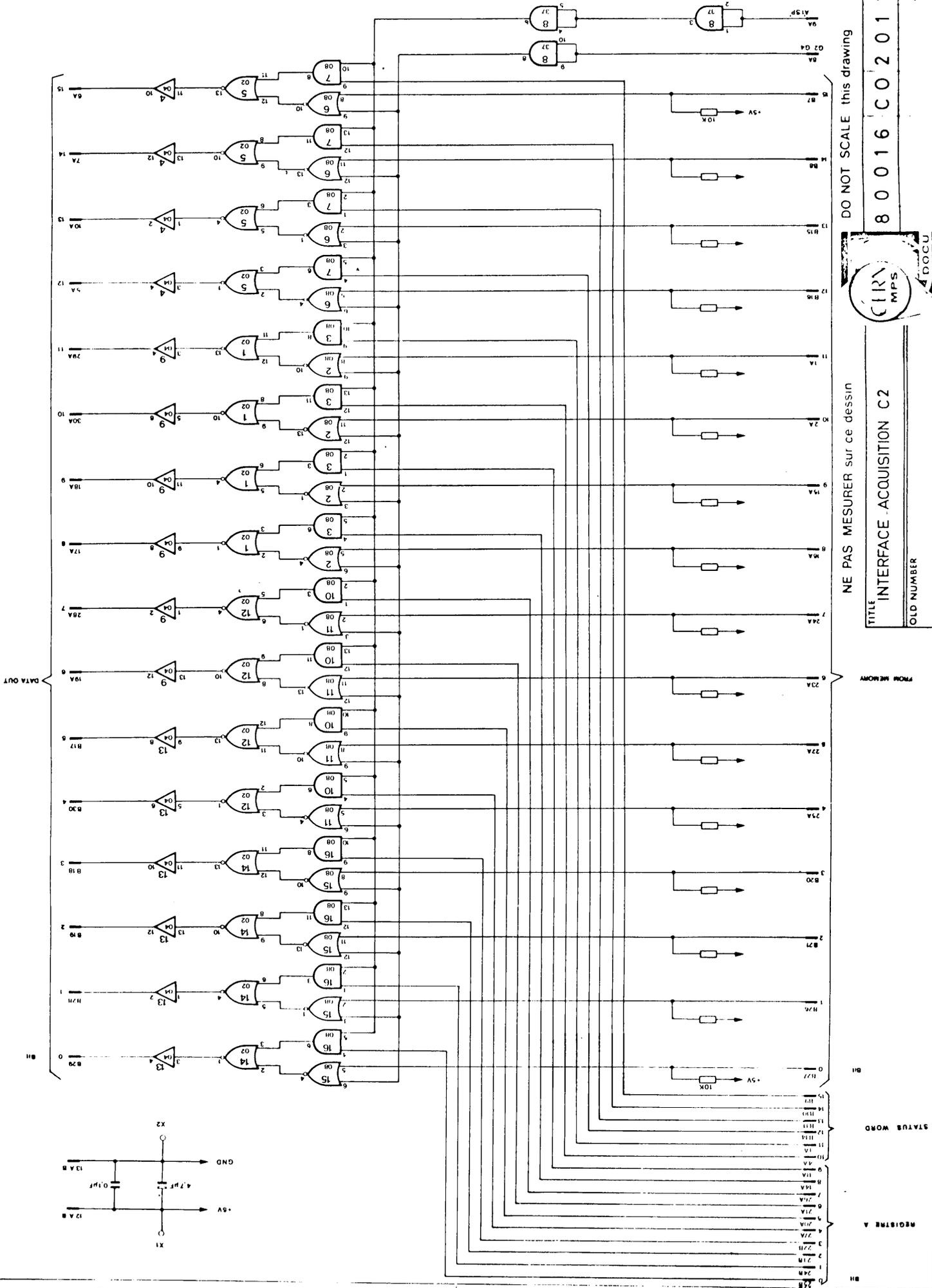
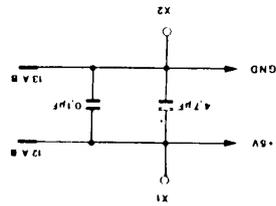


DATA OUT TO  
MEMORY

DATA IN  
C2

DATA FROM  
INTERFACE  
CONTROL C1





NE PAS MESURER sur ce dessin  
 TITLE INTERFACE ACQUISITION C2  
 OLD NUMBER

DO NOT SCALE this drawing

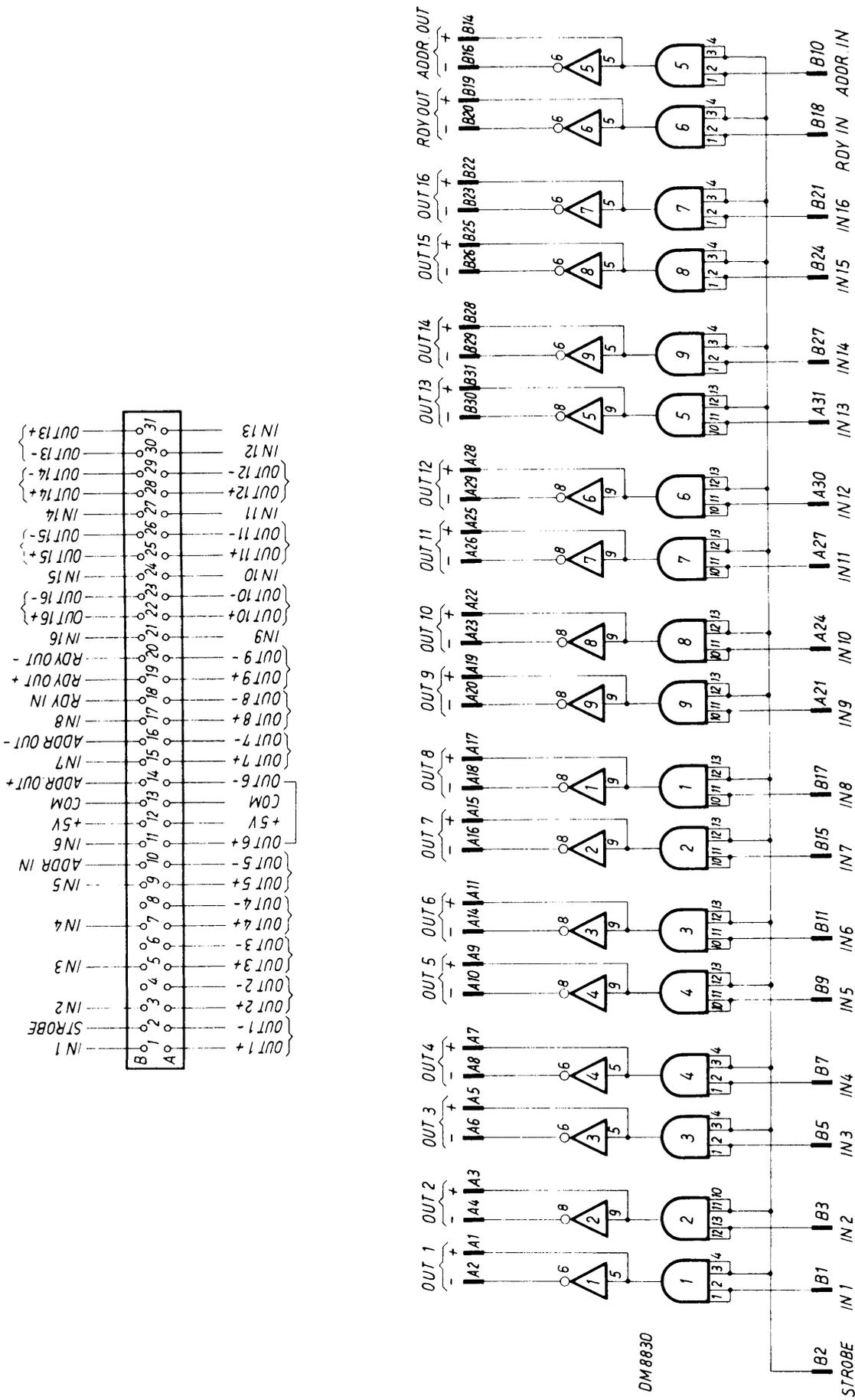


8 0 0 1 6 C 0 2 0 1 2  
 2

FROM MEMORY

STATUS WORD

REGISTER A



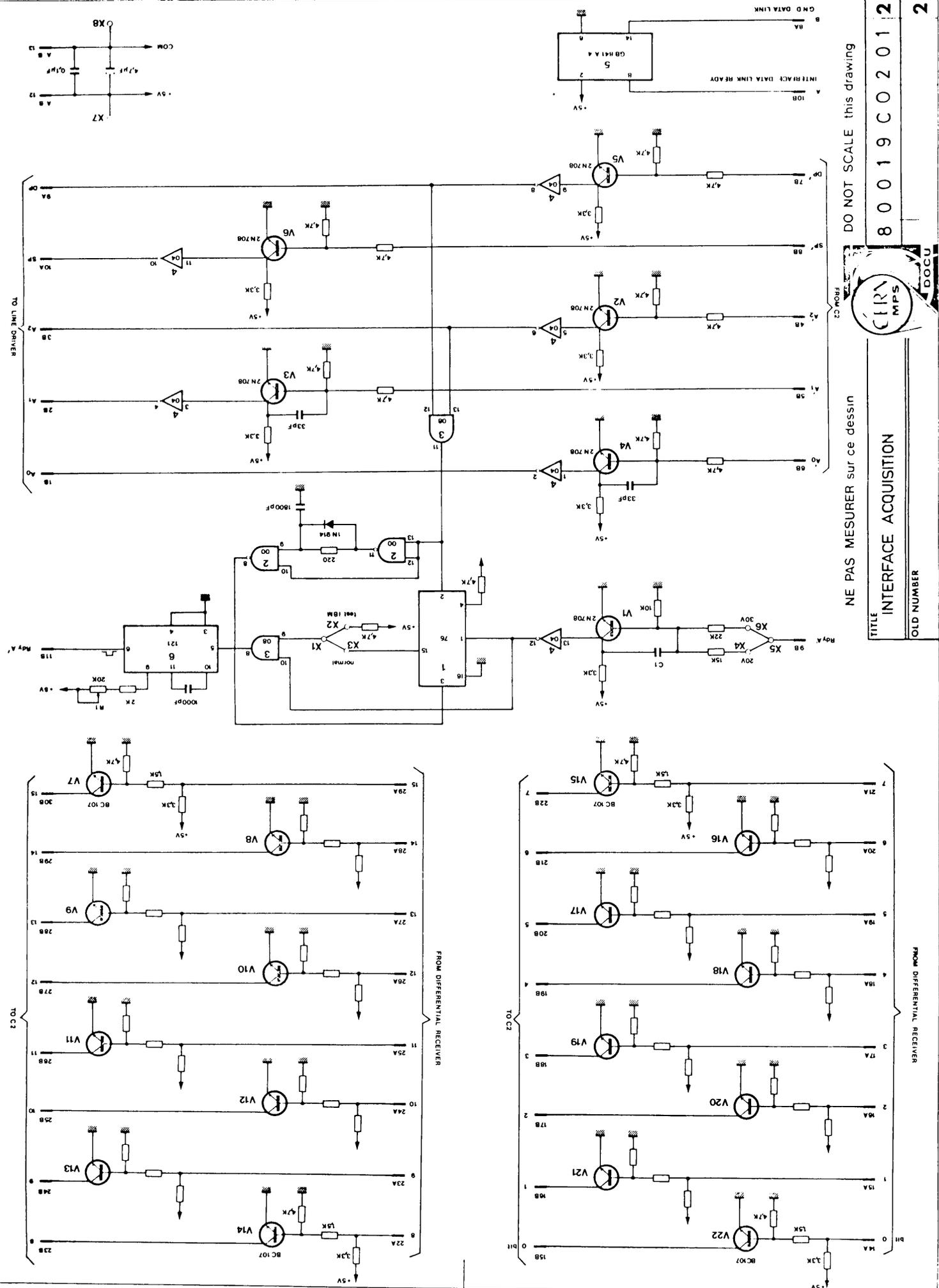
SCALE

TITLE 16 BITS LINE DRIVER

OLD NUMBER

8 0 7 9 8 C C 2 0 1 3

3



NE PAS MESURER sur ce dessin



TITLE  
INTERFACE ACQUISITION

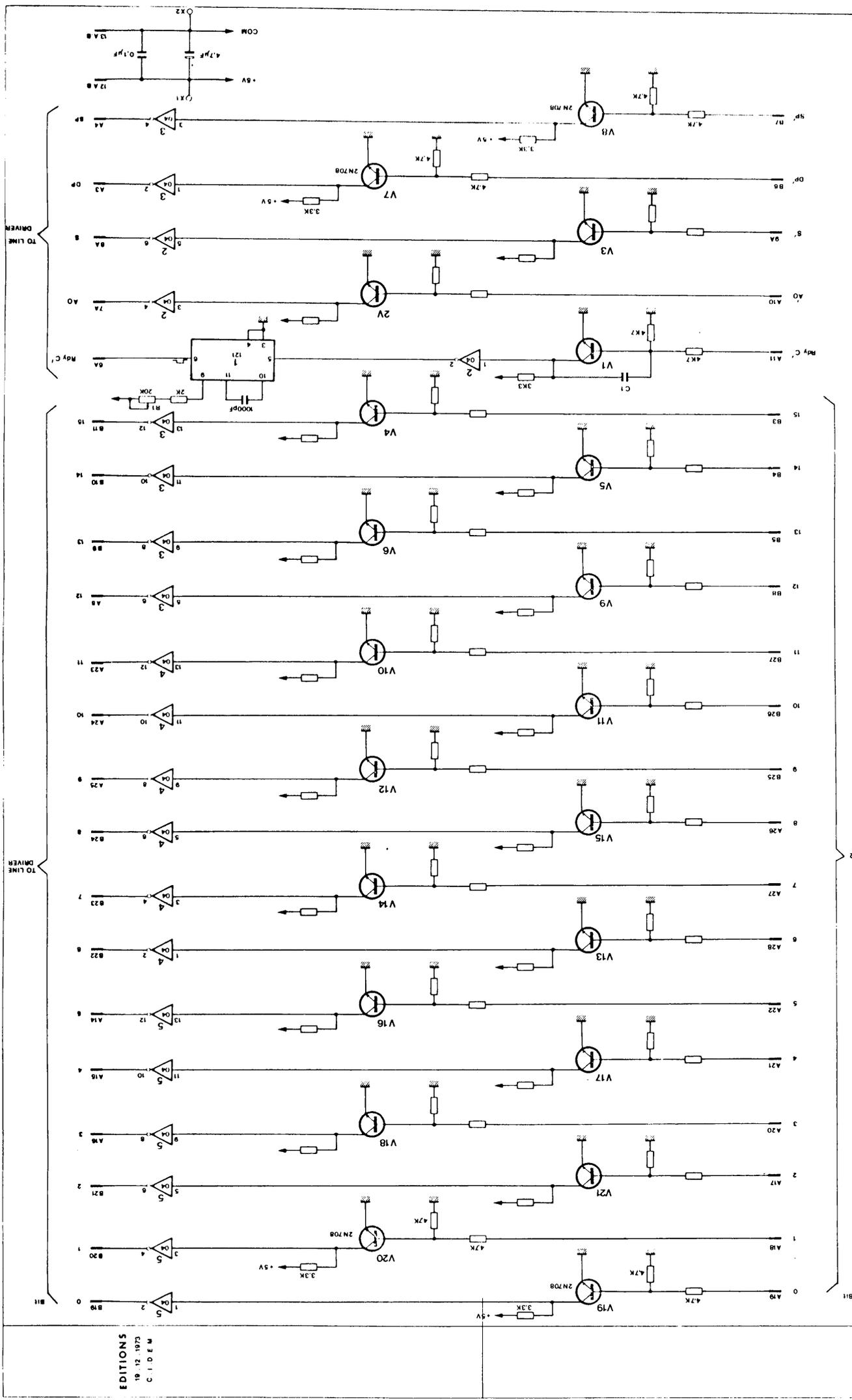
OLD NUMBER

8 0 0 1 9 C 0 2 0 1 2

2

DO NOT SCALE this drawing

EDITIONS  
M A I 1 4 2  
C I R N



EDITIONS  
19 12 1973  
C I D E M

DO NOT SCALE this drawing

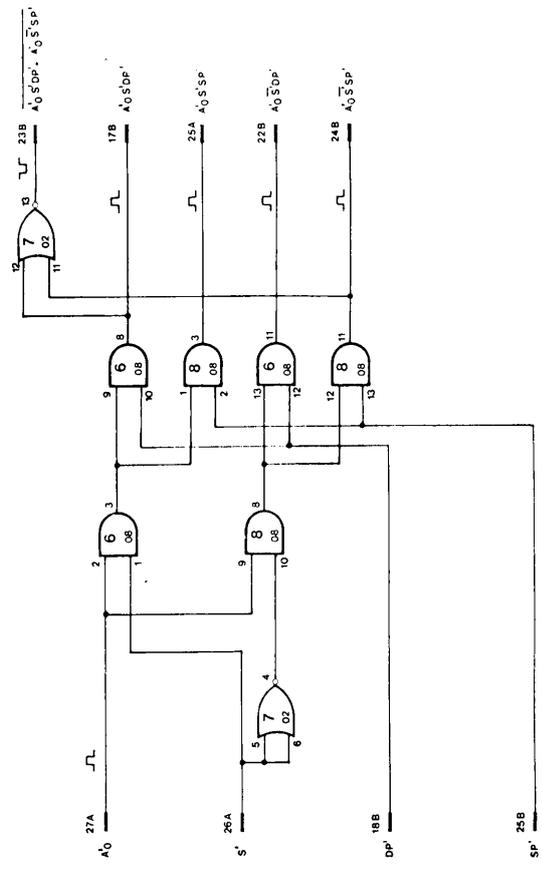
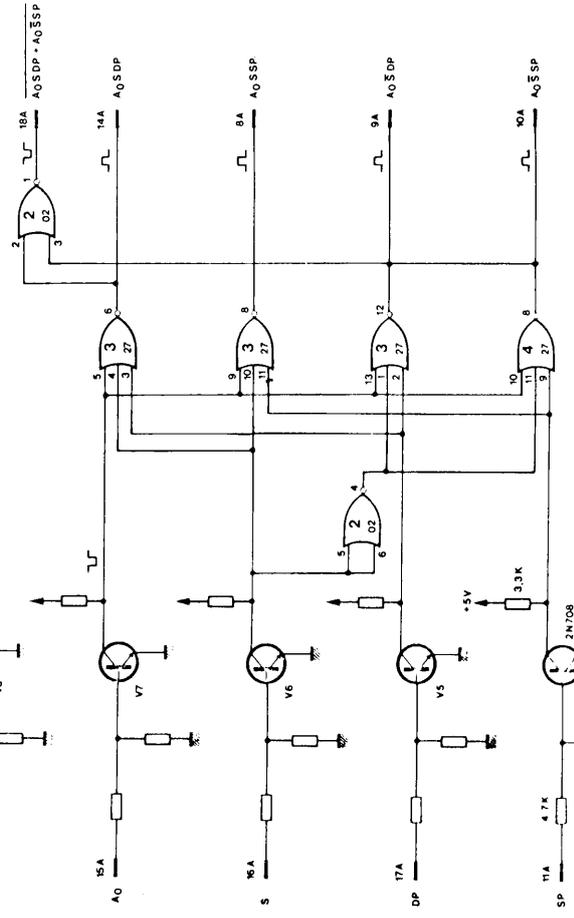
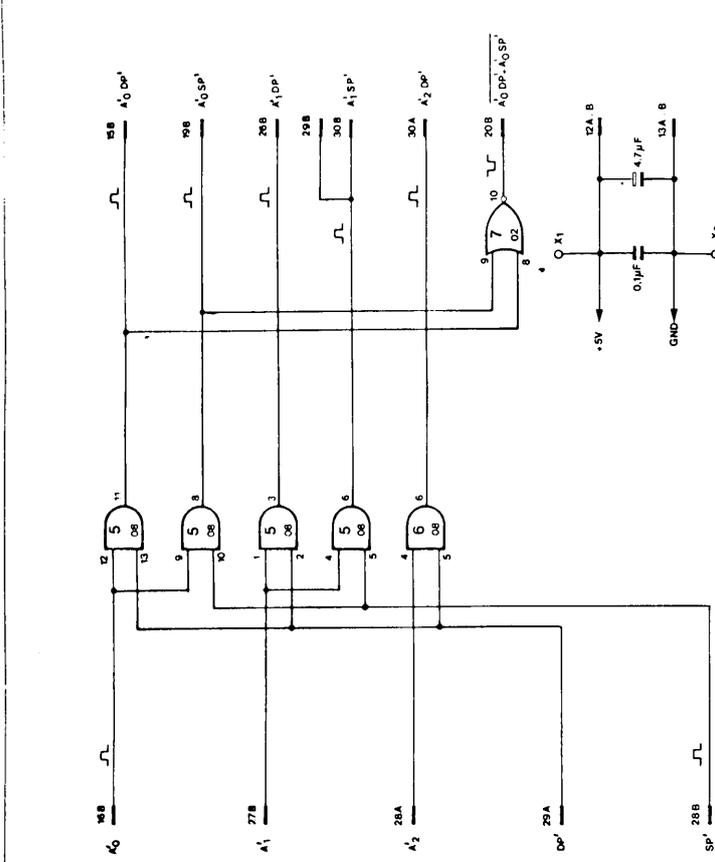
NE PAS MESURER sur ce dessin

8 0 0 2 0 C 0 2 0 1 2



TITLE  
INTERFACE CONTROL

OLD NUMBER



NE PAS MESURER sur ce dessin

DO NOT SCALE this drawing

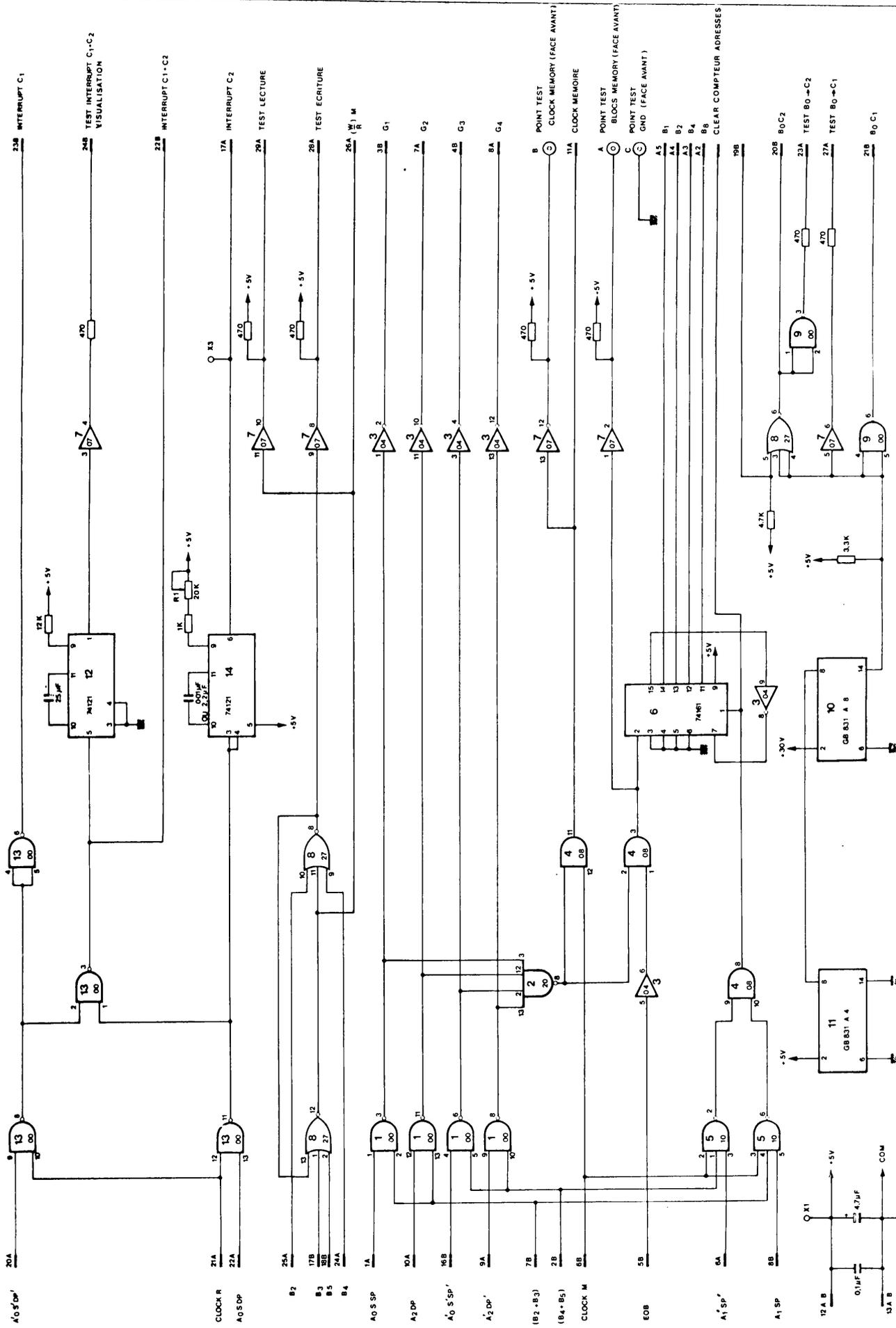


TITLE  
DECODEUR D'ADRESSES

8 0 0 1 1 C 0 2 0 1 2

OLD NUMBER

2



NE PAS MESURER sur ce dessin

TITLE  
INTERFACE MEMOIRE

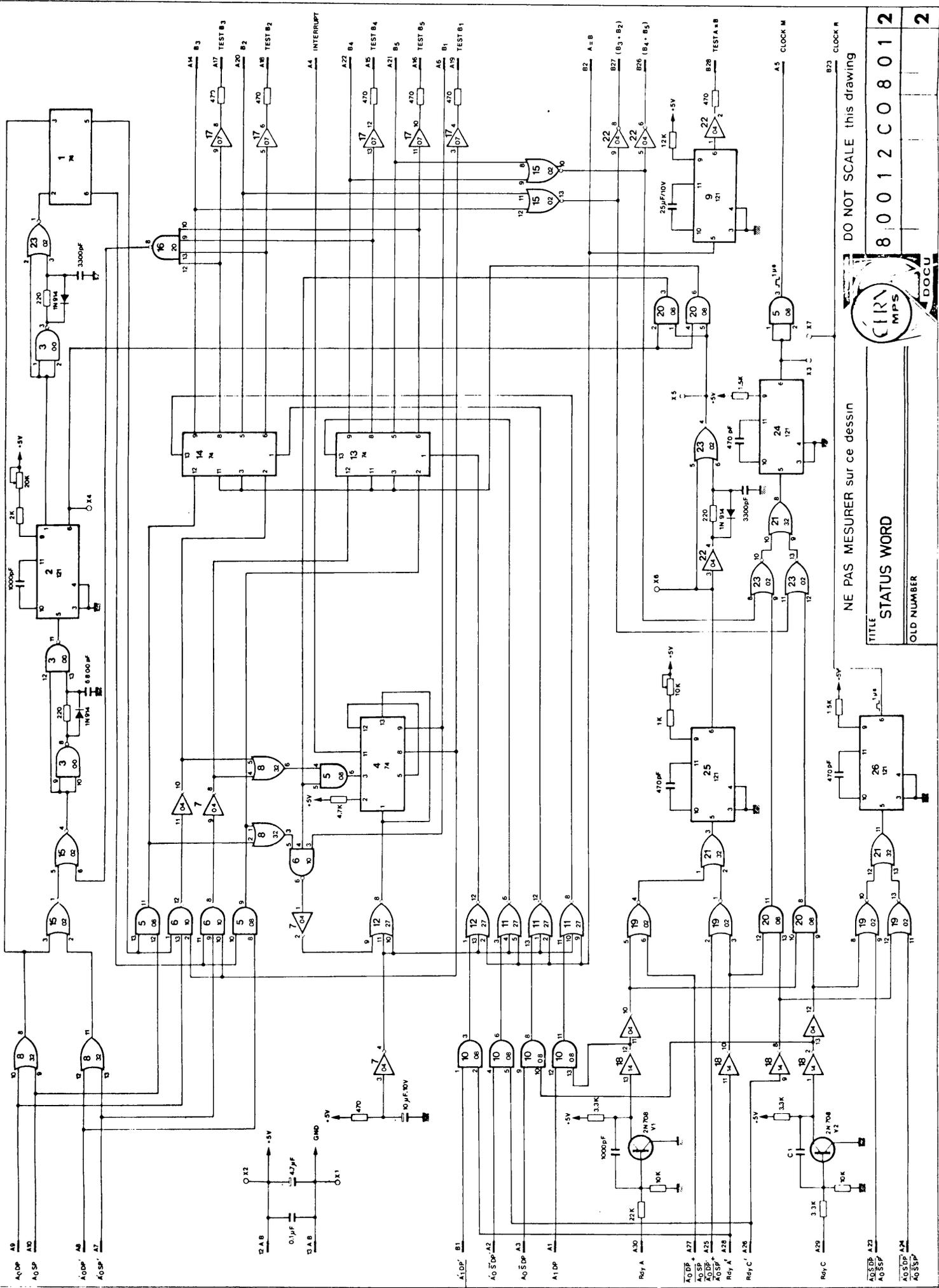
OLD NUMBER

DO NOT SCALE this drawing

8 0 C 1 3 C O 8 0 1 2

2





NE PAS MESURER sur ce dessin

DO NOT SCALE this drawing

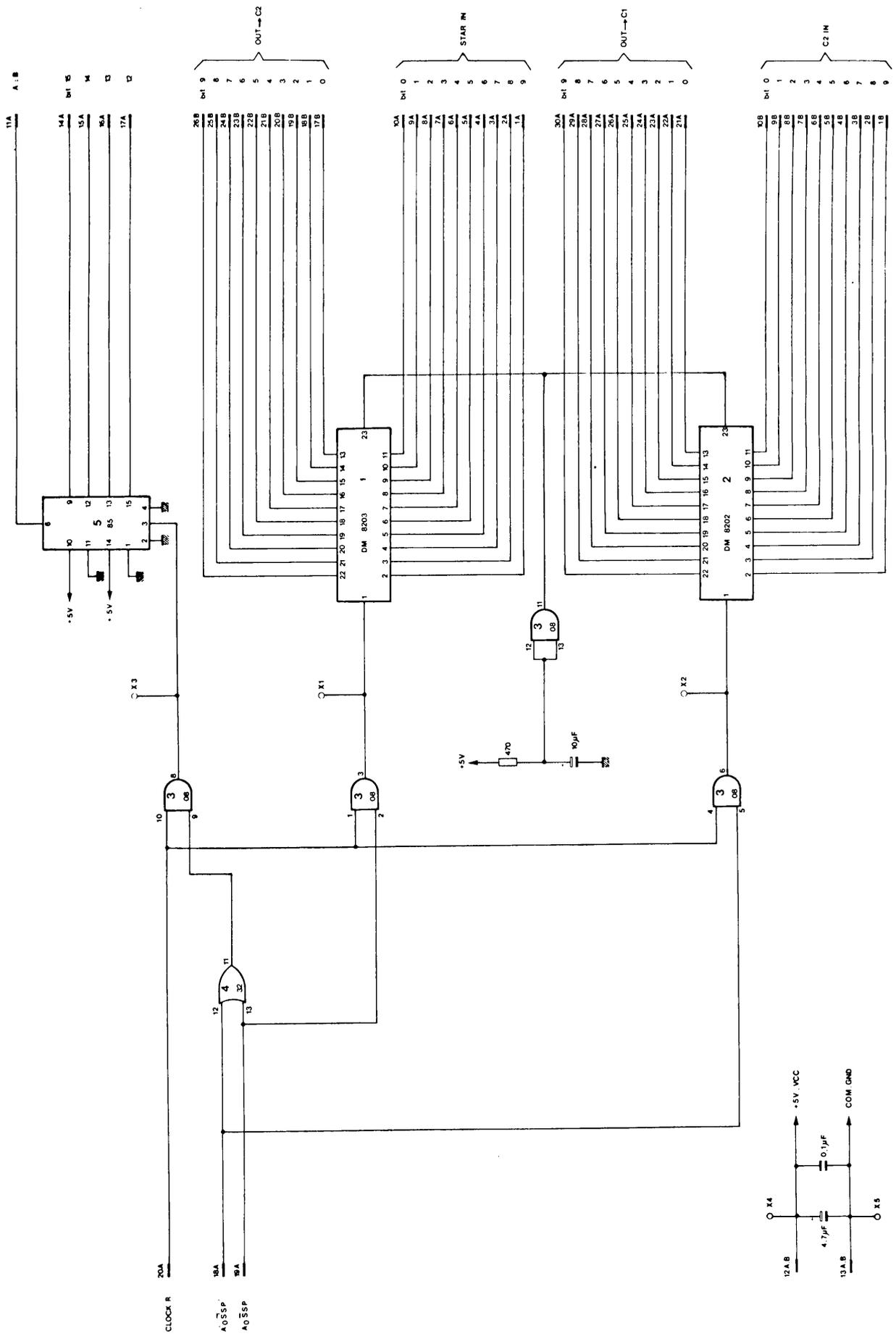


TITLE  
STATUS WORD

OLD NUMBER

8 0 0 1 2 C 0 8 0 1 2

2



NE PAS MESURER sur ce dessin

DO NOT SCALE this drawing



TITLE  
REGISTRES A-B

8 0 0 1 4 C 0 8 0 1 2

OLD NUMBER

2

