

EUROPEAN ORGANISATION FOR NUCLEAR RESEARCH

PS/CO/Note 82-28

2.12.1982

ENSEMBLE
QUAD ET SINGLE TRANSCEIVER
MANUEL D'UTILISATION

G.SURBACK
I.KAMBER

A. DESCRIPTION DES ECHANGES DE
DONNEES ENTRE QUAD ET SINGLE TRANSCEIVER

1. PRINCIPES DE COMMUNICATION	3
2. CARACTERISTIQUES DE LA TRANSMISSION SERIE	5
3. UTILISATION DES DONNEES ENVOYEES AU SINGLE-TRANSCEIVER	6
4. ORIGINE DES DONNEES ENVOYEES PAR LE SINGLE-TRANSCEIVER	7

B. LE QUAD TRANSCEIVER

1. MEMCIRE DE TRANSMISSION	3
2. MEMCIRE DE RECEPTION	5
3. REGISTRES AUXILIAIRES DU QUAD-TRANSCEIVER	7
3.1. Registres de Contrôles	7
3.2. Registres d'état	10
4. POSSIBILITES DE TESTS D'UN ENSEMBLE QUAD/SINGLE TRANSCEIVER	14
4.1. Tests au niveau du QUAD TRANSCEIVER	14
4.2. Tests au niveau des SINGLE TRANSCEIVER	15
5. ETAT D'UN ENSEMBLE QUAD/SINGLE TRANSCEIVER	18
6. ERREURS RECONNUES PAR LE QUAD TRANSCEIVER	19
7. LISTE DES FONCTIONS CAMAC DU MODULE QUAD TRANSCEIVER	21
8. ALIMENTATIONS NECESSAIRES	23
9. CARACTERISTIQUES DES CABLES DE LIAISON	24

C. LE SINGLE TRANSCEIVER DIGITAL

1. REGISTRES DE SORTIES DU MCDULE ET IMPULSIONS ASSOCIEES.	3
1.1. Principe de chargement des registres A et B.	3
1.2. Séquences de chargement des registres A et B.	3
1.3. Registre A	4
1.4. Registre B	5
1.5. Description des circuits de sorties	5
1.6. Autonomie des registres de sorties.	5
2. REGISTRES D'ENTREES ET IMPULSIONS ASSOCIEES.	6
2.1. Description des modes de fonctionnement.	6
2.2. Choix des modes	7
2.3. Registre C	8
2.4. Registre D	8
2.5. Description des circuits d'entrées.	8
3. REGISTRE D'ERREURS	9
4. INITIALISATION DU MCDULE.	10
5. CARACTERISTIQUES ELECTRIQUES DU MODULE SINGLE TRANSCEIVER DIGITAL	11
5.1. Alimentation Electrique :	11
5.2. Sorties du Module. (se référer à l'annexe 1)	11
5.3. Entrées du module (Se référer à l'annexe 2)	11

D. LE SINGLE TRANSCEIVER HYBRID

1. REGISTRE DES ACTUATIONS ET TESTS	3
1.1. Image du Reg.A dans la mémoire de Transmission du Q.TRANSCEIVER	3
1.2. Autonomie du registre Actuactions et Tests	4
2. REGISTRE DES QUITTANCES ET INDICATIONS	5
2.1. Image du Reg.C dans la mémoire de réception du Q.TRANSCEIVER	5
2.2. Choix des modes registre QUITTANCES/INDICATIONS	6
3. CONVERSION DIGITALE/ANALOGIQUE	7
3.1. Image du Reg.B dans la mémoire de réception du Q.TRANSCEIVER	7
3.2. Description et utilisation du bit Polarité Contrôle	8
3.3. Description et utilisation du bit Patch panel Status.	8
3.4. Choix de la référence pilotant le MDAC	9
3.5. Influence d'une coupure secteur sur le sortie Analogique	9
3.6. Tableau de vérité de la polarité contrôle.	10
4. CONVERSION ANALOGIQUE/DIGITALE.	11
4.1. Image du Reg. D dans la mémoire de réception du Q. TRANSCEIVER	11
4.2. Etat d'un "Polarity Inverter"	11
4.3. Description du bit Polarité Mesure	12
4.4. Choix de la gamme de Tension d'entrée	12

4.5. Tableau de vérité de la polarité mesure	13
4.6. Déclenchement d'une conversion Analogique/Digitale	14
5. TESTS DE LA PARTIE ANALOGIQUE	15
6. REGISTRE D'ERREURS	16
7. INITIALISATION DU MODULE	17
8. CARACTERISTIQUES ELECTRIQUES DU MODULE SINGLE TRANSCEIVER HYBRID	18
8.1. Alimentation Electrique	18
8.2. Sorties digitales du module.(se référer à l'annexe 1)	18
8.3. Entrées digitales du module.(se référer à l'annexe 2)	18
8.4. Sorties Analogiques du module	19
8.5. Entrées Analogiques du module.	20
8.6. Entrées Strobe A/D	22

DESCRIPTION GENERALE DE L'ENSEMBLE QUAD ET SINGLE TRANSCEIVER

L'ensemble QUAD-SINGLE TRANSCEIVER se compose d'un module camac : le QUAD TRANSCEIVER auquel est associé de un à quatre modules extérieurs au camac, du type CIM appelés SINGLE TRANSCEIVER.

Un SINGLE TRANSCEIVER contient deux registres d'entrées de données et deux registres de sorties de données. Ces registres ont chacun 16 bits de capacité. L'ensemble QUAD et SINGLE TRANSCEIVER a été conçu pour interfacer les équipements de puissance dans le système de contrôle par ordinateur du PS. Quatre liaisons bidirectionnelles (QUAD-TRANSCEIVER/SINGLE-TRANSCEIVER) connectent le processus à l'interconnexion CAMAC. Ces liaisons assurent une isolation DC entre les entrées et sorties des registres du Single-Transceiver et l'interconnexion camac. Ce système permet un fonctionnement normal dans un environnement bruyant. Grâce à une alimentation 220V individuelle, les modules SINGLE-TRANSCEIVER sont électriquement isolés l'un de l'autre.

- Le QUAD-TRANSCEIVER est réalisé dans une mécanique camac d'une unité de largeur. Il contient essentiellement les mémoires de Transmission et de réception liées à l'interconnexion CAMAC.
- Le SINGLE-TRANSCEIVER est lui réalisé dans une mécanique CIM de 3 unités de largeur. Il est disponible en deux versions :

- a) SINGLE TRANSCEIVER DIGITAL.
- b) SINGLE TRANSCEIVER HYBRID.

Au même QUAD TRANSCEIVER, peut être connecté un ou plusieurs SINGLE TRANSCEIVER d'une ou l'autre version.
Se référer pour la description de chaque module qui suit au Bloc diagramme 1136.CC.101.

A. DESCRIPTION DES ECHANGES DE DONNEES
ENTRE QUAD ET SINGLE TRANSCEIVER.

Le transfert bidirectionnel des données via un canal de Transmission/Réception série est contrôlé par un microprocesseur interne au module. C'est le QUAD-TRANSCEIVER qui a l'entière maîtrise du trafic sur les quatre canaux.

1. PRINCIPES DE COMMUNICATION

- Mode Réception -

Le QUAD-TRANSCEIVER génère successivement vers chaque canal des "demandes de lectures". La période entre deux demandes de lecture successives sur le même canal est fonction du travail effectué par le microprocesseur sur les quatre canaux. Cette période appelée "Scan Interval" peut varier dans les limites comprises entre 2 et 6 ms. Lorsque cette demande de lecture est sortie du module CAMAC, une réponse du SINGLE TRANSCEIVER destinataire est attendue. Si une réponse, reconnue comme telle, n'est pas reçue après un délai voisin de 500 us, le canal en opération est déclaré en erreur et le microprocesseur passe au canal suivant pour y exécuter la même séquence.

Deux réponses sont reconnues par le QUAD-TRANSCEIVER :

Réponse Négative :

Dans ce cas, seule la réponse est envoyée par le SINGLE-TRANSCEIVER. La séquence de demande de lecture est terminée sur ce canal, la prochaine est exécutée sur le canal suivant.

Réponse Positive :

Dans ce cas la réponse envoyée par le SINGLE TRANSCEIVER est suivie par 5 octets de données. Après réception du dernier octet et si aucune faute de transmission n'a été détectée durant la transmission (Parity, Framming ou Cverrun erreur) les données reçues seront chargées dans la mémoire de Réception. La séquence de demande de lecture est alors terminée sur ce canal, la prochaine est exécutée sur le canal suivant.

Lorsque la séquence de demande de lecture est terminée sur le canal 4 du QUAD TRANSCEIVER, le programme du microprocesseur recommence une nouvelle séquence sur le canal 1, et ainsi de suite.

- Mode Transmission -

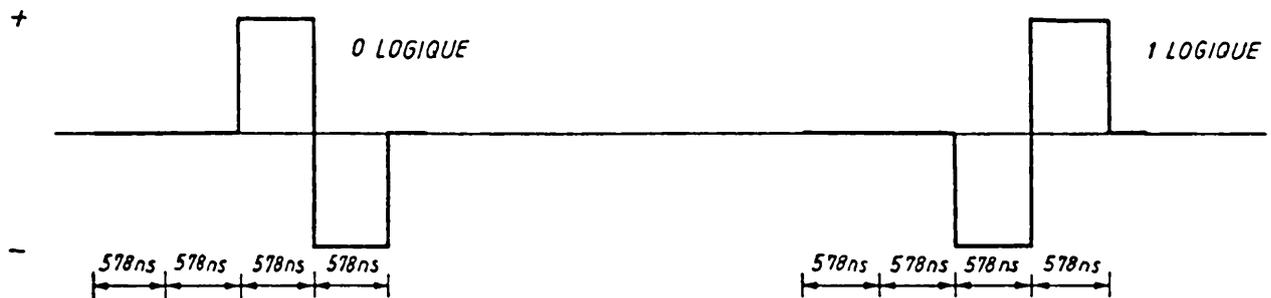
La mémoire de Transmission du QUAD-TRANSCEIVER est chargée via l'interconnexion CAMAC. Pour Transférer les données en mémoire vers un ou plusieurs SINGLE TRANSCEIVER, un ordre de transfert commun aux quatre canaux doit être fourni au QUAD-TRANSCEIVER. Cet ordre de transfert est donné par l'intermédiaire d'une commande CAMAC F25 AC.

Une "demande d'écriture" est envoyée sur le canal en opération à la place d'une "demande de lecture". La demande d'écriture est suivie de 5 octets de données. Après envoi du dernier octet de données une "demande de lecture" est générée par le QUAD-TRANSCEIVER sur le même canal. La période entre deux séquences d'écriture successives vers un même SINGLE-TRANSCEIVER peut varier entre 2 et 6 ms en fonction du travail exécuté par le microprocesseur. (Scan Interval).

2. CARACTERISTIQUES DE LA TRANSMISSION SERIE

Chaque octet de donnée transmis ou reçu, y compris les demandes de lecture, écriture et les réponses (positive ou négative) sont des trains composés chacun de 12 bits. Le premier bit d'un train est toujours un bit "Start", les huit suivants sont les bits constituant la donnée, le dixième bit est un bit de parité calculé par le système de transmission et les deux derniers bits du train sont ces bits "STCP". La sérialisation ou désérialisation de l'information est réalisée par un circuit spécial (Programmable Communication Interface) lié au processeur. La sortie série du transmetteur est envoyée à un modulateur qui permet la mise en forme de chaque bit transmis (Modulation biphasé à valeur moyenne nulle). De même l'entrée série du Recepteur est alimentée par un démodulateur.

La fréquence de transmission des bits est de 432,5 KHz. Le découpage de chaque bit est effectué à 1,73 MHz. La distinction entre l'état 1 et l'état 0 des bits se fait comme l'indique la figure ci-dessous :



- 1 logique : le premier créneau est négatif, le second positif.
- 0 logique : le premier créneau est positif, le second négatif.

3. UTILISATION DES DONNEES ENVOYEEES AU SINGLE-TRANSCEIVER

Cinq octets de données sont envoyés à chaque transfert vers un SINGLE- TRANSCEIVER, soit 40 bits. 32 bits sont mis à la disposition de l'équipement spécifique par l'intermédiaire de deux registres de sorties de 16 bits :

Registre A et Registre B.

Le registre A est adressable par octet au niveau de l'interconnexion CAMAC. Lorsque ces registres (A et B) sont chargés dans le SINGLE- TRANSCEIVER, 3 impulsions sont envoyées à l'équipement spécifique. Ces impulsions peuvent être utilisées pour écrire dans une mémoire locale ou pour déclencher des circuits de mise en forme dans l'équipement spécifique. Deux impulsions sont liées au registre A, l'une avec l'octet de bas poids, l'autre avec l'octet de haut poids; une impulsion est liée au registre B.

Les 8 derniers bits de données sont réservés pour des contrôles internes du SINGLE-TRANSCEIVER. Ils sont chargés dans un registre CONTRCLE SINGLE, et ne sont pas disponibles en sorties du module.

4. ORIGINE DES DONNEES ENVOYEEES PAR LE SINGLE-TRANSCEIVER

Cinq octets de données sont envoyés à chaque transfert vers un canal du QUAD-TRANSCEIVER, soit 40 bits. 32 bits sont des informations fournies par l'équipement spécifique au SINGLE-TRANSCEIVER par l'intermédiaire de deux registres d'entrées de 16 bits :

Registre C et Registre D.

Ces registres (C + D) peuvent opérer dans trois modes. Le choix du mode est fait par l'intermédiaire de connexions au niveau du connecteur arrière du SINGLE-TRANSCEIVER.

- Mode Registre:

Dans ce mode, la donnée fournie par l'équipement est chargée avec une impulsion extérieure.

- Mode "Line-Surveyor":

Chaque entrée est surveillée à une fréquence variant entre 165 et 500 Hz. Un changement d'état de l'une des 16 entrées provoque automatiquement le chargement du registre.

- Mode "Delayed Line-Surveyor":

Ce mode est complémentaire au précédent.

Un changement d'état de l'une des 16 entrées provoque le set d'un délai interne de 40 ms. A la fin de ce délai l'état des entrées est à nouveau contrôlé. Si le changement précédemment constaté est vérifié, le registre est automatiquement chargé. Ce mode peut être employé lorsque les informations venant de l'équipement sont fournies par des contacts de relais. Le chargement du registre n'aura lieu que lorsque les instabilités, pouvant être provoquées par les rebondissements des contacts, auront disparues sur ces entrées

Le dernier octet de données envoyé au QUAD-TRANSCEIVER est réservé pour des informations d'état internes au SINGLE-TRANSCEIVER. Cet octet est appelé "STATUS SINGLE".



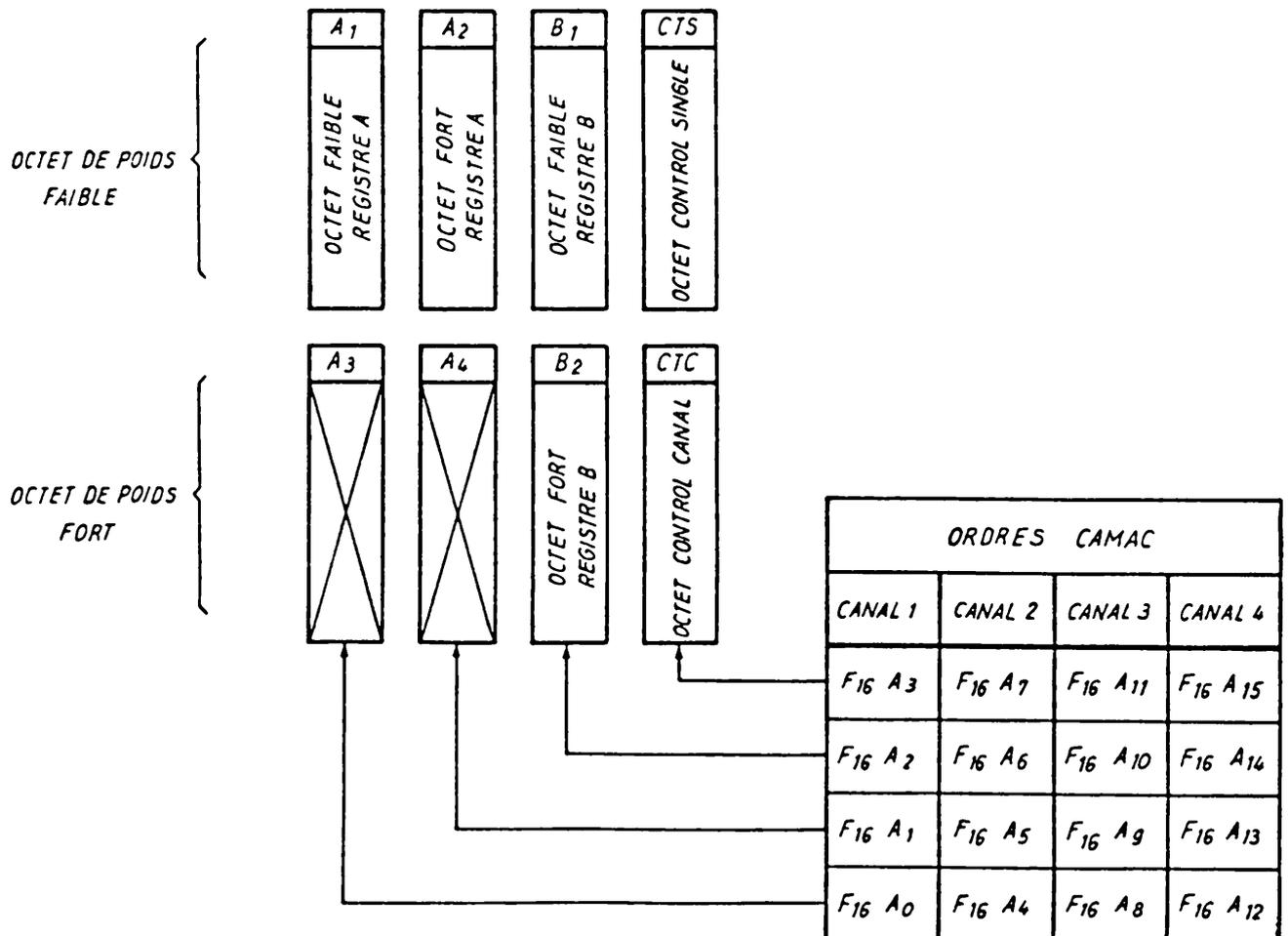
B. LE QUAD-TRANSCEIVER

Un QUAD TRANSCEIVER peut interfacer jusqu'à quatre SINGLE TRANSCEIVER qui sont eux-mêmes connectés à l'équipement. Chaque canal d'un Quad Transceiver peut transmettre ou recevoir 40 bits de données groupés en cinq octets. La liaison vers un SINGLE TRANSCEIVER est réalisée par un câble bifilaire blindé d'une impédance de 110 OHMS. La transmission est faite en mode série bidirectionnelle. (Half duplex avec détection des erreurs de transmission).

1. MÉMOIRE DE TRANSMISSION

Elle a une capacité de 16 mots de 16 bits et est divisée en quatre parties égales (Section) de 4 x 16 bits. Chaque section est affectée à un canal du QUAD-TRANSCEIVER. La mémoire de transmission contient les images des registres de sorties (Registre A et Registre B) et des registres CONTROL SINGLE des quatre SINGLE TRANSCEIVER connectés aux canaux 1,2,3 et 4 du module QUAD TRANSCEIVER. Le chargement de la mémoire est effectué depuis l'interconnexion CAMAC. Elle est accessible par le processeur interne en mode lecture et n'est pas remise à zéro à la mise sous tension ou par la commande d'initialisation (F28.A0) du module.

Organisation d'une section de la mémoire de transmission



Remarque :

L'octet CTC d'une section est réservé pour appeler des tests internes

au canal. Il n'est pas transféré vers le SINGLE-TRANSCIEVER de même que les octets A3 et A4.

Lecture de la mémoire de transmission par le processeur

La lecture d'une ou plusieurs sections de la mémoire de transmission est effectuée par le processeur avant un ou plusieurs transfert de données vers le ou les SINGLE-TRANSCIEVER. Pour déclencher cette lecture suivie d'un transfert vers un des canaux du QUAD-TRANSCIEVER, il faut qu'au moins une donnée soit chargée dans la section correspondante de la mémoire de Transmission et que l'ordre de transfert (F25 A0) soit donné au QUAD. Le processeur identifiera le canal, effectuera une lecture des données contenues dans la section de la mémoire de transmission et exécutera la transmission des octets A1+A2+B1+B2+CTS vers le SINGLE TRANSCIEVER si le canal est dans l'état "CK".

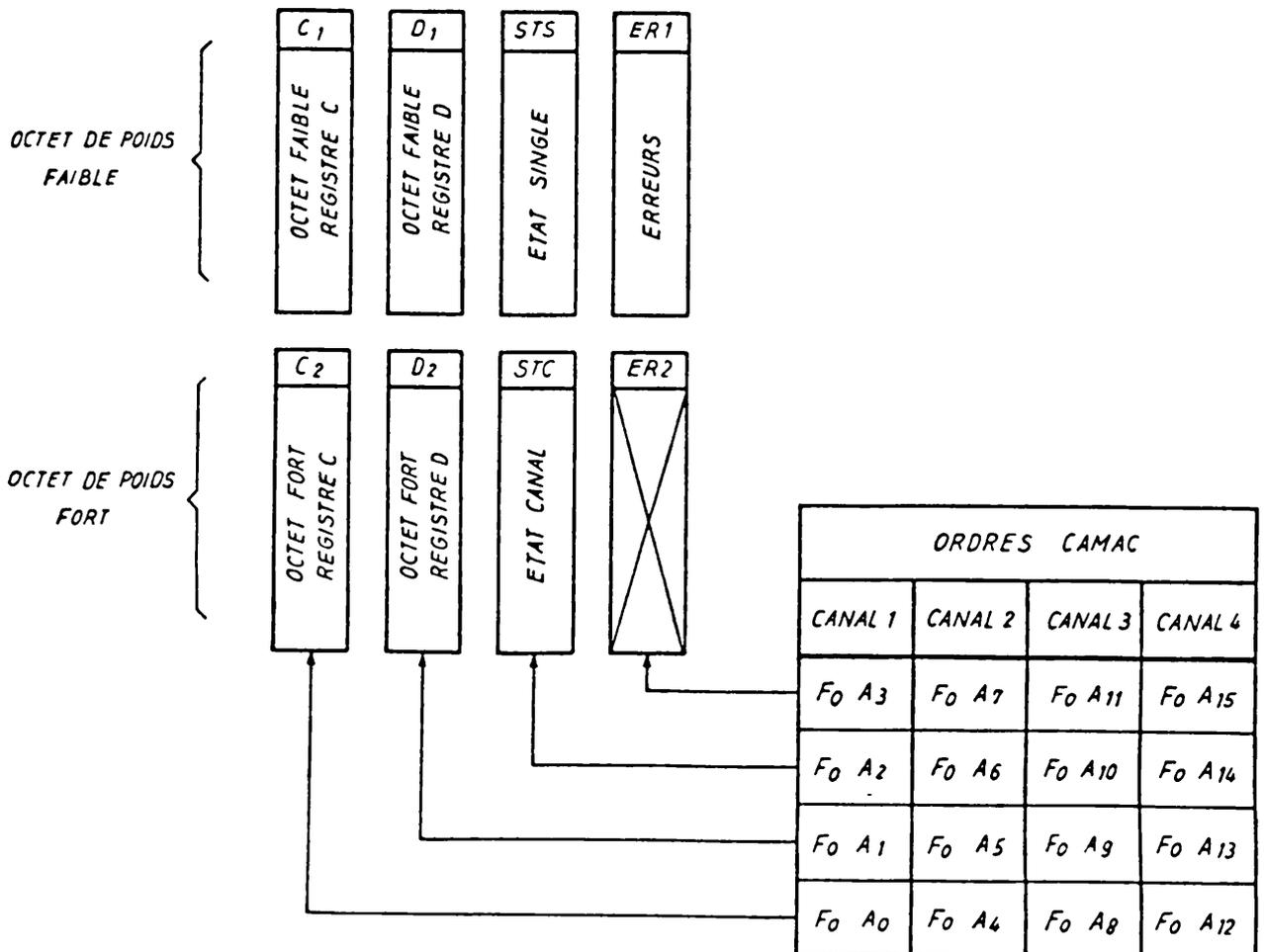
Durant cette lecture, l'accès écriture par CAMAC est verrouillé. La mémoire de transmission est déclarée "BUSY" entre 1 et 4 ms et à tout ordre d'écriture l'adressant, la réponse CAMAC Q est donnée à zéro.

2. MEMOIRE DE RECEPTION

Comme la mémoire de Transmission, sa capacité est de 16 x 16 bits. Elle est aussi divisée en quatre sections égales de 4 x 16 bits. Chaque section est liée à un canal du QUAD-TRANSCIEVER. La mémoire de Réception contient les images des registres d'entrées (Registre C et Registre D) et des registres "STATUS SINGLE" des quatre SINGLE TRANSCIEVER connectés aux canaux 1,2,3,4 du module QUAD TRANSCIEVER.

De plus chaque canal dispose d'un registre d'erreurs (octet FR1 d'une section) où se trouveront définies 8 types de fautes pouvant être détectées sur ce canal. La lecture de la mémoire de réception est effectuée depuis l'interconnexion CAMAC. Le processeur interne accède à la mémoire de réception en mode écriture. Cette mémoire est remise à zéro à la mise sous tension ou par la commande d'initialisation (F28 AC) du module.

Organisation d'une section de la mémoire de Réception



Remarque:

L'octet STC d'une section contient les bits d'état des tests internes au canal; il n'est pas transféré par le SINGLE TRANSCEIVER. L'octet ER2 est toujours à zéro.

Ecriture de la mémoire de réception par le processeur

Suite à une "demande de lecture" envoyée par le QUAD-TRANSCEIVER, le SINGLE TRANSCEIVER génère une réponse. Si cette réponse est "positive", 5 octets de données C1+C2+D1+D2+STS suivent.

Après réception de l'octet "STS", le processeur effectuera le chargement de la section mémoire correspondante si aucune erreur de transmission n'a été détectée par le receveur série.

Dans le cas contraire, les données reçues sont abandonnées, un code d'erreur est chargé dans le registre Erreur (Octet ER1) et le canal est mis dans l'état "OFF". Le délai nécessaire pour charger une section de la mémoire de réception est de 100 µs max.

Durant cette opération, l'accès lecture par CAMAC est verrouillé. La mémoire de Réception est "BUSY" et à tout ordre de lecture l'adressant, la réponse CAMAC Q = 0 est donnée.

3. REGISTRES AUXILIAIRES DU QUAD-TRANSCEIVER

Deux types de registres sont accessibles : Les registres de contrôle ou commande, et les registres d'état.

3.1. Registres de Contrôles

A) Registre de contrôle Hors service/En service des canaux du QUAD.

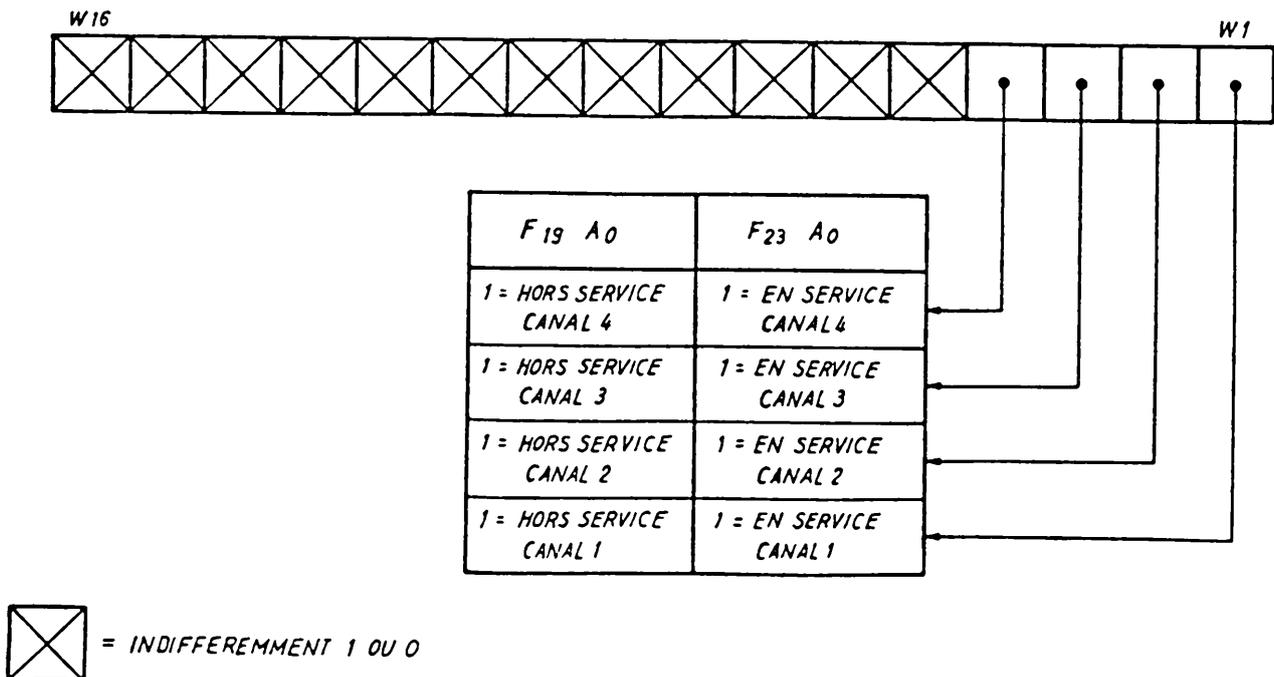
Ce registre de quatre bits (1 par canal) est chargé depuis l'interconnexion CANAC par deux ordres différents :

Le premier ordre F19 A0 effectue une mise Hors service sélective des 4 canaux.

Le second ordre F23 A0 commande une mise en service sélective des 4 canaux.

Lorsqu'un canal est commandé Hors-service, la communication avec le SINGLE TRANSCEIVER connecté est arrêtée jusqu'au moment d'une remise EN SERVICE.

Allocation des bits



Remarque:

A la mise sous tension ou lors d'une initialisation CAMAC (F28 A0) du module, les quatre canaux du QUAD sont mis "En Service".

B) Registre de remise à zéro des LAM sources.

LAM : Le module QUAD-TRANSCEIVER peut émettre sur une ligne individuelle de l'interconnexion CAMAC un signal pour solliciter une intervention. Ce signal (LAM) émis par le module provient de plusieurs sources de lancement d'appel internes au QUAD.

Huit sources de lancement d'appel (2 par canal) peuvent générer ce LAM.

1) Source LAM Erreur ou LAM Test d'un canal

Suivant le mode de fonctionnement du canal (Normale opération ou Test), cette source de LAM aura deux origines :
En fonctionnement normal, si le canal est trouvé en faute, le processeur activera la source "LAM erreur" correspondante. Si le canal est un mode Test, à la fin de l'exécution d'un test, cette même source sera activée, mais cette fois sous l'appellation de "LAM Test".

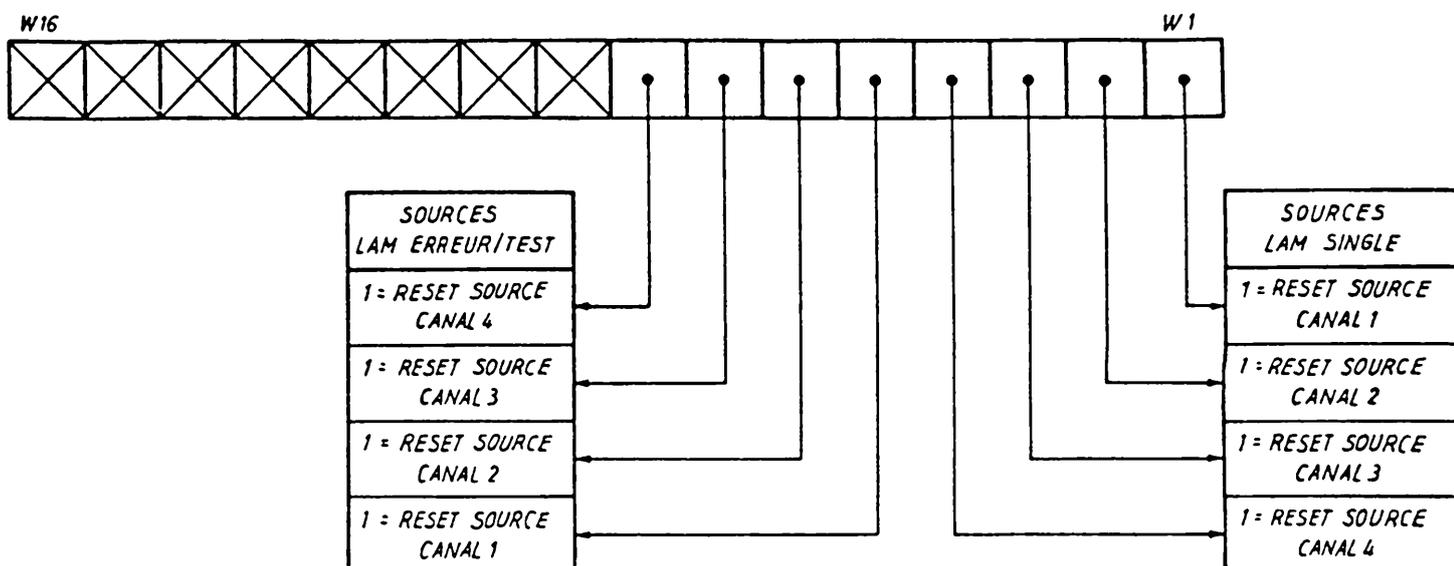
Dans les deux cas, tant que cette source de LAM est active, le canal correspondant est dans l'état "OFF" et la communication avec le SINGLE TRANSCEIVER connecté est arrêtée. Une remise à zéro de cette source LAM, rétablira la communication.

2) Source LAM Single d'un canal

Si les registres d'entrées du SINGLE TRANSCEIVER (Registre C ou D) sont en mode "Line Surveyor" ou "Delayed Line Surveyor", cette source de LAM est activée par le processeur chaque fois qu'une nouvelle valeur est chargée dans le registre C ou D ou dans les deux registres C et D.

Une remise à zéro sélective des huit sources de LAM est effectuée depuis l'interconnexion CAMAC par un ordre F23 A12. A la mise sous tension ou lors d'une initialisation CAMAC (F28 A0) du module, les huit sources de LAM sont remises à zéro.

- Allocation des bits -



C) Registre des Masques de LAM

Les sources de lancement d'appel peuvent être validées ou invalidées individuellement par l'intermédiaire de masques de LAM afin de créer ou non des demandes de LAM. Ce registre est constitué de cinq masques.

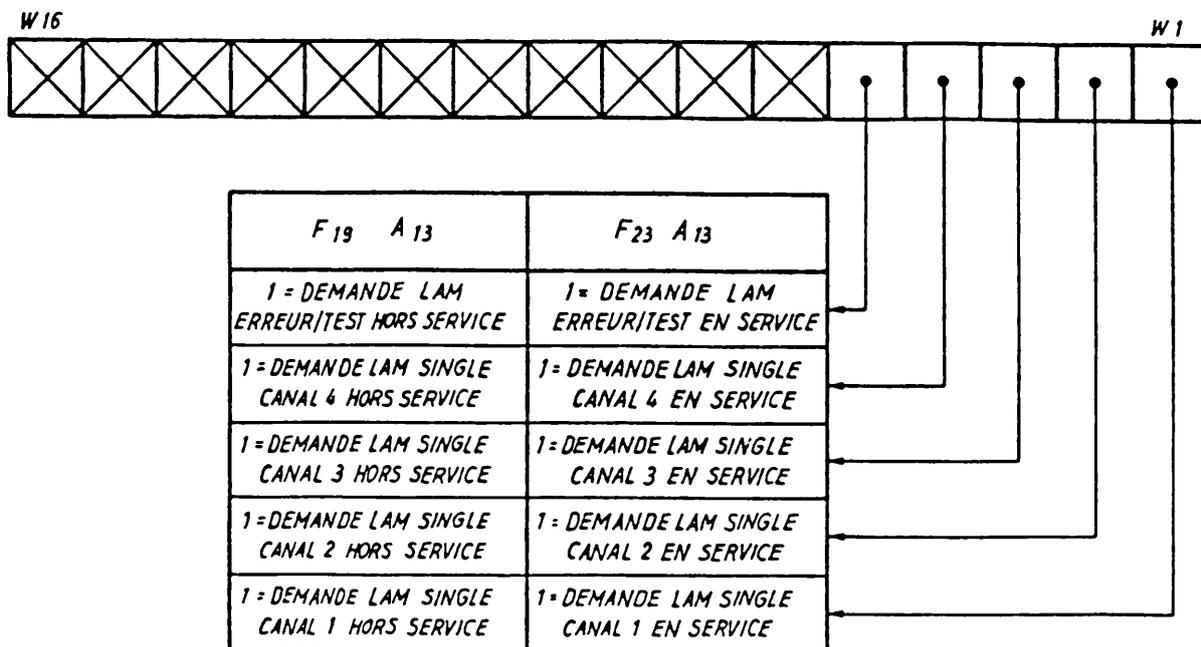
Il existe un masque pour chaque source "LAM SINGLE" (4 masques) et un masque pour l'ensemble des sources "LAM Erreur ou LAM Test". Le registre est chargé depuis l'interconnexion CAMAC par deux ordres.

Le premier ordre F19 A13 effectue une mise Hors-Service sélective des demandes de LAM, donc une activation des masques de LAM correspondants.

Par contre, le second ordre F23 A13 commande la mise En Service sélective des demandes de LAM donc une mise à l'état inactif des masques de LAM correspondants.

A la mise sous tension ou lors d'une initialisation CAMAC (F28 A0) du module, les cinq masques de LAM sont activés, les demandes de LAM sont mises Hors-service.

- Allocations des bits -

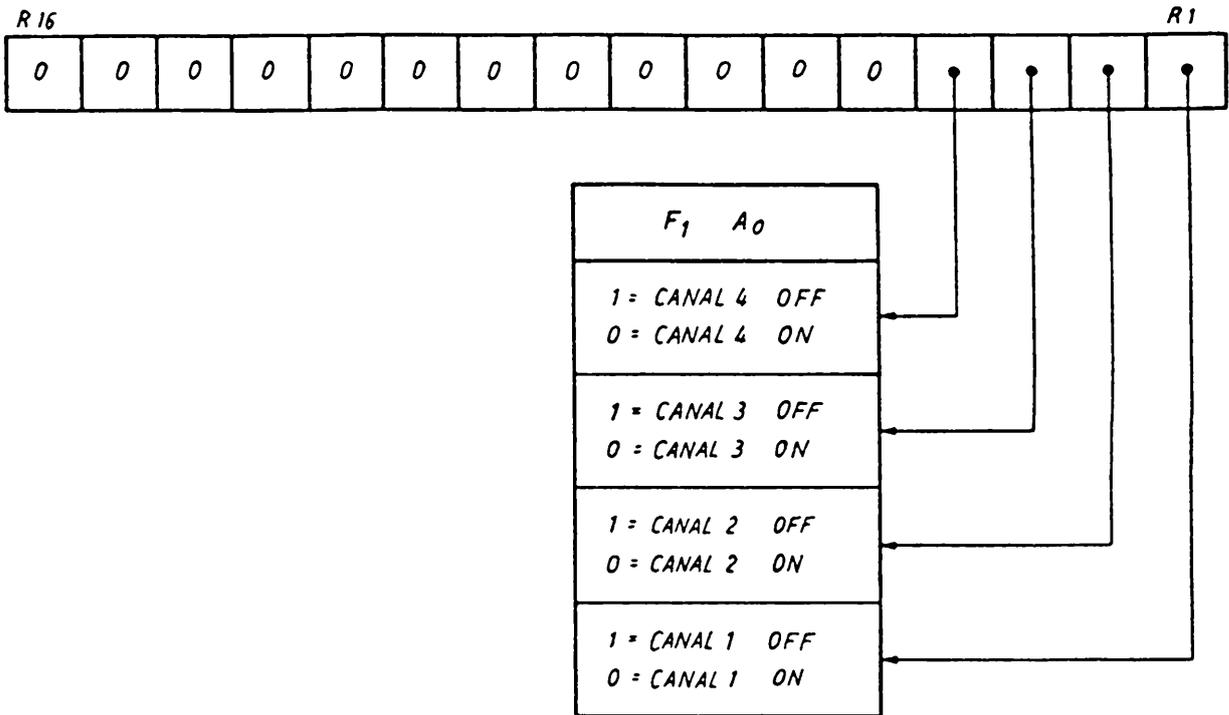


3.2. Registres d'état

A) Registre d'état ON/OFF des canaux du QUAD.

Ce registre de 4 bits (1 par canal) est acquis à travers l'interconnexion Camac par l'ordre F1 AO. Un canal du QUAD est dans l'état "CFF" (bit set) lorsqu'il est commandé Hors-service ou si la source de LAM Erreur/Test de ce canal est activée par le processeur. Lorsqu'un canal est "CFF", il n'y a pas de communication avec le SINGLE TRANSCEIVER connecté.

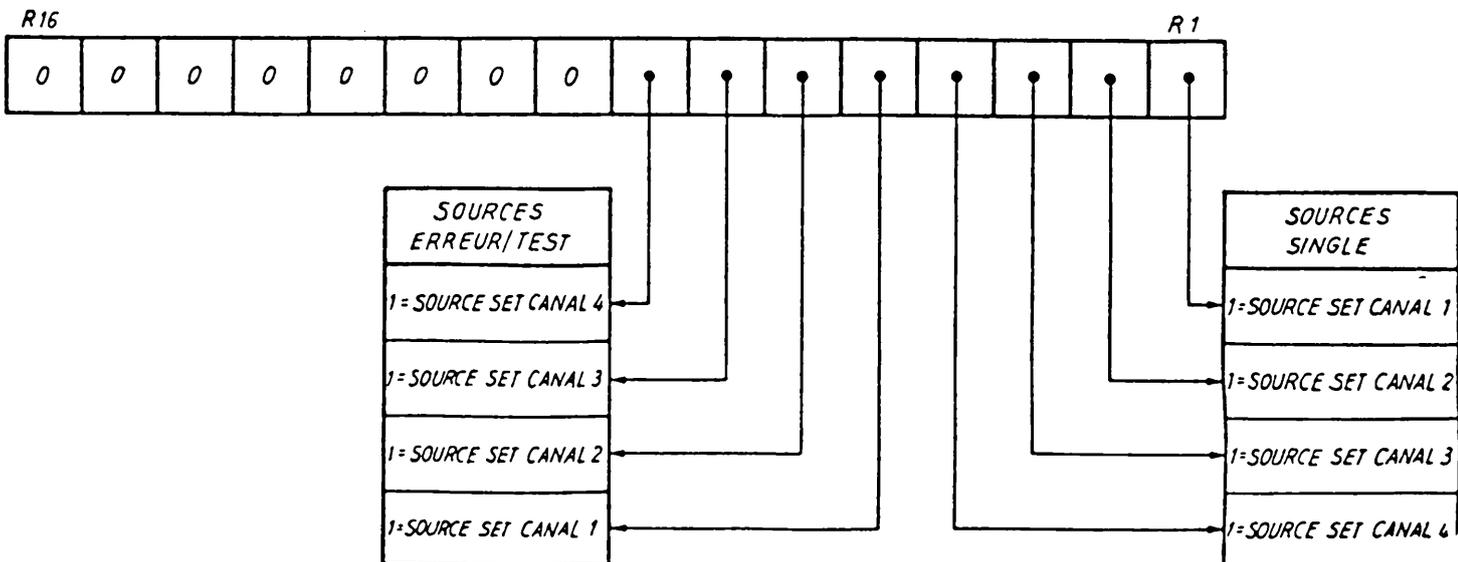
- Allocation des bits -



B) Registre d'état des sources de LAM.

Les états des sources de lancement d'appel peuvent être acquis à travers l'interconnexion Camac par l'ordre F1 A12. Ce registre est constitué de 8 bits représentant chacun une source de lancement d'appel (deux sources par canal).

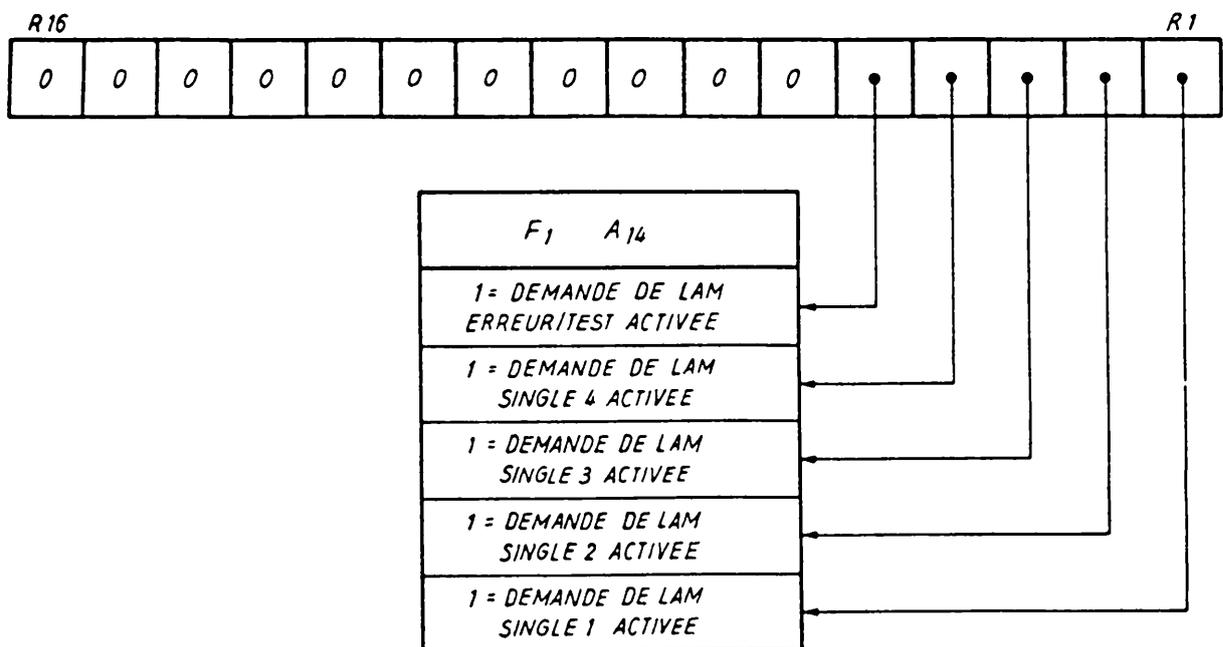
- Allocation des bits -



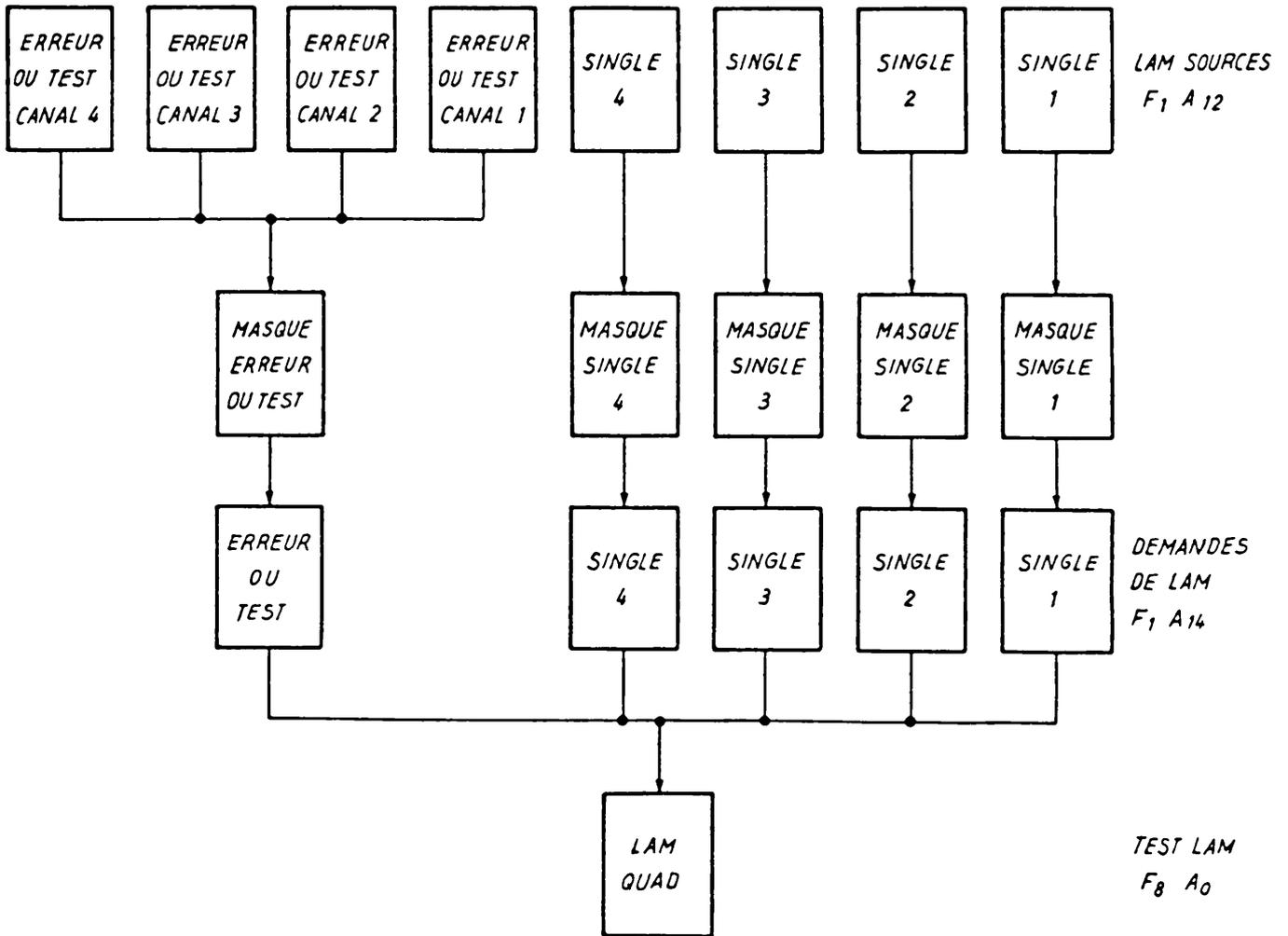
C) Registre d'état des demandes de LAM.

Ce registre est constitué de 5 bits d'état. Les bits 1 à 4 représentent l'état des demandes de LAM "SINGLE" (1 par canal). Le bit 5 est une demande de LAM "Erreur/Test" globale, issue de la combinaison OU des quatre sources "Erreur/Test".

- Allocation des bits -



Structure des LAM dans le QUAD TRANSCEIVER



Ces tests peuvent être entrepris sans qu'il soit nécessaire d'interrompre la liaison avec le SINGLE TRANSCEIVER connecté. C'est sans restriction en ce qui concerne le Test mémoire, par contre dans un Test transceiver on veillera à ne pas transmettre un octet de configuration hexadécimal = 33 qui est reconnu par le SINGLE comme une demande de lecture (la réponse fournie par le SINGLE risque de perturber les données du test).

Au début de l'exécution de l'un ou l'autre test, la communication avec le SINGLE connecté est arrêtée. En fin d'exécution, le processeur interne au QUAD active la source de LAM Erreur/Test du canal testé. Les résultats du test sont contenus dans la section correspondante de la mémoire de réception. La communication avec le SINGLE TRANSCEIVER n'est rétablie qu'à la suite d'une commande de remise à zéro de la source de LAM active. Les données contenues dans les registres d'entrées du SINGLE sont immédiatement retransmises vers le canal du QUAD qui perd les informations du test précédemment exécuté. Un canal du QUAD n'est plus en Test lorsque les bits (W15 et W16) du mot de contrôle sont à 0 logique.

1) Test transceiver:

Il permet de contrôler les systèmes de Transmission et Réception série d'un canal du QUAD Transceiver. Durant l'exécution du Test, le système de communication fonctionne en mode écho. La liaison entre transmetteur et récepteur série est faite par l'intermédiaire du transformateur d'entrée/sortie. Les données envoyées par le Transmetteur sont lues par le récepteur puis chargées dans la section correspondante de la mémoire de réception sous contrôle du processeur interne qui signale toutes erreurs de transmission ou réception. Les octets A1, A2, B1, B2 et CTS sont transmis et respectivement chargés dans la mémoire de réception aux locations C1, C2, D1, D2 et STS. En fin d'exécution le bit "Test Transceiver" est mis à 1 logique dans l'octet STC.

2) Test mémoire:

Le contenu de la mémoire de transmission affecté au canal en Test est copié dans la section correspondante de la mémoire de réception. Les données ne sont pas envoyées au transmetteur série et les octets A1, A2; B1, B2 et CTS sont respectivement chargés dans la mémoire de réception aux locations C1, C2; D1, D2 et STS.

A noter que le processeur chargera le complément de l'octet CTS à la location ER1. En fin d'exécution, le bit "Test Mémoire" est mis à 1 logique dans l'octet STC.

4.2. Tests au niveau des SINGLE TRANSCEIVER

C'est le processeur du Single Transceiver qui exécute ces tests lorsqu'il reconnaît une commande de test dans le registre "contrôle Single". Il sortira du mode Test lorsqu'il recevra un "contrôle Single" dont les bits W4 et W6 seront à 0 logique.

1) Test de relecture des Registres A et B

Ce test commun aux deux versions (digitale et hybride) a pour but de contrôler le contenu des registres A et B (Registres de sorties) au niveau même de leur utilisation. Le test est exécuté à la première demande de lecture qui suit le transfert de la commande du test. Les données renvoyées au QUAD Transceiver sont stockées dans la section correspondante de la mémoire de réception aux locations : Registre A --> octets C1+C2; Registre B --> octets D1+D2; Etat du Single --> octet STS.

2) Tests Analogiques

Ils ne sont disponibles que dans la version Hybride du Single Transceiver.

A) Commande d'une conversion analogique digitale depuis le "dataway" CANAC :

Le Single Transceiver Hybrid a trois entrées réservées à des impulsions extérieures qui déclenchent une conversion analogique digitale. Il est possible de commander cette conversion depuis le QUAD Transceiver, indépendamment des impulsions entrant sur le module.

Cette facilité est offerte avec le bit "INT TG" de l'octet control Single. Lorsque ce bit est set dans le Registre de contrôle du "Single Transceiver Hybrid", les impulsions extérieures sont empêchées et, à l'issue de chaque transfert de données envoyées par le QUAD, une impulsion interne est générée qui déclenche une conversion.

B) Contrôles de la partie analogique:

Trois bits de l'octet "Control Single" (A1,A2,A4) sont réservés au décodage des tests. Quatre tests sont disponibles, autorisés par le bit "ENT". Le déclenchement d'une mesure peut être choisi en mode interne ou externe par le bit "INT-TG". Le temps de réponse du module Single à la commande d'un test analogique sera fonction du mode de déclenchement choisi: Lié à la première demande de lecture qui suit le transfert de la commande du Test dans le mode de déclenchement interne ou synchronisé avec la demande de lecture qui suit l'impulsion de trigger externe.

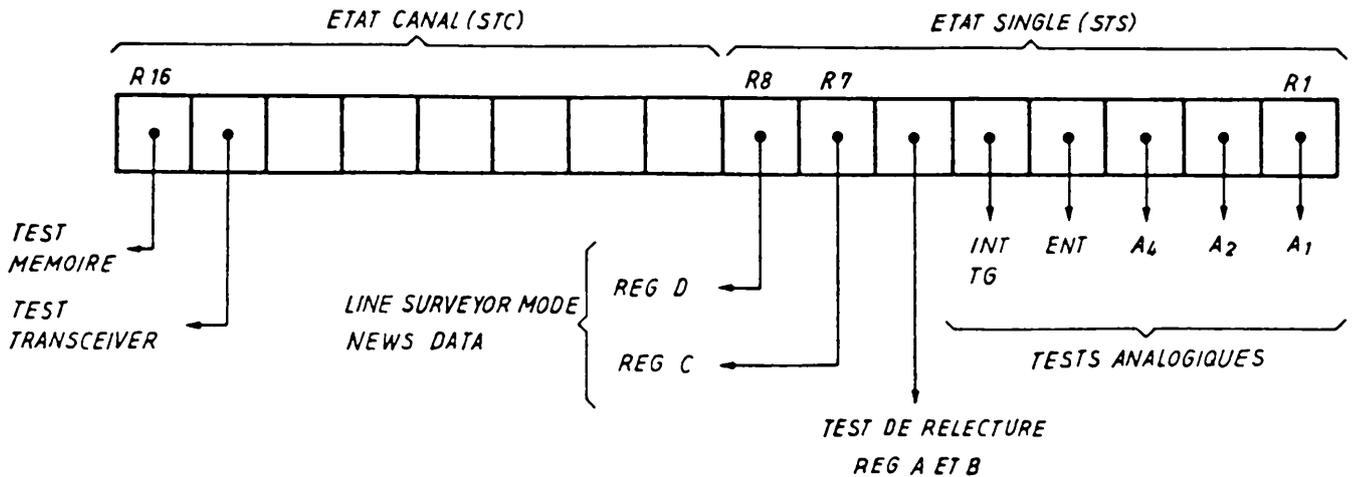
<i>ENT</i>	<i>A₄</i>	<i>A₂</i>	<i>A₁</i>	<i>FONCTIONS TEST</i>
<i>0</i>	<i>X</i>	<i>X</i>	<i>X</i>	<i>PAS DE TEST POSSIBLE</i>
<i>1</i>	<i>0</i>	<i>0</i>	<i>0</i>	<i>TEST DE LA SORTIE DU MDAC</i>
<i>1</i>	<i>0</i>	<i>0</i>	<i>1</i>	<i>TEST DE LA REFERENCE A L'ENTREE DU MDAC (POLARITE INVERSE)</i>
<i>1</i>	<i>0</i>	<i>1</i>	<i>0</i>	<i>TEST DE LA REFERENCE INTERNE (+10V, ±0.01%)</i>
<i>1</i>	<i>0</i>	<i>1</i>	<i>1</i>	<i>TEST DU 0V (GND)</i>

Remarque

Dans sa version Hybride, les registres B et D du Single Transceiver sont liés à la partie analogique. Le Registre B est affecté à la commande du "Multiplying DAC" et le Registre D contient le résultat d'une conversion analogique digitale.

5. ETAT D'UN ENSEMBLE QUAD/SINGLE TRANSCEIVER

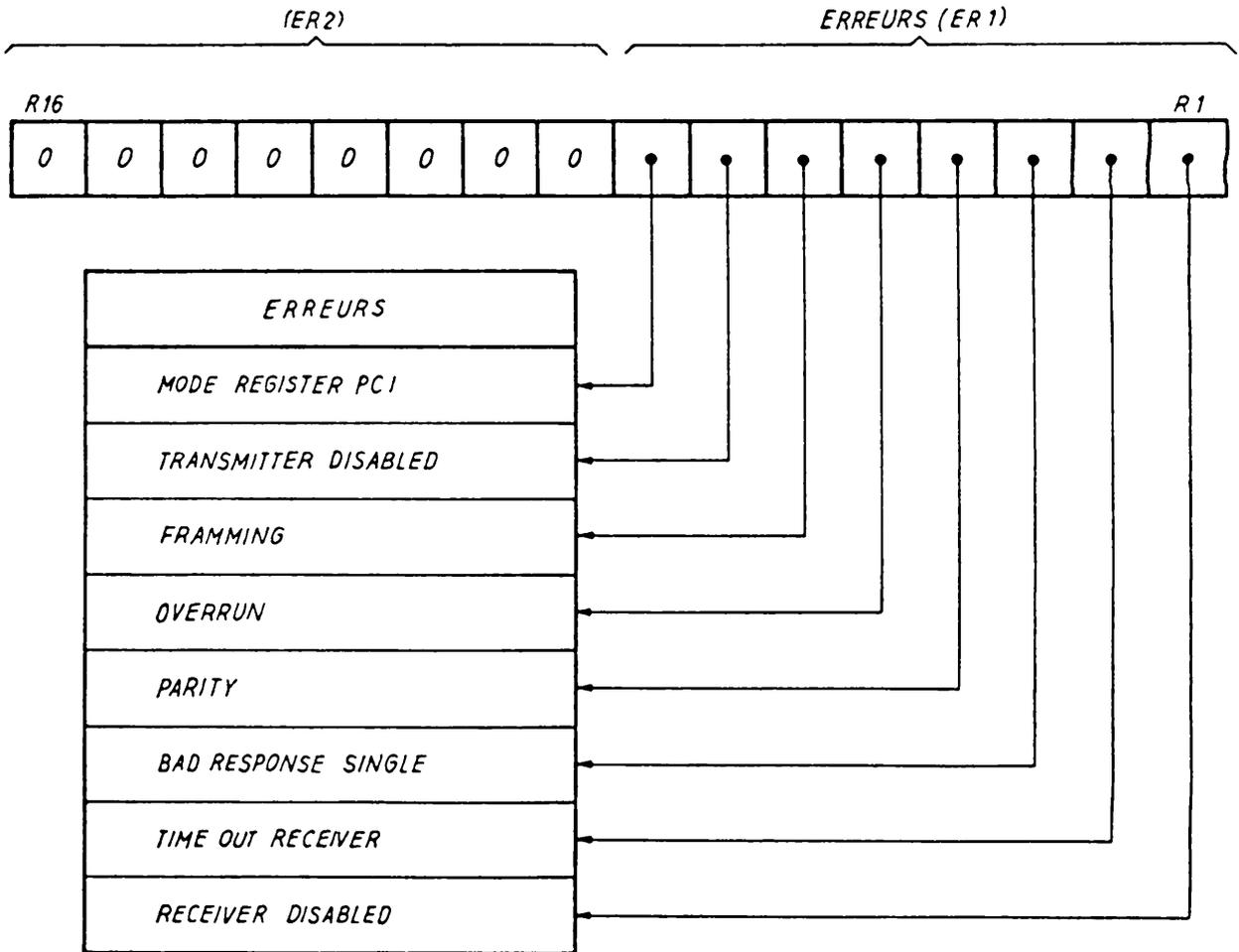
Quatre mots de 16 bits affectés chacun à un canal du QUAD Transceiver sont contenus dans la mémoire de réception. L'analyse d'un de ces mots permet de connaître le mode de fonctionnement d'un ensemble canal QUAD-Single associé, et d'identifier les données présentes dans la section mémoire.



Deux bits de l'octet "ETAT SINGLE" (R7 et R8) renseignent sur quelles entrées du Single Transceiver (Registre C ou Registre D) s'est produit le dernier changement de configuration à condition que ces registres soient en mode line surveyor. L'état 1 logique d'un de ces deux bits produit l'activation de la source LAM Single du canal QUAD correspondant.

6. ERREURS RECONNUES PAR LE QUAD TRANSCEIVER

Chaque canal du QUAD Transceiver a une location mémoire dans laquelle le processeur charge différents bits d'erreur qu'il peut trouver lors de l'exécution d'une tâche sur ce canal. La détection d'une erreur produit toujours l'activation de la source "LAM. ERPCR" du canal correspondant qui met ce canal dans un état "CFF".



-Receiver disabled:

Cette faute apparaît quand le processeur ne parvient pas à mettre en service le démodulateur.

-Time Out Receiver:

Cette faute est détectée dans deux cas :

A) Lorsque le processeur génère une demande de lecture, il attend une réponse du Single Transceiver. Si aucune donnée ne parvient au QUAD dans un délai de 500 µs, un Time out est activé.

B) Après réception d'une réponse positive à une demande de lecture, le processeur attend cinq octets de données. Si l'attente d'un octet excède 120 µs, un Time out est produit et les informations précédemment reçues sont abandonnées.

Bad response Single : Indique qu'une réponse produite par le Single Transceiver à destination du QUAD n'est pas reconnue comme telle par ce dernier.

Parity : Elle est calculée par l'interface de communication série (PCI) à la réception d'une donnée puis est comparée au bit de parité fourni par le Single. Une erreur est générée si une différence apparaît entre les deux parités et le processeur abandonne le transfert en cours.

Overrun : Indique qu'un mot est reçu par l'interface de communication série alors que le précédent n'est pas encore lu par le processeur. Les données en cours de transfert sont abandonnées.

Framming : La structure série de chaque mot reçu est analysée par le PCI. Si le nombre de "Stop bit" n'est pas conforme, une erreur est détectée et le transfert en cours est abandonné.

Transmitter disabled : Indique que la mise en série d'un octet chargé par le processeur dans le PCI ne s'est pas effectuée.

Mode Register PCI : A l'initialisation du module QUAD, le processeur charge dans le PCI deux mots (MR1 et MR2) définissant les modes de fonctionnement de l'interface série. Régulièrement ces deux mots sont examinés. Si leur état n'est pas conforme, le processeur déclare en faute les 4 canaux du module camac et entre en attente d'une commande d'initialisation (Z ou F2S.AC).

7. LISTE DES FONCTIONS CAMAC DU MODULE QUAD TRANSCEIVER

Commande	Q	Action
F(C).A(0)	A	Lecture Registre C canal 1
F(O).A(1)	A	Lecture Registre D canal 1
F(O).A(2)	A	Lecture mot d'état canal 1
F(O).A(3)	A	Lecture mot d'erreurs canal 1
F(O).A(4)	A	Lecture Registre C canal 2
F(O).A(5)	A	Lecture Registre D canal 2
F(O).A(6)	A	Lecture mot d'état canal 2
F(O).A(7)	A	Lecture mot d'erreurs canal 2
F(O).A(8)	A	Lecture Registre C canal 3
F(O).A(9)	A	Lecture Registre D canal 3
F(O).A(10)	A	Lecture mot d'état canal 3
F(O).A(11)	A	Lecture mot d'erreurs canal 3
F(O).A(12)	A	Lecture Registre C canal 4
F(O).A(13)	A	Lecture Registre D canal 4
F(C).A(14)	A	Lecture mot d'état canal 4
F(O).A(15)	A	Lecture mot d'erreurs canal 4
F(1).A(0)	1	Lecture Registre d'état ON/CFF
F(1).A(12)	1	Lecture Registre d'état des sources de LAM
F(1).A(14)	1	Lecture Registre d'état des demandes de LAM
F(8).A(0)	B	Teste si une demande de LAM est présente
F(16).A(0)	C	Ecriture octet faible Registre A canal 1
F(16).A(1)	C	Ecriture octet fort Registre A canal 1
F(16).A(2)	C	Ecriture Registre B canal 1
F(16).A(3)	C	Ecriture mot de contrôle canal 1
F(16).A(4)	C	Ecriture octet faible Registre A canal 2
F(16).A(5)	C	Ecriture octet fort Registre A canal 2
F(16).A(6)	C	Ecriture Registre B canal 2
F(16).A(7)	C	Ecriture mot de contrôle canal 2
F(16).A(8)	C	Ecriture octet faible Registre A canal 3
F(16).A(9)	C	Ecriture octet fort Registre A canal 3
F(16).A(10)	C	Ecriture B canal 3
F(16).A(11)	C	Ecriture mot de contrôle canal 3
F(16).A(12)	C	Ecriture faible Registre A canal 4
F(16).A(13)	C	Ecriture octet fort Registre A canal 4
F(16).A(14)	C	Ecriture Registre B canal 4
F(16).A(15)	C	Ecriture mot de contrôle canal 4
F(19).A(0)	1	Mise hors service sélective des canaux du module
F(19).A(13)	1	Mise hors service sélective des demandes de LAM
F(23).A(0)	1	Mise en service sélective des canaux du module
F(23).A(12)	1	Remise à zéro sélective des sources de LAM
F(23).A(13)	1	Mise en service sélective des demandes de LAM

Commande	Q	Action
F(25).A(0) Z ou F(28). A(0)	C D	Transfert des données aux Single Transceiver Initialisation du module : ----- Remise à zéro de la mémoire de réception, Reset du processeur et du PCI, mise en service des 4 canaux du module, remise à zéro de toutes les sources de LAM et mise hors service de toutes les demandes de LAM.

Note:

- A) $Q=0$ Lorsque la mémoire de réception est sous contrôle du processeur.
- E) $Q=1$ Lorsqu'une demande de LAM est active autrement $C=0$
- C) $Q=C$ Lorsque la mémoire de Transmission est sous contrôle du processeur.
- D) La procédure d'initialisation interne du module prend environ 50 ms. A S2 et durant tout ce temps $Q=0$.

8. ALIMENTATIONS NECESSAIRES

+ 6 volts - +950 mA

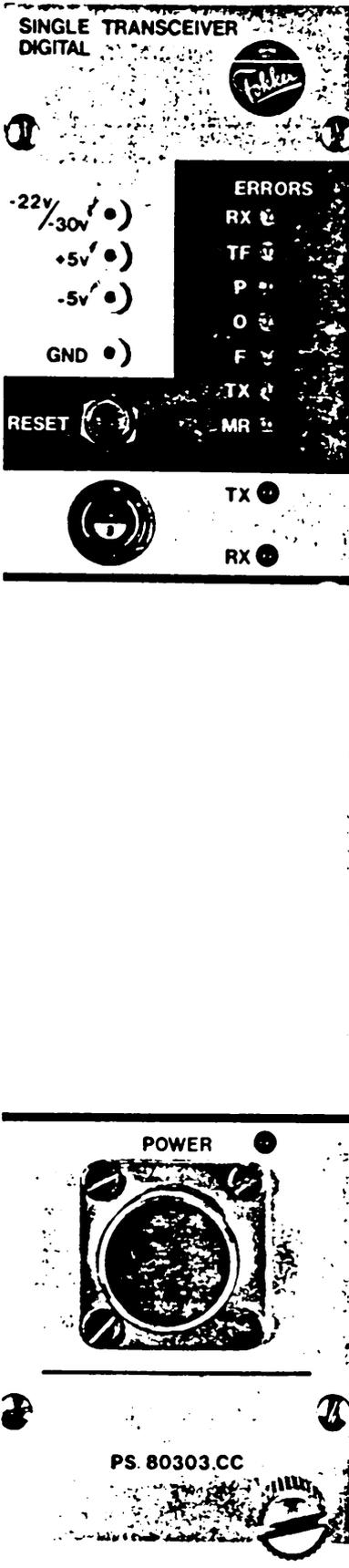
- 6 volts - - 50 mA

- 24 volts - - 7 mA

9. CARACTERISTIQUES DES CABLES DE LIAISON

Pour toutes liaisons dont la distance est inférieure ou au plus égale à 100m, un câble du type bifilaire blindé (Référence CERN 04.21.51.055.4) peut être utilisé.

Si la distance séparant le QUAD du module Single est supérieure à 100 m et n'excède pas 1 km., un câble type vidéo (Référence CERN 04.51.10.100.9 ou 04.51.10.150.9) est recommandé; les paires vidéo étant seules utilisées.



C. LE SINGLE TRANSCEIVER DIGITAL

Description

C'est un module réalisé en mécanique CIM de 3 unités de largeur et 5 unités de hauteur.

Toutes les connexions avec le processus sont réalisées à l'arrière du module par l'intermédiaire d'un connecteur 2 x 43 contacts (figure 1136 CC 105). Le module a une alimentation 220 V qui délivre les différentes tensions nécessaires à son fonctionnement. Une liaison bidirectionnelle connecte le module Single Transceiver au module Camac QUAD Transceiver. La transmission des données entre les deux modules est faite en mode série (half duplex) par l'intermédiaire de transformateurs qui réalisent une isolation DC. Un microprocesseur interne règle le transfert des données en réponse aux demandes générées par le module Camac et gère les entrées/sorties du module. Se référer au chapitre (A) pour la description des échanges de données entre QUAD et SINGLE-TRANSCEIVER.

Le module Single Transceiver Digital est un "2 x 16 bits IN, 2 x 16 bits OUT Registers" qui est conçu pour prendre place dans un équipement et réaliser l'interface de contrôle entre l'électronique spécifique et le camac auquel il est lié. Il répond notamment aux spécifications d'un protocole de contrôle des alimentations (Standard PS) défini dans le note CFRN/PS/BR 77.54.

1. REGISTRES DE SORTIES DU MODULE ET IMPULSIONS ASSOCIEES.

1.1. Principe de chargement des registres A et B.

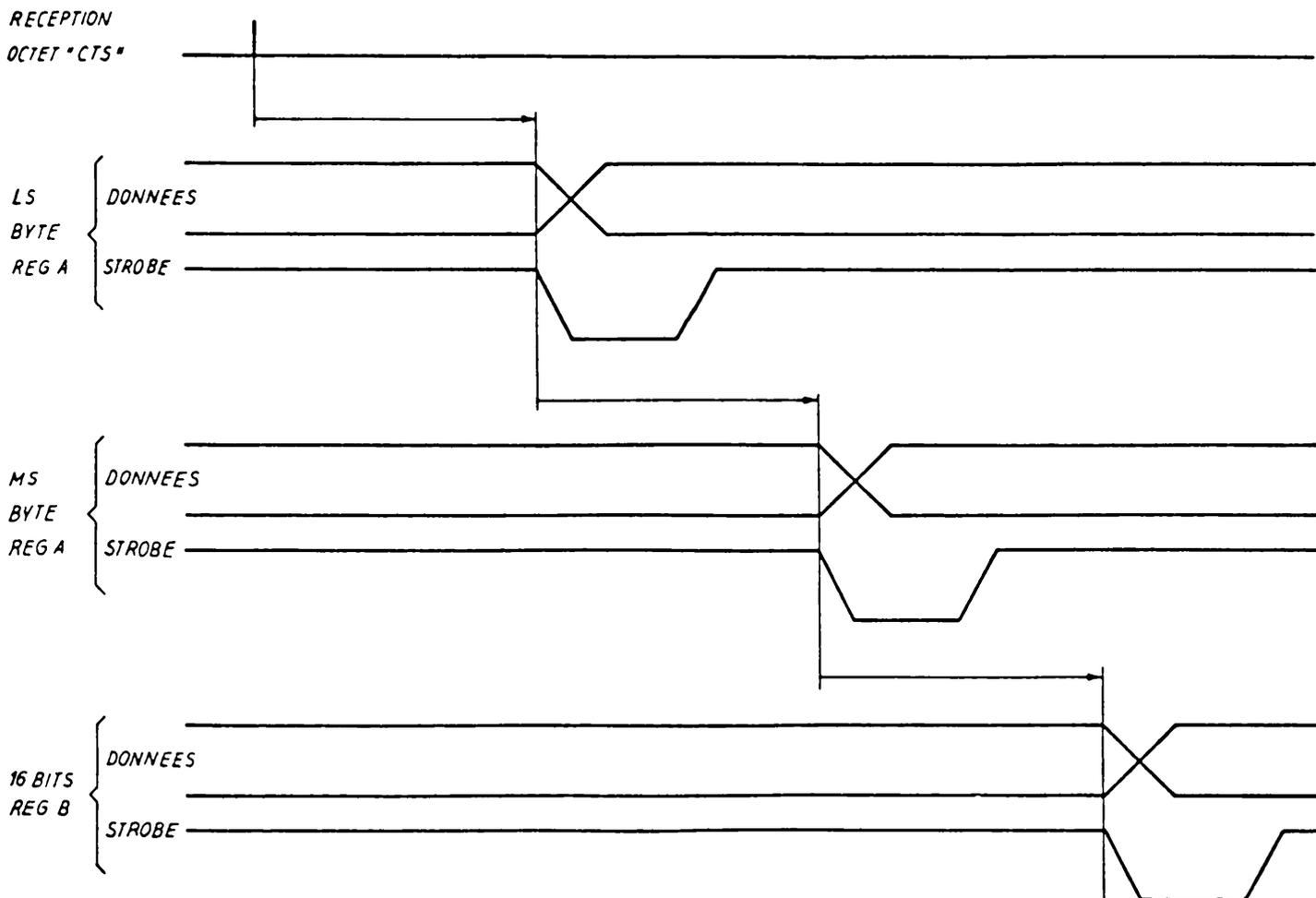
Le processeur effectue le chargement des registres après réception de l'octet "CTS" si aucune erreur dans la réception des données envoyées par le QUAD TRANSCEIVER n'a été détectée par le receveur série. Dans le cas d'une erreur trouvée, les données ne sont pas chargées dans les registres de sorties. Une led correspondant à l'erreur est allumée en face avant du module et le processeur ne fournira aucune réponse à la prochaine demande de lecture émise par le module camac qui déclarera alors le canal dans l'état CFF.

1.2. Séquences de chargement des registres A et B.

Deux séquences différentes suivant la version du microprocesseur SINGLE utilisée :

Microprocesseur SINGLE 2

Les Registres A et B sont chargés séquentiellement par le processeur. A chaque transfert de données venant du camac, les registres A et B sont chargés et les impulsions associées activées.



Microprocesseur SINGLE 3

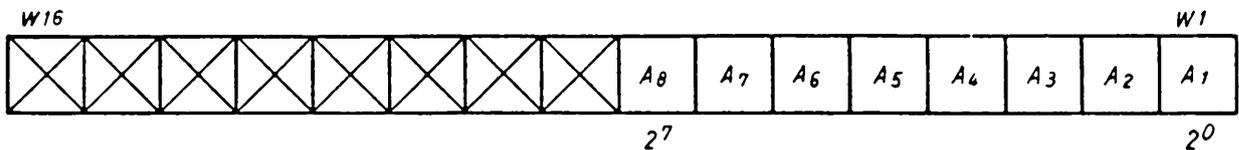
Les Registres A et B sont chargés sélectivement par le processeur. Le contenu de chaque registre est comparé à la donnée reçue qui lui est destinée. Si une différence apparaît entre la nouvelle valeur et l'ancienne, le processeur effectue le chargement de ce registre et l'impulsion associée est sortie. Dans le cas contraire, le chargement n'a pas lieu, l'impulsion ne sort pas et le processeur examine le registre suivant pour y exécuter la même tâche (dans l'ordre : LS byte Reg. A, MS byte Reg. A, 16 bits Reg. B).

1.3. Registre A

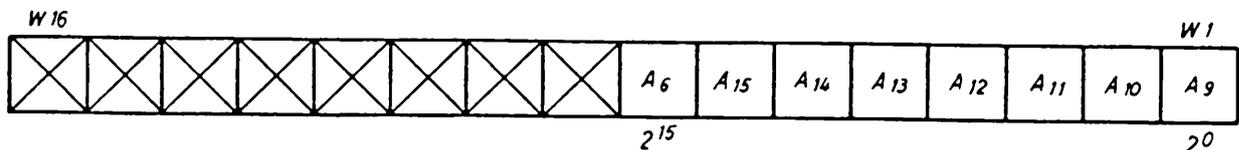
C'est un registre de 2 x 8 bits dont chaque octet peut être contrôlé individuellement depuis l'interconnexion CAMAC.

Images du Registre A dans la mémoire de Transmission du QUAD TRANSCIEVER

Octet de poids faible



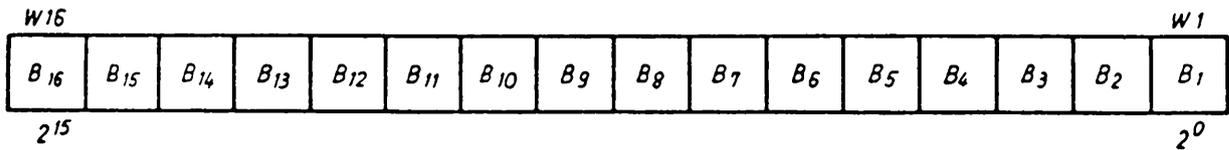
Octet de poids fort



1.4. Registre E

C'est un registre de 16 bits plein .

Image du Registre E dans la mémoire de Transmission du QUAD
TRANSCIVER



1.5. Description des circuits de sorties

Les registres A et E ainsi que les impulsions associées (Strobe LS byte Reg. A, Strobe MS byte Reg. A, Strobe Reg. E) sont fournis à l'utilisateur par l'intermédiaire de circuits du type Darlington collecteur ouvert (se référer à l'annexe 1). Chaque sortie est protégée par des diodes (clamp diodes) qui permettent aux circuits la commutation de charge inductive. Un point commun (EXT open collector supply voltage) rassemble les cathodes de toutes les diodes de protection d'un même registre.

1.6. Autonomie des registres de sorties.

L'état des sorties (Registres A et E) est assuré durant 1 seconde après une coupure de l'alimentation 220 v du module. Cette caractéristique rend donc les sorties insensibles aux éventuelles microcoupures du réseau.

2. REGISTRES D'ENTREES ET IMPULSIONS ASSOCIEES.

2.1. Description des modes de fonctionnement.

Les registres C et D sont des registres qui peuvent être utilisés sous trois modes de fonctionnement. Le choix entre l'un ou l'autre mode est effectué par l'utilisateur au moyen de connexions "Straps" sur le connecteur arrière du module Single Transceiver.

Mode Register

Dans ce mode, la donnée est fournie par l'équipement avec une impulsion qui permet le chargement du registre. Synchronisé avec la demande de lecture envoyée par le QUAD qui suit l'écriture de la donnée dans le registre, le processeur SINGLE est appelé à lire ce registre. Il compare alors le contenu du registre avec l'image de la précédente valeur qu'il a en mémoire. Si une différence apparaît entre ces deux valeurs, le processeur remet à jour l'image en mémoire et active un flag interne. Le Test du flag à la prochaine demande de lecture permettra au processeur d'envoyer au QUAD une réponse positive accompagnée de 5 octets de données (Reg C + Reg D + Status Single).

Remarque:

Le contenu du registre est maintenu 1 seconde lors d'une coupure de l'alimentation 220 V du module, ce qui évite en cas de microcoupure du réseau la recharge de ce registre par l'équipement.

Mode Line-Surveyor

Aucune impulsion de chargement extérieur est nécessaire. A chaque demande de lecture envoyée par le QUAD, le processeur lit les entrées des registres C et D. Chaque donnée lue est comparée avec son image en mémoire. Si les deux valeurs sont différentes, le processeur remet à jour l'image, charge le bit "News data" dans le registre "Status Single" et active un flag interne. Le test de ce flag à la prochaine demande de lecture permettra au processeur d'envoyer au QUAD une réponse positive et 5 octets de données (Reg C + Reg D + Status Single).

Mode Delayed line Surveyor.

Aucune impulsion de chargement extérieure est nécessaire. A chaque demande de lecture envoyée par le QUAD, le processeur lit les entrées des registres C et D. Chaque donnée lue est comparée avec

son image en mémoire. Si les deux valeurs ne sont pas égales, le processeur démarre un délai de 40 ms. Tant que ce délai est en cours, les entrées correspondantes ne sont plus regardées. A la demande de lecture suivant immédiatement la fin de ce délai, une relecture est effectuée suivie d'une comparaison avec l'image. Si une différence apparaît toujours entre les deux valeurs, le processeur remet à jour l'image mémoire, charge le bit "News data" dans le registre Status Single et active un flag interne.

Le test de ce flag à la prochaine demande de lecture permettra au processeur d'envoyer au QUAD une réponse positive suivie de 5 octets de données. (Reg C + Reg D + Status Single).

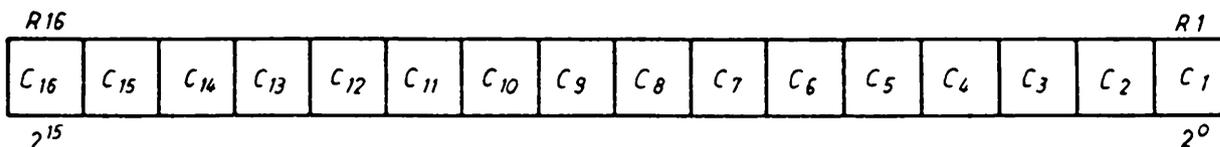
2.2. Choix des modes

STRAPS CONNECTEUR	MODES ENTREES C
	MODE REGISTRE
	MODE LINE SURVEYOR
	MODE DELAYD LINE SURVEYOR

STRAPS CONNECTEUR	MODES ENTREES D
	MODE REGISTRE
	MODE LINE SURVEYOR
	MODE DELAYED LINE SURVEYOR

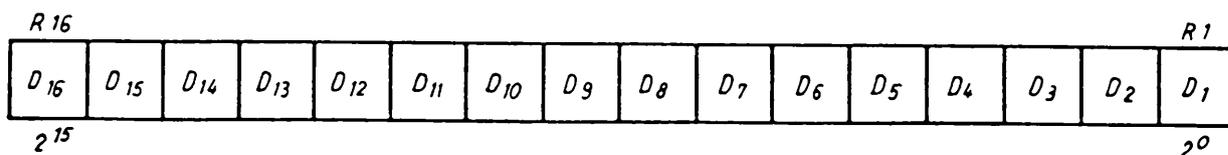
2.3. Registre C

Image du Registre C dans la mémoire de réception du QUAD TRANSCEIVER.



2.4. Registre D

Image du Registre D dans la mémoire de Réception du QUAD TRANSCEIVER



2.5. Description des circuits d'entrées.

Les entrées données Registres C et D et les entrées impulsions (Strobe Reg C et Strobe Reg D) passent par des circuits adaptateurs. (se référer à l'annexe 2)

Ces circuits permettent d'adapter les entrées du module Single Transceiver aux différents niveaux de sorties (TTL à + 24 volts) pouvant être délivrés par les équipements connectés. Si les entrées d'un registre sont connectées à une source qui délivre des signaux d'un niveau différent du niveau TTL, la tension source (positive) devra être appliquée à l'entrée "external input comparator supply voltage" du registre concerné.

3. REGISTRE D'ERREURS

C'est un registre interne réservé à la visualisation des erreurs. Il est chargé par le processeur Single lorsque celui-ci découvre une faute dans l'exécution d'une tâche. L'affichage est réalisé par des "leds" en face avant du module. Un bouton "RESET" permet la remise à zéro manuelle du registre. Lorsqu'une erreur est détectée, le processeur ne fournit aucune réponse à la prochaine demande de lecture envoyée par le QUAD Transceiver qui interrompt la communication sur ce canal en le mettant dans l'état CFF.

Description des erreurs visualisées.

RX (Receiver disabled):

Cette faute apparaît lorsque le processeur ne parvient pas à mettre en service le démodulateur.

TF (Time OUT Receiver):

Après réception d'une demande d'écriture, le processeur attend cinq octets de données. Si l'attente d'un octet excède 120 µs, un Time CUT est produit et les informations précédemment reçues sont abandonnées.

P (Parity):

Elle est calculée par l'interface de communication série (PCI) à la réception d'une donnée puis est comparée au bit de parité fournie par le QUAD. Une erreur est détectée si les deux parités sont inégales, et le processeur abandonne le transfert en cours.

C (Cverrun):

Indique qu'un mot est reçu par l'interface de communication série alors que le précédent n'est pas encore lu par le processeur. Les données en cours de transfert sont abandonnées.

F (Framming):

La structure série de chaque mot reçu est analysée par le PCI. Si le nombre de "Stop bit" n'est pas conforme, une erreur est détectée et le transfert abandonné.

TX (Transmitter Disabled):

Indique que la mise en série d'un octet chargé par le processeur dans le PCI ne s'est pas effectué.

MR (Mode Registre PCI):

A l'initialisation du module Single, le processeur charge dans le PCI deux mots (MR1 et MR2) définissant les modes de fonctionnement de l'interface série. Régulièrement ces deux mots sont examinés. Si leur état n'est pas conforme, le processeur active l'erreur et recharge MR1 et MR2.

4. INITIALISATION DU MODULE.

Elle est provoquée à la mise sous tension et produit les actions suivantes:

- Reset du Processeur et du PCI.
- Remise à zéro du Registres d'erreurs.

Si la coupure a été supérieure à 1 seconde, à la mise sous tension :

- Remise à zéro des registres A+E+C+D et du registre interne Contrôle Single. Suite à une initialisation, en réponse à la première demande de lecture, le processeur SINGLE retransmet toujours au QUAD le contenu des registres C + D + Status Single.

5. CARACTERISTIQUES ELECTRIQUES DU MODULE SINGLE TRANSCEIVER DIGITAL

5.1. Alimentation Electrique :

Secteur 220V (+10%, -20%) 50Hz(+/-10%) - Puissance : 5 Watts max.

Remarques:

Une protection extérieure doit être assurée sur le secteur par un fusible type fusion rapide 0,250 A. Le 0 Volt Single (0 V Digital Board) est isolé de la mécanique du module qui est à la terre de l'alimentation.

5.2. Sorties du Module. (se référer à l'annexe 1)

Données et Strokes:

Circuits "Open collector Darlington".

Courant collecteur IC max = 50 mA

1 logique : Tension de saturation collecteur/émetteur : 0,9 Volt à 1,1 Volt

0 logique : Tension collecteur/emetteur (collecteur ouvert): 80 volts max.

Tension inverse clamp diodes 80 volts max.

Strokes:

Impulsions de 10 μ s. Le chargement d'une mémoire locale se fait avec le flanc arrière de l'impulsion.

5.3. Entrées du module (Se référer à l'annexe 2)

Données et Strokes

Niveau TTL

1 logique - Tension d'entrée < + 2 volts.

0 logique - Collecteur ouvert ou + 5 volts max.

Haut niveau

Les niveaux logiques sont fonction de la tension (V) appliquée à l'entrée "External Input comparator supply Voltage" : (V) max = + 24 volts.

1 logique - Tension d'entrée $< \frac{\text{V}}{2,5}$

0 logique $\approx \text{V}$

Courant max absorbé par l'entrée "External Input comparator supply Voltage" ≈ 50 mA.

Strobes

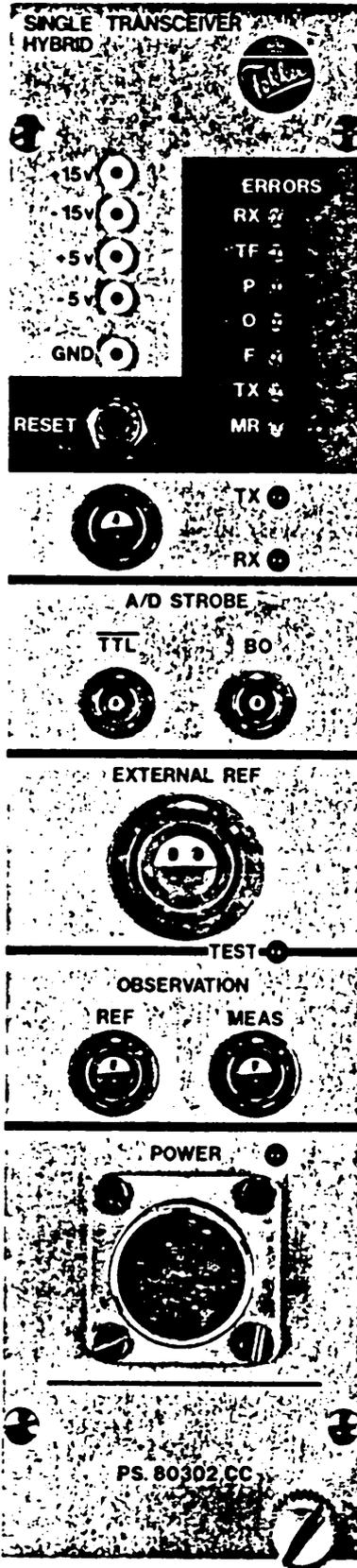
Impulsion de durée ≥ 1 μ s. (Le chargement du registre a lieu sur le flanc avant de l'impulsion).

EDITIONS

2-G Rev
25 9 30

A		B	
REG A1	1	1	REG C1
A2	2	2	C2
A3	3	3	C3
A4	4	4	C4
A5	5	5	C5
A6	6	6	C6
A7	7	7	C7
A8	8	8	C8
STROBE LS BYTE REG A	9	9	EXT IN COMPARTOR SUPPLY VOLTAGE REG C
A9	10	10	C9
A10	11	11	C10
A11	12	12	C11
A12	13	13	C12
A13	14	14	C13
A14	15	15	C14
A15	16	16	C15
A16	17	17	C16
STROBE MS BYTE REG A	18	18	STROBE REG C
EXT COM OPEN COLLECTOR SUPPLY VOLTAGE REG A	19	19	MODE REGISTER C
OV (DIGITAL BOARD)	20	20	ENABLE DELAY - C
	21	21	
STROBE REG B	22	22	STROBE REG D
REG B1	23	23	REG D1
B2	24	24	D2
B3	25	25	D3
B4	26	26	D4
B5	27	27	D5
B6	28	28	D6
B7	29	29	D7
B8	30	30	D8
B9	31	31	D9
B10	32	32	D10
B11	33	33	D11
B12	34	34	D12
B13	35	35	D13
B14	36	36	D14
B15	37	37	D15
B16	38	38	D16
EXT COM OPEN COLLECTOR SUPPLY VOLTAGE REG B	39	39	EXT IN COMPARTOR SUPPLY VOLTAGE REG D
	40	40	MODE REGISTER D
	41	41	ENABLE DELAY - D
OV (DIGITAL BOARD)	42	42	OV (DIGITAL BOARD)
	43	43	

CONNECTOR TO TERMINAL OR USER SPECIFIC BOARD



D. LE SINGLE TRANSCÉIVFR HYERID

Description

C'est un module réalisé en mécanique CIM de 3 unités de largeur et 5 unités de hauteur. Toutes les connexions avec l'équipement à contrôler sont réalisées à l'arrière du module par l'intermédiaire d'un connecteur 2 x 43 contacts (Figure 1136 CC 104).

Les liaisons aux systèmes tels que Timing, Générateur de fonction, et Observation des signaux analogiques sont prévues en face avant. Le module a une alimentation 220 V qui délivre les différentes tensions nécessaires à son fonctionnement. Une liaison bidirectionnelle connecte le module SINGLE TRANSCÉIVFR au module CAMAC QUAD TRANSCÉIVFR.

La transmission des données entre les deux modules est faite en mode série (half duplex) par l'intermédiaire de transformateurs qui réalisent une isolation DC. Un microprocesseur règle le transfert des données en réponse aux demandes générées par le module camac et gère les entrées/sorties du module. Se référer au chapitre (A) pour la description des échanges de données entre QUAD et SINGLE-TRANSCÉIVFR.

Le module Single Transceiver Hybrid est une interface de contrôle spécialisée conçue pour s'intégrer dans une alimentation de puissance. Il répond aux spécifications d'un protocole de contrôle des alimentations (standard PS) défini dans la note "Interface de contrôle des alimentations" : CERN/PS/EP 77.54.

Le module est constitué d'un registre de sorties de 2 x 8 bits réservés aux Actuations et Tests de l'alimentation et d'un registre d'entrées de 16 bits réservés aux QUITANCES et INDICATIONS issues de l'alimentation. La partie analogique comporte un convertisseur Digital/Analog (Multiplying DAC) et un convertisseur Analog/Digital ayant chacun 12 bits de résolution, plus un bit signe.

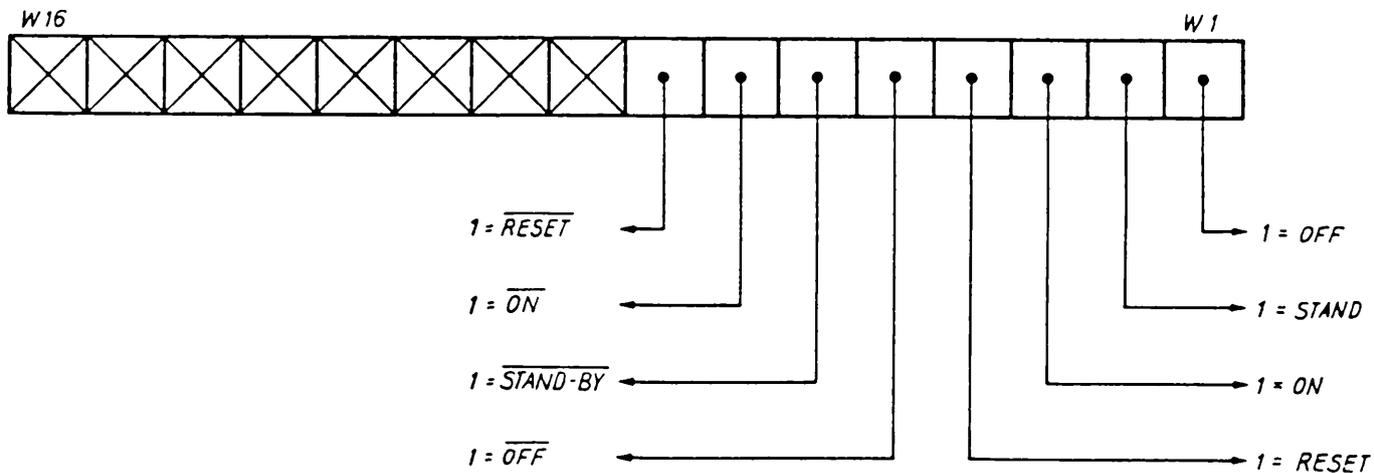
1. REGISTRE DES ACTUATIONS ET TESTS

C'est le registre A de la mémoire de Transmission du QUAD TRANSCEIVER. Ce registre est formé de deux octets contrôlables individuellement depuis l'interconnexion CAMAC.

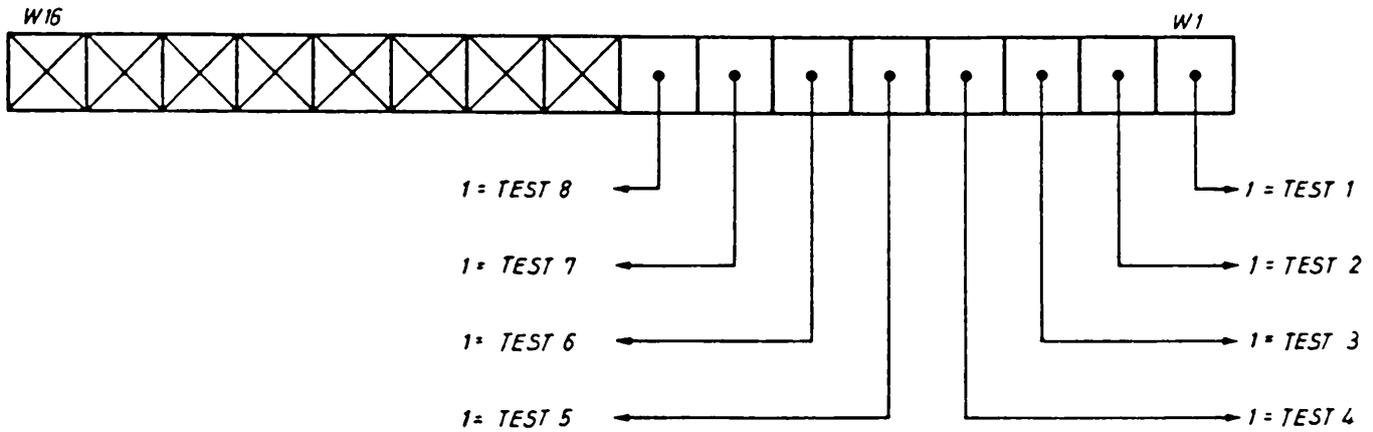
L'octet "ACTUATIONS" est associé à une impulsion de sortie "Strobe actuations" et l'octet "TEST" à l'impulsion "Strobe Tests". Les 8 bits de l'octet actuations sont définis par le protocole de contrôle; par contre, les 8 bits de l'octet "TESTS" sont disponibles, sans restriction à des fins de tests au niveau de l'alimentation. Le fonctionnement de ce registre est décrit aux paragraphes C 1/1 et C 1/2. Une description des circuits de sorties est donnée au paragraphe C 1/5.

1.1. Image du Reg.A dans la mémoire de Transmission du Q.TRANSCEIVER

Octet de poids faible = Cctet ACTUATIONS



Octet de poids fort = Octet TESTS



1.2. Autonomie du registre Actuations et Tests

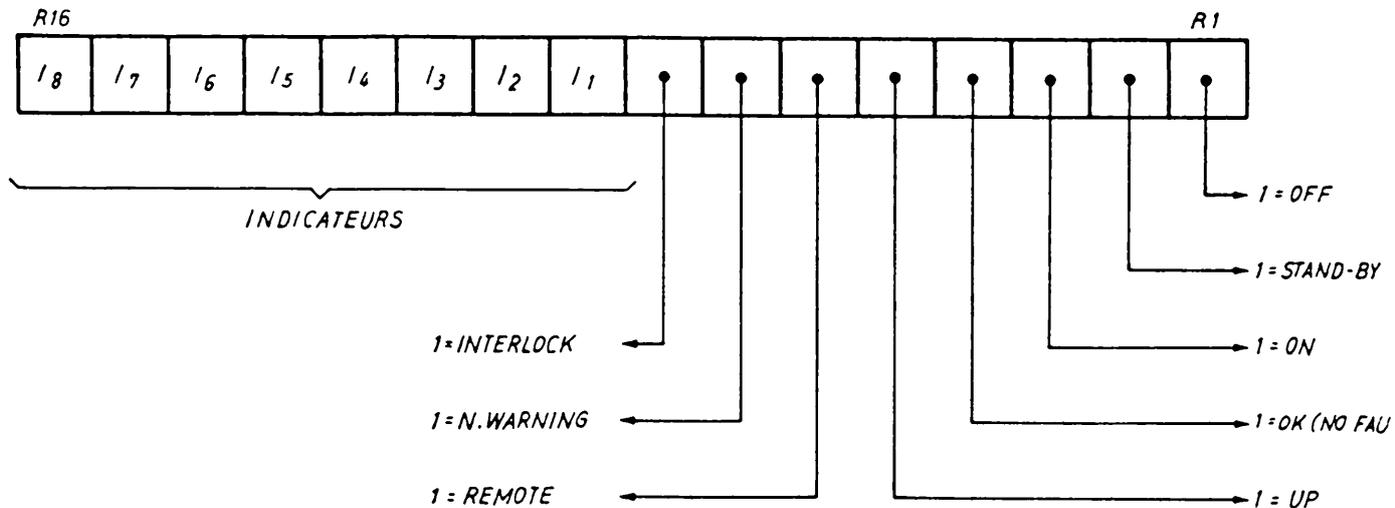
L'état des sorties de ce registre est assuré durant 1 seconde après une coupure de l'alimentation 220 V du module. Cette caractéristique rend donc les sorties insensibles aux éventuelles microcoupures du réseau.

2. REGISTRE DES QUITTANCES ET INDICATIONS

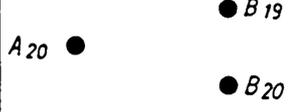
C'est le registre C de la mémoire de réception du QUAD-TRANSCEIVER. Dans ce registre de 16 bits, les 8 premiers bits sont réservés aux quittances issues de l'alimentation et définies par le protocole de contrôle, les 8 autres bits sont des indications (Interlocks) provenant de détecteurs dans l'équipement (fautes ou Warning).

Ce registre peut être utilisé sous trois modes de fonctionnement décrits dans le paragraphe C 2/1. Dans le mode registre, une impulsion extérieure (Strobe Status-word) permet le chargement des quittances et indications qui seront sauvegardées durant 1 seconde lors d'une coupure de l'alimentation 220 V du module. Le choix entre l'un ou l'autre mode est effectué par l'utilisateur au moyen de connexions sur le connecteur arrière du module.

2.1. Image du Reg.C dans la mémoire de réception du Q.TRANSCEIVER



2.2. Choix des modes registre QUITTANCES/INDICATIONS

<i>STRAPS CONNECTOR</i>	<i>MODES</i>
	<i>MODE REGISTRE</i>
	<i>MODE LINE SURVEYOR</i>
	<i>MODE DELAYED LINE SURVEYOR</i>

Note:

Une description des circuits d'entrées est donnée au paragraphe C 2/5.

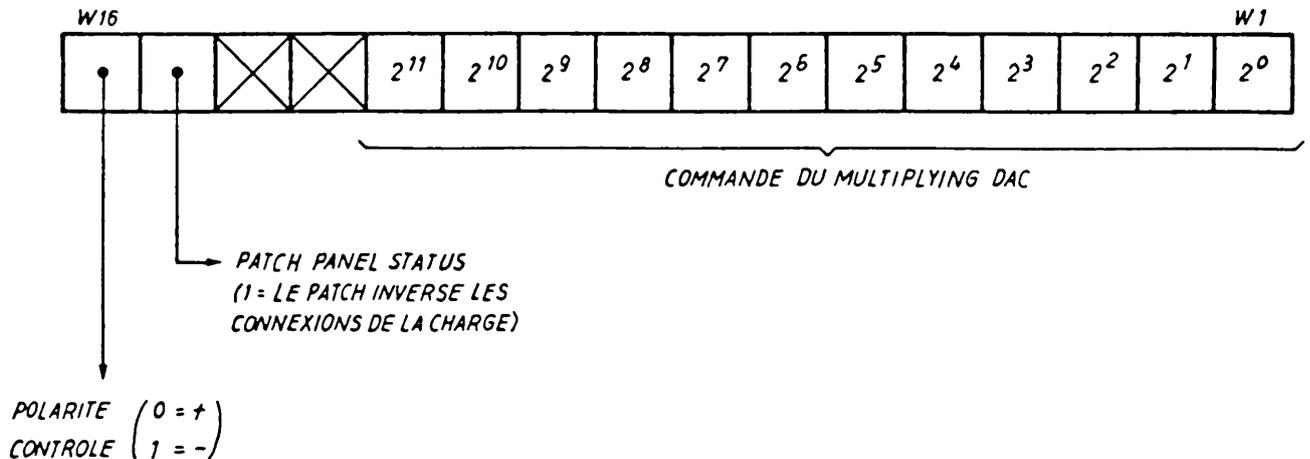
3. CONVERSION DIGITALE/ANALOGIQUE

Elle est assurée par un "Multiplying Digital to Analog Converter" ayant une résolution de 12 bits et contrôlé par l'intermédiaire du registre B. Une référence Tension pilote ce MDAC.

Cette référence est choisie parmi deux sources : une source interne au module, une source externe. La source externe est un générateur de fonction autonome (note CERN/MPS/CCI 75-1) connecté en face avant du Single Transceiver Hybrid.

Le choix entre l'une ou l'autre source s'effectue par des connexions sur le connecteur arrière. Le signal de sortie du MDAC (REFERENCE CUT) est donné à l'équipement au niveau des contacts A39 et A40 du connecteur arrière. L'image de ce signal est également disponible en face avant du module sur un connecteur (OBSERVATION REF). Ce connecteur est réservé à l'observation locale ou par le système d'observation des signaux (SCS).

3.1. Image du Reg.B dans la mémoire de réception du Q.TRANSCEIVER



Note:

L'impulsion de chargement du registre B est sortie du module (Strobe Référence CUT) à disposition de l'équipement. Elle a les mêmes caractéristiques que les impulsions Strobe Actuations et Strobe Tests.

3.2. Description et utilisation du bit Polarité Contrôle

Le bit 16 du Registre B et le bit de polarité en commande. L'état 0 logique est défini comme étant la polarité positive et l'état 1 logique, la polarité négative. Ce bit est sorti sur le connecteur arrière du Single (Polarity Control CUT) et peut être utilisé par l'équipement de deux manières :

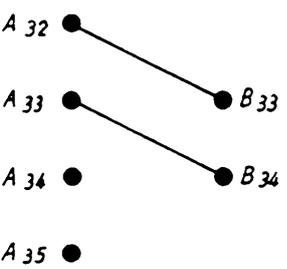
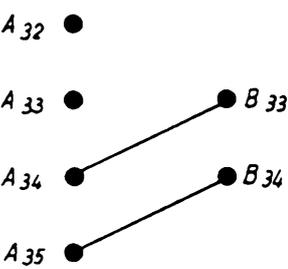
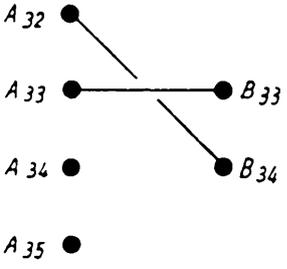
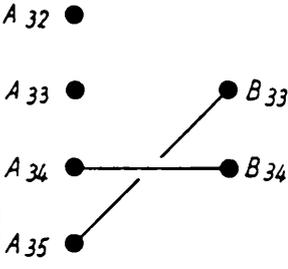
1) Connecté à l'entrée (Inverter Control MDAC) du Single, il commande l'inversion de polarité de la référence tension à l'entrée du MDAC donc le changement de signe de la sortie REFERENCE CUT du Single Hybrid.

2) Connecté directement à l'équipement, il commande un "Polarity Inverter". Dans ce cas le signal REFERENCE CUT du Single est unipolaire, sa polarité étant fonction de celle de la référence tension à l'entrée du MDAC.

3.3. Description et utilisation du bit Patch panel Status.

C'est le bit 15 du registre B. Il donne une information d'état sur les connexions entre l'alimentation et sa charge lorsqu'un "patch panel" existe entre les deux. L'état 1 logique indique que le patch inverse les connexions. Dans ce cas si le shunt ou DCCT est placé en amont du patch, le Single inverse la polarité de la mesure et inverse le signal à la sortie "OBSERVATION MEAS". La polarité acquise est donc réellement celle du courant dans la charge et le signal observé, l'image du courant la traversant.

3.4. Choix de la référence pilotant le MDAC

STRAPS CONNECTEUR	REF ENTREE MDAC	STRAPS CONNECTEUR	REF ENTREE MDAC
	REFERENCE EXTERNE		REFERENCE INTERNE
	REFERENCE EXTERNE INVERSE		REFERENCE INTERNE INVERSE

3.5. Influence d'une coupure secteur sur le sortie Analogique

La sortie "REFERENCE CUT" risque d'être perturbée lors d'une coupure brève de l'alimentation 220 V du module Single alors que la valeur de commande du MDAC est assurée pendant 1 seconde.

3.6. Tableau de vérité de la polarité contrôle.

EXT REF	INT REF	STRAPS SINGLE CONNECTOR Choice of EXT REF or INT REF	REGISTER B BIT 16 Polarity Control 0 = No Inversion 1 = Inversion	STRAP SINGLE CONNECTOR Inverter Control DAC Polarity Control OUT	REF OUT		OBS REF		INVERTER
					A 39	A 40	PIN 1	PIN 2	
Not Inverted	NC	B 33. A 32 + B 34. A 33	0	A 37 connected A 38	+	-	+	-	Not connected
Inverted	NC	B 33. A 33 + B 34. A 32	0		-	+	-	+	
NC	Not Inverted	B 33. A 34 + B 34. A 35	0		+	-	+	-	
NC	Inverted	B 33. A 35 + B 34. A 34	0		-	+	-	+	
Not Inverted	NC	B 33. A 32 + B 34. A 33	1		-	+	-	+	
Inverted	NC	B 33. A 33 + B 34. A 32	1		+	-	+	-	
NC	Not Inverted	B 33. A 34 + B 34. A 35	1		-	+	-	+	
NC	Inverted	B 33. A 35 + B 34. A 34	1		+	-	+	-	
Not Inverted	NC	B 33. A 32 + B 34. A 33	0	A 37 not connected	+	-	+	-	0 (A 38 connect to Inverter)
Inverted	NC	B 33. A 33 + B 34. A 32	0		-	+	-	+	0
NC	Not Inverted	B 33. A 34 + B 34. A 35	0		+	-	+	-	0
NC	Inverted	B 33. A 35 + B 34. A 34	0		-	+	-	+	0
Not Inverted	NC	B 33. A 32 + B 34. A 33	1		+	-	+	-	1 (A 38 connect to Inverter)
Inverted	NC	B 33. A 33 + B 34. A 32	1		-	+	-	+	1
NC	Not Inverted	B 33. A 34 + B 34. A 35	1		+	-	+	-	1
NC	Inverted	B 33. A 35 + B 34. A 34	1		-	+	-	+	1

4. CONVERSION ANALOGIQUE/DIGINALE.

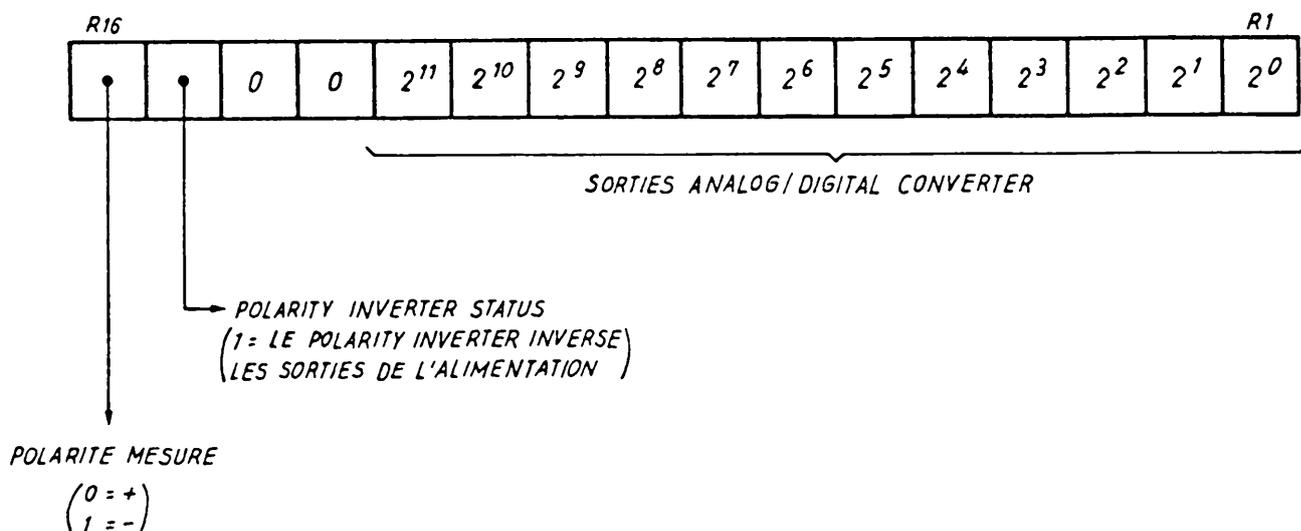
Un convertisseur A/D ayant 12 bits de résolution charge le résultat d'une mesure dans le registre D. C'est un système annexe qui détecte la polarité du signal présent à l'entrée du module (MEASURE IN). Cette entrée peut être programmée par l'utilisateur afin de choisir la gamme de tension appropriée au signal à mesurer. Quatre gammes de tensions d'entrée sont offertes (+/-10V, +/-5V, +/-2,5V, +/-1V max); le choix se faisant par des connexions sur le connecteur arrière.

Une sortie en face avant du Single (OBSERVATION MEAS) restitue l'image du signal à mesurer à des fins d'observation soit localement, soit à travers le système d'observation des signaux (SCS).

Remarque:

Le registre D est utilisé en mode registre exclusivement. L'impulsion de chargement est fournie par l'ADC en fin de conversion.

4.1. Image du Reg. D dans la mémoire de réception du Q. TRANSCEIVER



4.2. Etat d'un "Polarity Inverter"

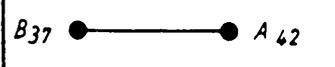
Certaines alimentations à sortie unipolaire utilisent un "Polarity Inverter" pour inverser le courant dans la charge. Dans ce cas l'"Inverter" est commandé par la sortie Polarité contrôle du Single et fournit en retour un bit d'état (Polarity Inverter IN) entrant sur le connecteur arrière. C'est le bit 15 du Registre D dont l'état 1 logique indique qu'il y a inversion.

4.3. Description du bit Polarité Mesure

Le bit 16 du registre D est la polarité corrigée de la mesure effectuée par l'ADC. L'état de ce bit (0 logique +, 1 logique -) est fonction des paramètres suivants :

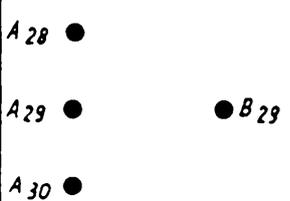
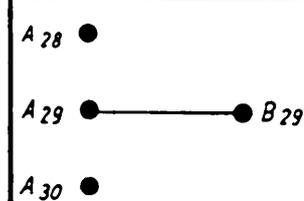
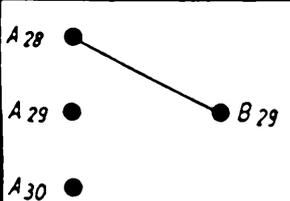
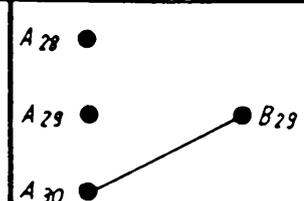
- A) Polarité réelle du signal sur l'entrée "MEASURE IN".
- B) Etat du bit 15 Registre B "Patch Panel Status".
- C) Etat de l'entrée Single "Polarity INVERTER".
- D) Etat de l'entrée Single "Shunt Position".

Dans le cas d'une alimentation avec "Polarity Inverter" le shunt peut être en amont de l'Inverter ou en aval. La connexion sur l'entrée "Shunt Position" définit la position de celui-ci. Les annexes 3+4+5 montrent les différentes possibilités de connexions suivant qu'il y a ou non un "Polarity Inverter" avec l'alimentation.

STRAP CONNECTEUR	SHUNT POSITION
	SHUNT EN AMONT DU POLARITY INVERTER
	SHUNT EN AVAL DU POLARITY INVERTER

La correction de la polarité mesure et de celle du signal à la sortie "RESERVATION MEAS" a pour but de fournir une mesure dont le signe est réellement celui du courant dans la charge et un signal d'observation qui est l'image de celui aux bornes de la charge.

4.4. Choix de la gamme de Tension d'entrée

STRAPS CONNECTEUR	TENSION MAX A L'ENTREE	GAIN DE L'ENTREE	STRAPS CONNECTEUR	TENSION MAX A L'ENTREE	GAIN DE L'ENTREE
	$\pm 10 V$	1		$\pm 2.5 V$	4
	$\pm 5 V$	2		$\pm 1 V$	10

4.5. Tableau de vérité de la polarité mesure

MEASURE IN		REGISTER B BIT 15 (Patch Panel Status) 0 = No Inversion 1 = Inversion		STRAP SINGLE CONNECTOR Shunt Position 0 = Down Stream of Inverter 1 = Up Stream of Inverter	REGISTER D BIT 15 Inverter Polarity Status 0 = No Inversion 1 = Inversion		OBS MEASURE LEMO CONNECTOR PIN 1 PIN 2	
B 33	B 40							
+	-	0		0 (B37 connected A42)	0	0	+	-
-	+	0		0 "	0	1	-	+
+	-	0		0 "	0	1	+	-
-	+	0		0 "	0	1	-	+
+	-	0		1 (B37 not connected)	0	0	+	-
-	+	0		1 "	0	1	-	+
+	-	0		1 "	0	1	-	+
-	+	0		1 "	0	1	+	-
+	-	1		0 (B37 Connected A42)	0	0	-	+
-	+	1		0 "	0	0	+	-
+	-	1		0 "	0	1	-	+
-	+	1		0 "	0	1	+	-
+	-	1		1 (B37 not connected)	0	0	-	+
-	+	1		1 "	0	0	+	-
+	-	1		1 "	0	1	+	-
-	+	1		1 "	0	1	-	+

UP = AVANT POLARITY INVERTER
DOWN = APRES POLARITY INVERTER

4.6. Déclenchement d'une conversion Analogique/Digitale

Une impulsion est nécessaire à l'ADC pour déclencher une mesure. Cette impulsion peut provenir de plusieurs sources :

1) De l'équipement spécifique même : dans ce cas l'impulsion entre sur le connecteur arrière du Single.(Strobe Measure).

2) Du système de cadencement : dans ce cas l'impulsion entre en face avant du module. Deux possibilités de connexions:

A) Si c'est une impulsion standard (30V, 1,5 μ s) elle est connectée à l'entrée "A/D Strobe BC". Un transformateur d'impulsion réalise une isolation galvanique entre le Single et le générateur sur cette entrée.

B) Si c'est une impulsion de niveau TTL, elle est connectée à l'entrée "A/D Strobe TTL".

3) Interne au Single Hybride : Le bit "INT-TG" du registre Control Single, s'il est à 1 logique, empêche les sources de déclenchement extérieures. Chaque fois que ce registre est chargé par le processeur et que le bit "INT-TG" est set, une impulsion vers l'ADC est générée. Le chargement du registre interne "Control Single" est effectué à chaque transfert de données venant du QUAD TRANSCEIVER si aucune erreur dans la réception n'a été détectée par le receveur série.

5. TESTS DE LA PARTIE ANALOGIQUE

Ils sont décrits au paragraphe B4/2/2. Le bit "ENT" du registre control Single qui autorise ces tests a trois autres fonctions :

- A) Il commute l'entrée Mesure vers la source du test.
- B) Il commande le gain de cette entrée à 1 (gamme de tension +/-10V).
- C) Il allume en face avant du Single une "led" TEST. Cette led indique localement que le module est en mode Tests analogiques et donc que le signal présent à la sortie "OBSERVATION MEAS" n'est plus l'image du courant dans la charge mais est fonction d'un test.

6. REGISTRE D'ERREURS

Il est décrit au paragraphe C3 du présent manuel.

7. INITIALISATION DU MODULE

Elle est décrite au paragraphe C4 du présent manuel.

8. CARACTERISTIQUES ELECTRIQUES DU MODULE SINGLE TRANSCEIVER HYBRID

8.1. Alimentation Electrique

Secteur 220 V (+10%, -20%) 50HZ(+/-10%) Puissance : 8 Watts max.

Remarques:

Une protection extérieure doit être assurée sur le secteur par un fusible type fusion rapide 0,250 A. Le 0 Volt Single (OV Digital Board, OV Analog Board) est isolé de la mécanique du module qui est à la terre de l'alimentation.

8.2. Sorties digitales du module.(se référer à l'annexe 1)

A) Actuations + Tests + Polarity control OUT + Strobes : Circuit "Open collector Darlington".
Courant collecteur IC max 50 mA.
1 logique : Tension de saturation Collecteur/Emetteur : 0.9 volt à 1,1 volts.
0 logique : Tension collecteur/Emetteur (collecteur ouvert) 80 Volts max.
Tension inverse clamp diodes 80 volts max.

B) Strobes : Impulsions de 10 μ s. Le chargement d'une mémoire locale se fait avec le flanc arrière de l'impulsion.

8.3. Entrées digitales du module.(se référer à l'annexe 2)

Quittances + Indications + Polarity Inverter IN + Strobes :

A) Niveau TTL:

1 logique - Tension d'entrée < + 2 volts
0 logique - Collecteur ouvert ou + 5 volts max

B) Haut niveau:

Les niveaux logiques sont fonction de la tension \textcircled{V} appliquée à l'entrée "External Input comparator supply Voltage" : \textcircled{V} max = +24 volts.

1 logique - Tension d'entrée $< \frac{\textcircled{V}}{2,5}$

0 logique = \textcircled{V}

Courant max absorbé "External Input comparator supply Voltage"
50 mA

C) Strobes - Impulsions de durée $\geq 1 \mu$ s.

Strobe Status-Word : Le chargement du registre a lieu sur le flanc Avant de l'impulsion.

Strobe Measure : La conversion AD est déclenchée par le flanc Avant de l'impulsion.

8.4. Sorties Analogiques du module

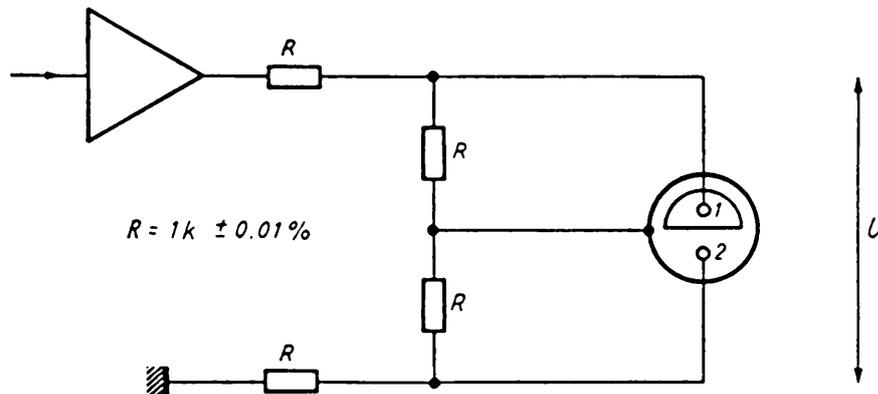
A) Conversion Digitale Analogique

Résolution MDAC 12 bits

E) REFERENCE CUT (Short circuit Protected)

Tension +/- 10 volts +/- 2,44 mV max
Courant +/- 10 mA max
Cffset +/- 0,3 m Volt max
Nonlinearity +/- 0,02 % max
Slew rate 0.8V/ μ s
Noise 0,5 mV p-p max
Feed Through 0,25 m Volt p-p max

C) OBSERVATION



Connecteur Lemo 0 2 pins
Nonlinearity +/- 0,02 % max
Cffset +/- 0,3 m Volt max

- Observation REF: $U = \frac{\text{REFERENCE CUT}}{2} \pm 0,02 \% \text{ max}$ - Noise 0,5 mV p-p max

- Observation MEAS : $U = \frac{\text{Tension MEASURE IN X Gain Entrée Single}}{2}$

GAIN ENTREE MEASURE	SORTIE OBSERVATION MEASURE
1	U ± 0.02 % MAX
	NOISE 2 mV p-p MAX
2 OU 4 OU 10	U ± 0.15 % MAX
	NOISE 2 mV p-p MAX

D) REFERENCE INTERNE

Précision Référence +/- 10 V, +/- 0.01 % max.

8.5. Entrées Analogiques du module.

A) Conversion Analogique Digitale

Résolution ADC 12 bits

Temps de conversion 25 µs max

GAMME DE TENSION D'ENTREE CHOISIE	LSB DE LA MESURE	ERREUR MAX SUR LA MESURE
± 10 V	2.442 mV	± 1 LSB
± 5 V	1.221 mV	± 5 LSB
± 2.5 V	0.610 mV	± 5 LSB
± 1 V	0.244 mV	± 5 LSB

B) MFASURE IN

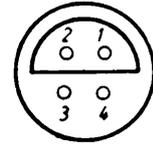
Entrée différentielle +/-10 Volts max
Common Mode Réjection CMR 80 db

C) REFERENCE MDAC

Entrée différentielle +/-10 Volts max
Common Mode Réjection CMR 80 db

D) EXTERNAL REF

1. GND (OV) GFA.
2. Gate externe de la fonction
3. Common CV de la fonction
4. Fonction.



CONNECTEUR
LEMO 2 4 PINS

Remarque :

Les contacts 1 et 2 du connecteur LEMO sont sortis sur le connecteur arrière du Single Hybrid (Contacts F36 et A36).

8.6. Entrées Strobe A/D

A) BC - Entrées connecteur Lemo CC, Impulsion Standard 30 V 1,5 μ s.

B) $\overline{\text{TTL}}$ - Entrée connecteur Lemo CC, Résistance de PULL-UP interne de 47 Khoms sur le +5V.

Impulsion d'entrée $\geq 1 \mu$ s - Le flanc avant de l'impulsion déclenche la conversion

1 logique - < 2 Volts

0 logique - Collecteur ouvert ou + 5 Volts max.

EDITIONS

5 - 4. 1980
 25.9.80
 6 - 29.11.82

A		B	
A ₁ - OFF	1	1	Q - OFF C1
A ₂ - STAND-BY	2	2	Q - STAND-BY C2
A ₃ - ON	3	3	Q - ON C3
A ₄ - RESET	4	4	Q - OK (NO FAULT) C4
A ₅ - OFF	5	5	Q - UP C5
A ₆ - STAND-BY	6	6	Q - REMOTE C6
A ₇ - ON	7	7	Q - N. WARNING C7
A ₈ - RESET	8	8	Q - INTERLOCK C8
STROBE ACTUATION	9	9	EXT IN COMPARTOR SUPPLY VOLTAGE
A ₉ - TEST 1	10	10	11 C9
A ₁₀ - TEST 2	11	11	12 C10
A ₁₁ - TEST 3	12	12	13 C11
A ₁₂ - TEST 4	13	13	14 C12
A ₁₃ - TEST 5	14	14	15 C13
A ₁₄ - TEST 6	15	15	16 C14
A ₁₅ - TEST 7	16	16	17 C15
A ₁₆ - TEST 8	17	17	18 C16
STROBE TEST	18	18	STROBE STATUS-WORD
EXT COM OPEN COLLECTOR SUPPLY VOLTAGE	19	19	MODE REGISTER - C
OV (DIGITAL BOARD)	20	20	ENABLE DELAY - C
	21	21	
STROBE REFERENCE OUT	22	22	STROBE MEASURE
	23	23	
	24	24	
	25	25	
	26	26	
	27	27	
MEASURE ±5V *	28	28	
MEASURE ±2.5V *	29	29	OV (ANALOG BOARD)
MEASURE ±1V **	30	30	
	31	31	
EXT REF + OUT	32	32	
EXT REF - OUT	33	33	DAC IN - REF +
INT REF + OUT	34	34	DAC IN - REF -
OV (ANALOG BOARD)	35	35	
GATE EXTERNAL REFERENCE	36	36	COM(OV) EXTERNAL REFERENCE
INVERTER CONTROL DAC	37	37	SHUNT POSITION
POLARITY CONTROL OUT	38	38	POLARITY INVERTER IN
REFERENCE OUT	39	39	MEASURE IN+
OV (ANALOG BOARD)	40	40	MEASURE IN-
	41	41	
OV (DIGITAL BOARD)	42	42	OV (DIGITAL BOARD)
	43	43	

CONNECTEUR TO TERMINAL OR USER SPECIFIC BOARD

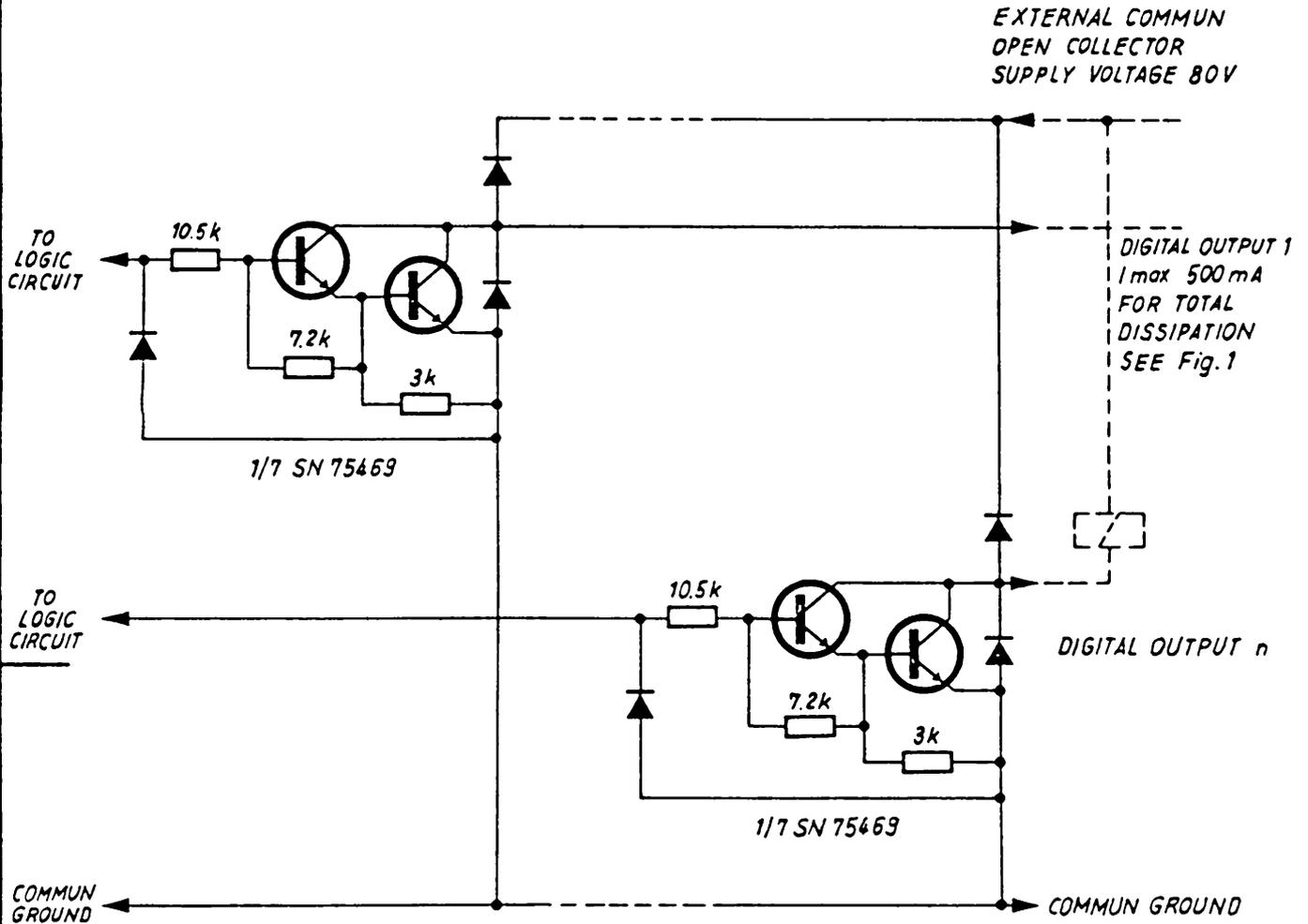
Fig. 1136 CC 104-4

(*) Version Low and High C.M.R

(**) Version Low C.M.R: Measure ±1V; Version High C.M.R: Measure ±10V

EDITIONS

- 1 - G. Knoll
31.10.78
- 2 - 11.12.78
- 3 - 9.1.79
- 4 - 16.1.79



TITLE *Standard Interface
DIGITAL OUTPUT CIRCUIT (*)
SINGLE TRANSCEIVER*

SCALE

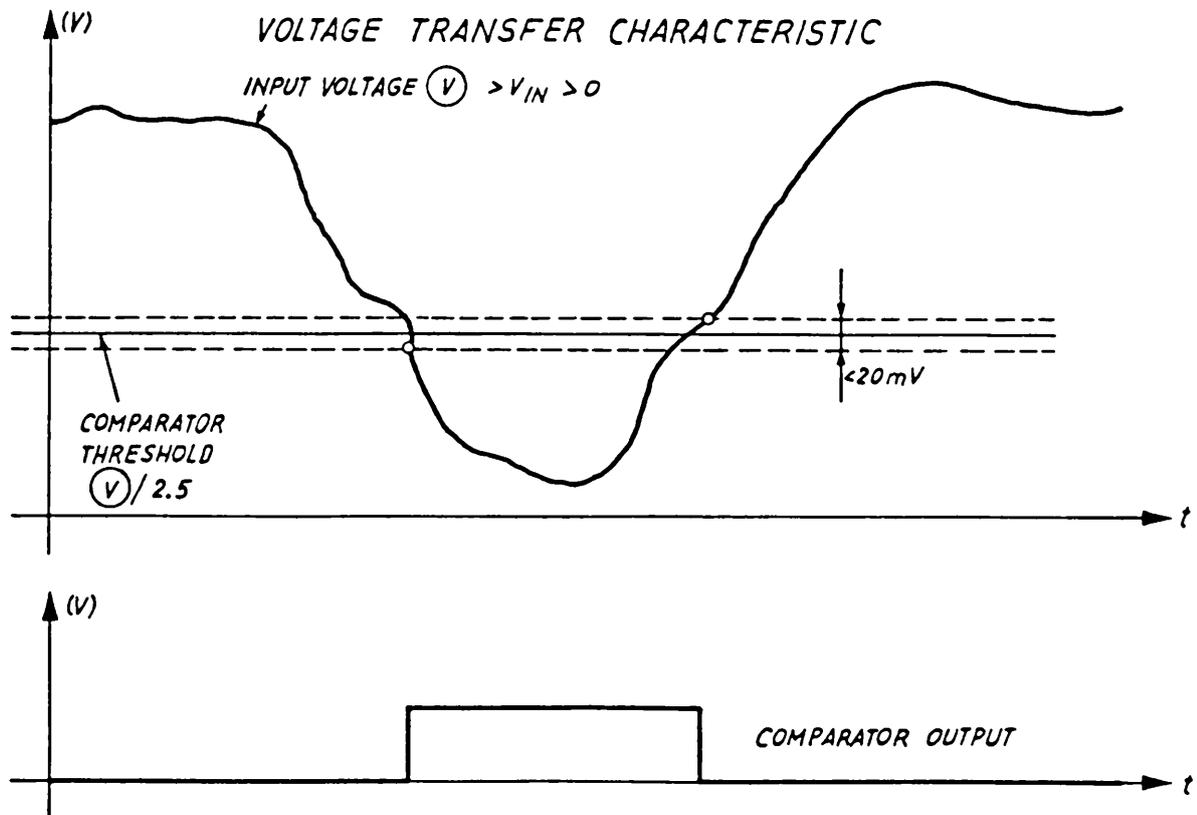
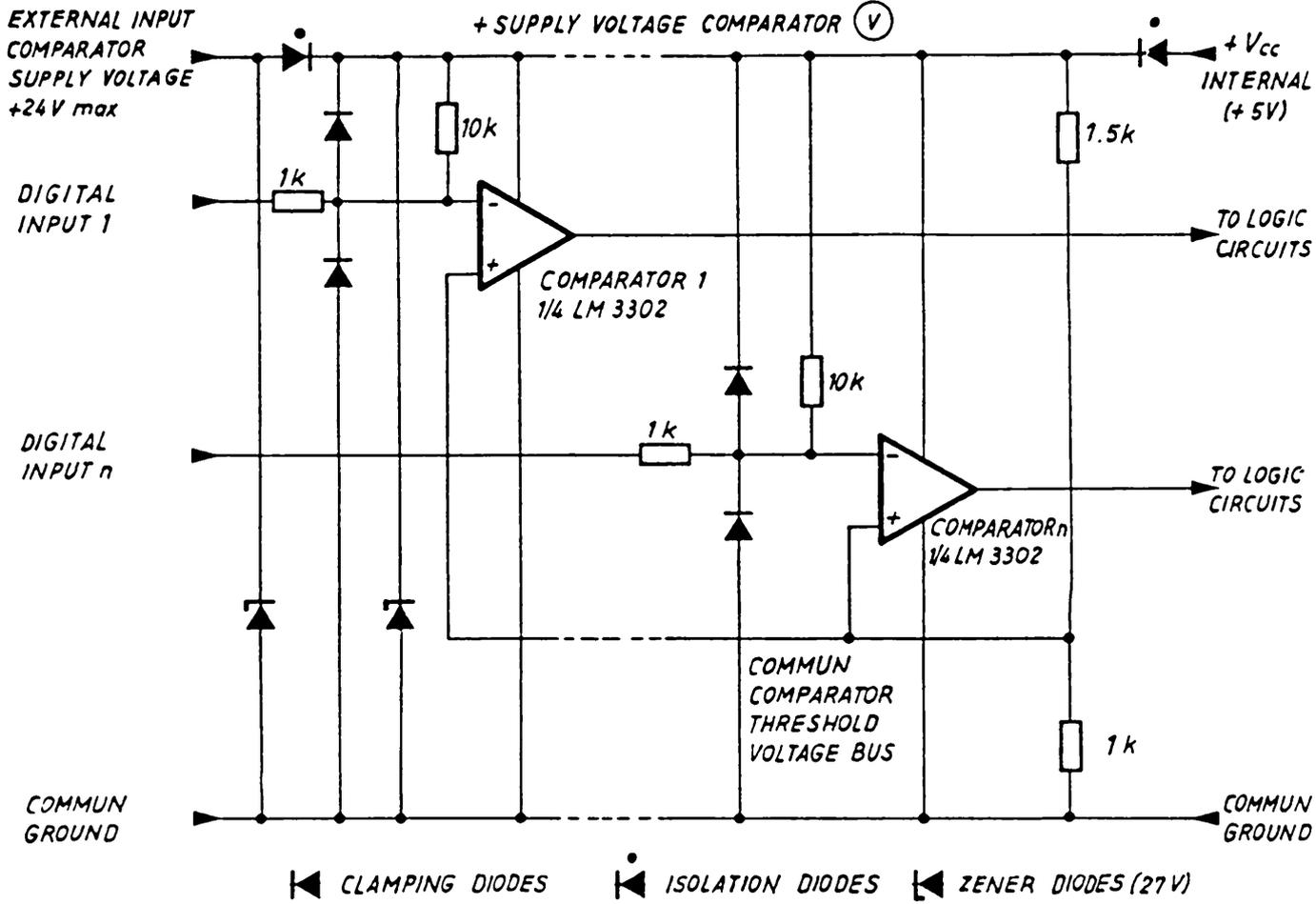


1 1 3 6 C C 1 0 2 4

OLD NUMBER

4

EDITIONS
 1 - G. Kneiff
 31.10.78
 2 - 18.7.79
 3 - 19.7.79



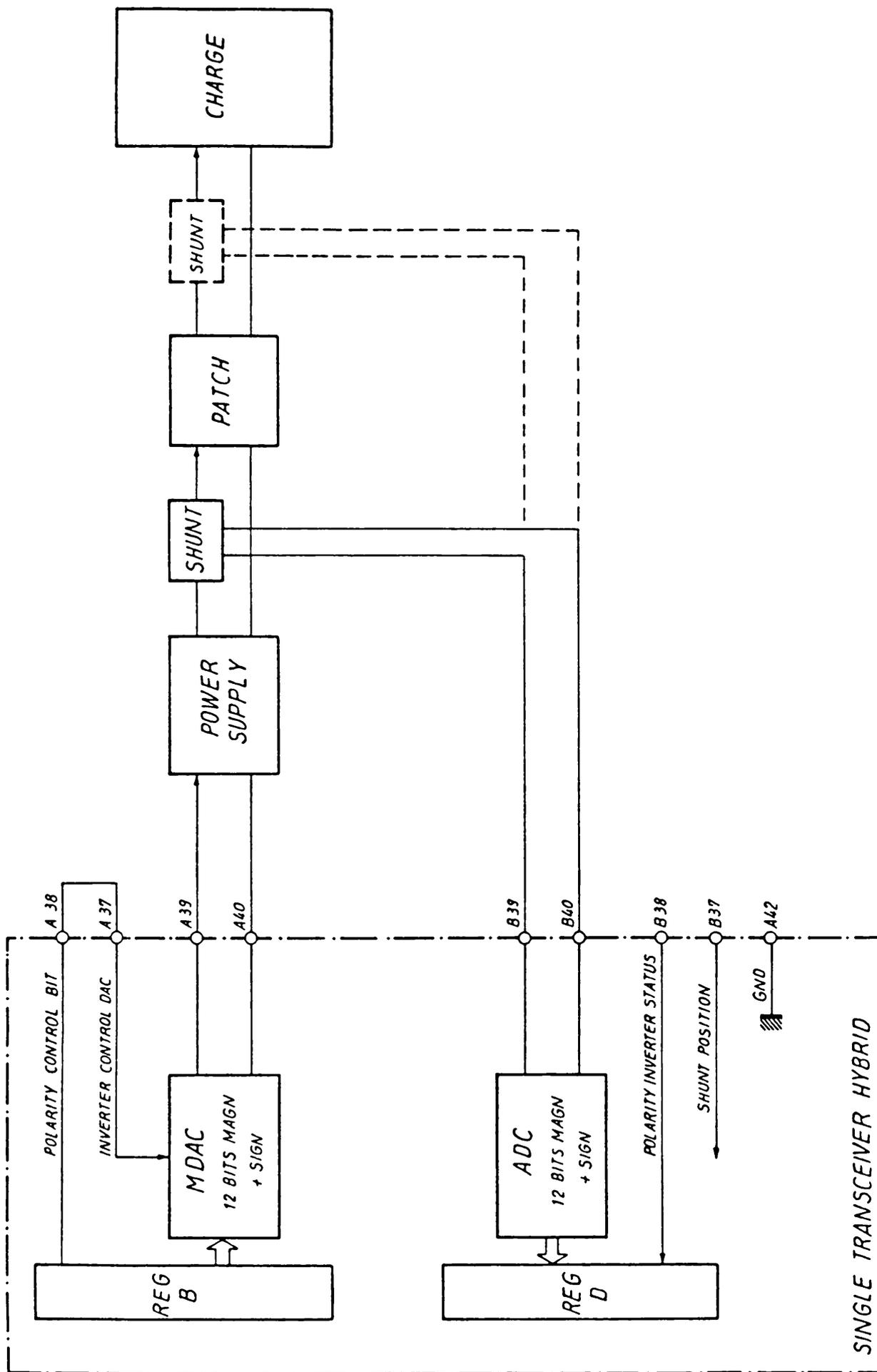
TITLE *Standard Interface*
 DIGITAL INPUT CIRCUIT (**)
 SINGLE TRANSCEIVER

SCALE

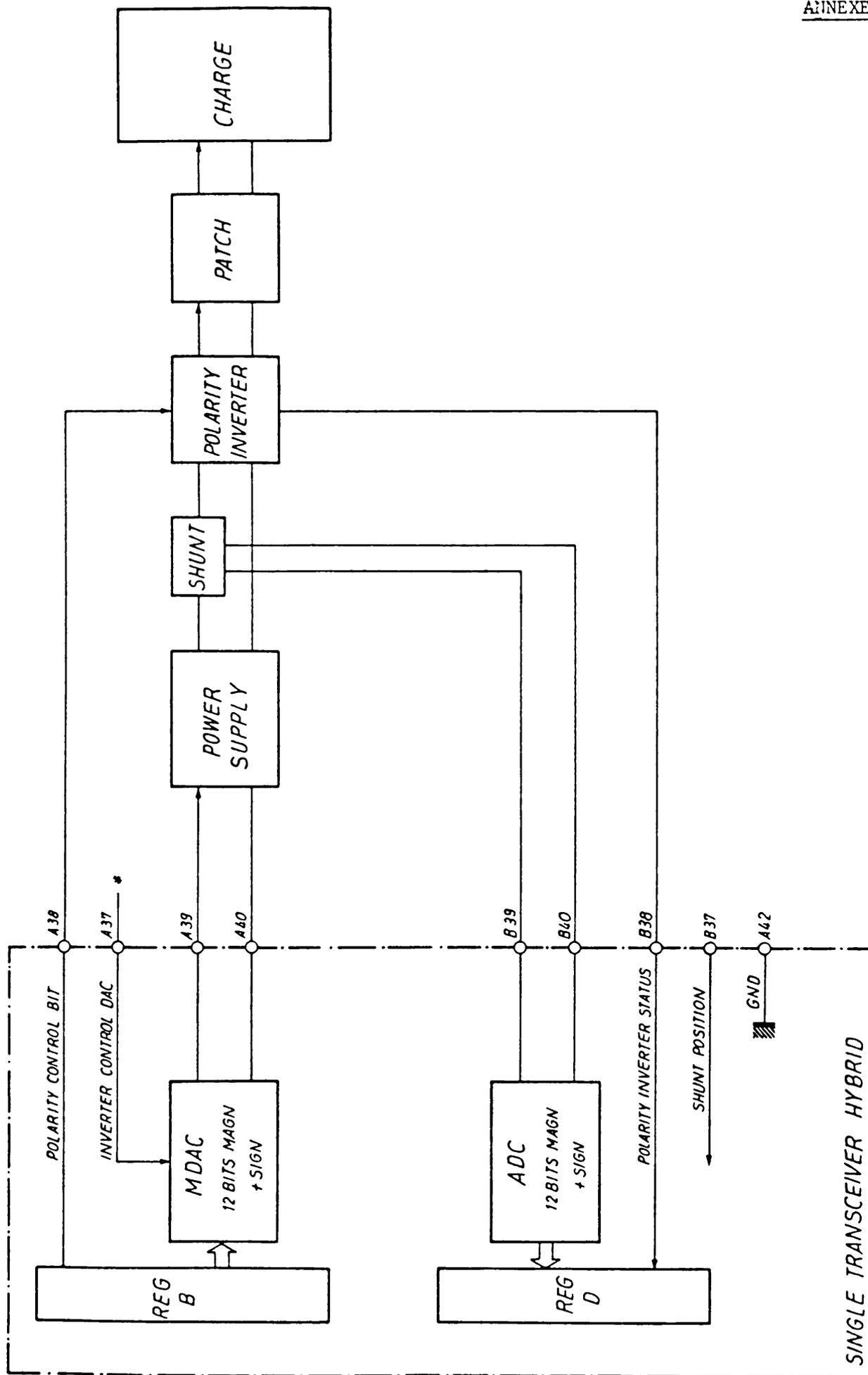


1 1 3 6 C C 1 0 3 4

OLD NUMBER



ALIMENTATION UNI OU BIPOLAIRE SANS POLARITY INVERTER



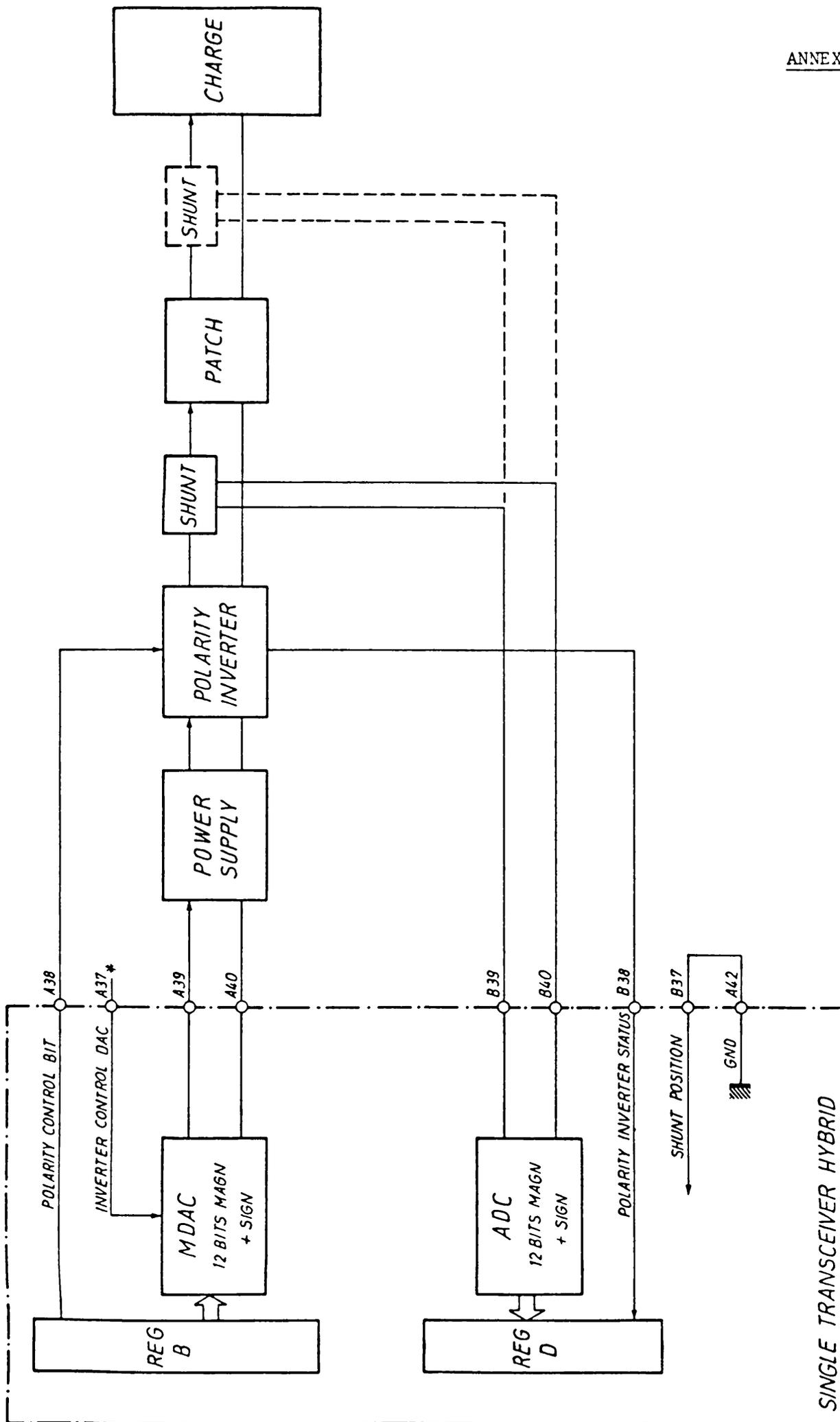
ALIMENTATION UNIPOLAIRE AVEC POLARITY INVERTER

SHUNT UP STREAM OF INVERTER

* INVERTER CONTROL DAC

A37 NOT CONNECTED = NOT INVERTED

A37 CONNECTED TO A42 = INVERTED



ALIMENTATION UNIPOLAIRE AVEC POLARITY INVERTER

SHUNT DOWN STREAM OF INVERTER

* INVERTER CONTROL DAC
 A37 NOT CONNECTED * NOT INVERTED
 A37 CONNECTED TO A42 : INVERTED