

CPS94-RF # 10

Réunion du 7/06/94

Présents : M. Arruat, G.P. Benincasa, J. Boucheron, R. Cappi, G. Daems, Y. Deloose, F. Di Maio, R. Garoby, M. Gourber, S. Hancock, W. Heinze, P. Maesen, F. Perriollat, C. Serre, C.H. Sicard, C. Steinbach, J.P. Terrier, J.L. Vallet

cc:, J.M. Bouché, G. Cyvoct, L. Mérard, A. Fowler, B. Frammery, F. Giudici, D. Gueugnon, G. Metral, J. Lewis, R. Maccaferri, A. Nicoud, F. Pedersen, J.P. Riunaud, C. Saulnier, L. Sermeus.

Ordre du jour :

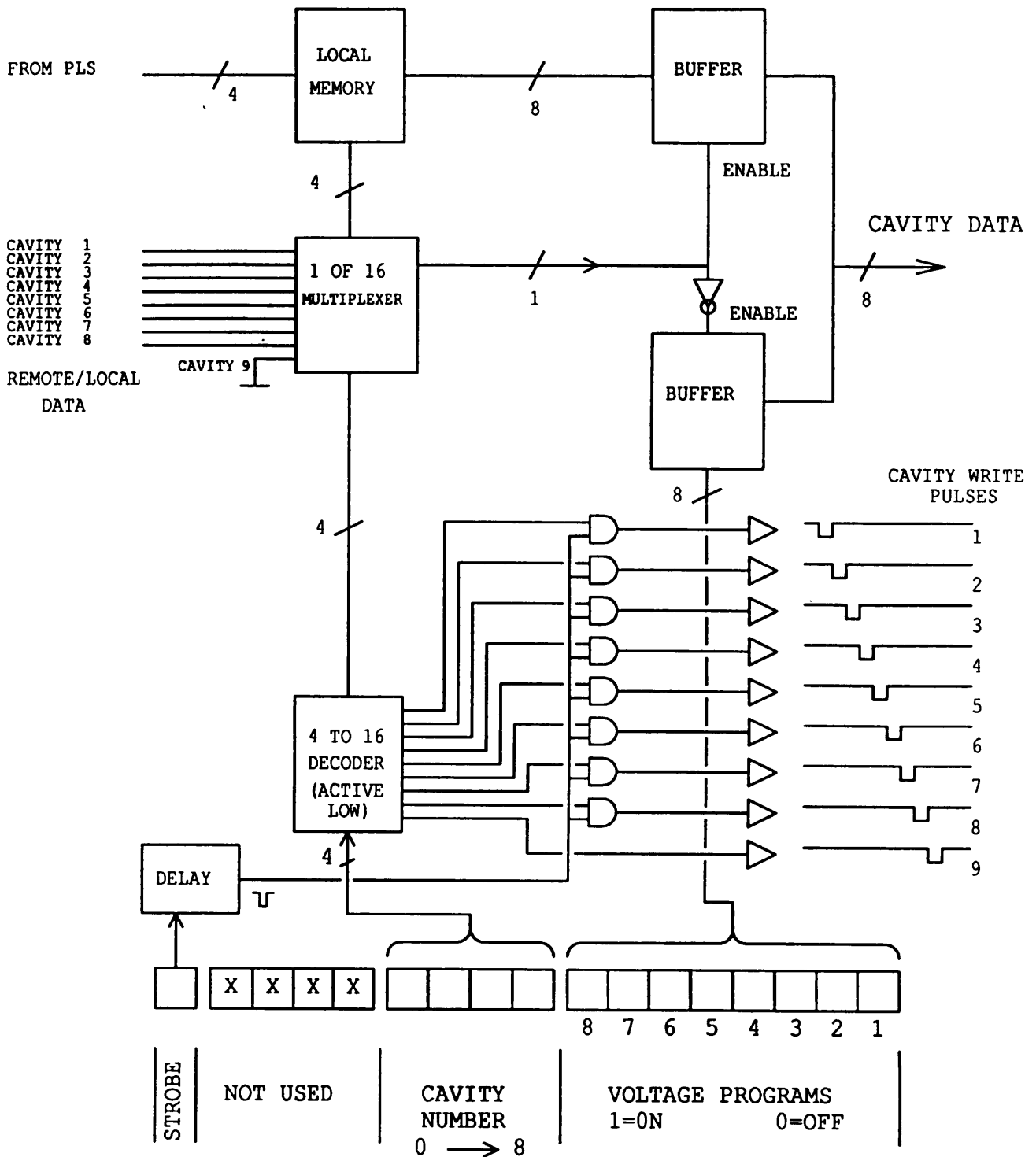
- Contrôle de la matrice et des programmes de tension des cavités 200 MHz (S. Hancock)
- Contrôle de la matrice et des programmes de tension des cavités à ferrite (R. Garoby)
- Usage actuel et solution de remplacement pour les "PLIs" (J.P. Terrier)

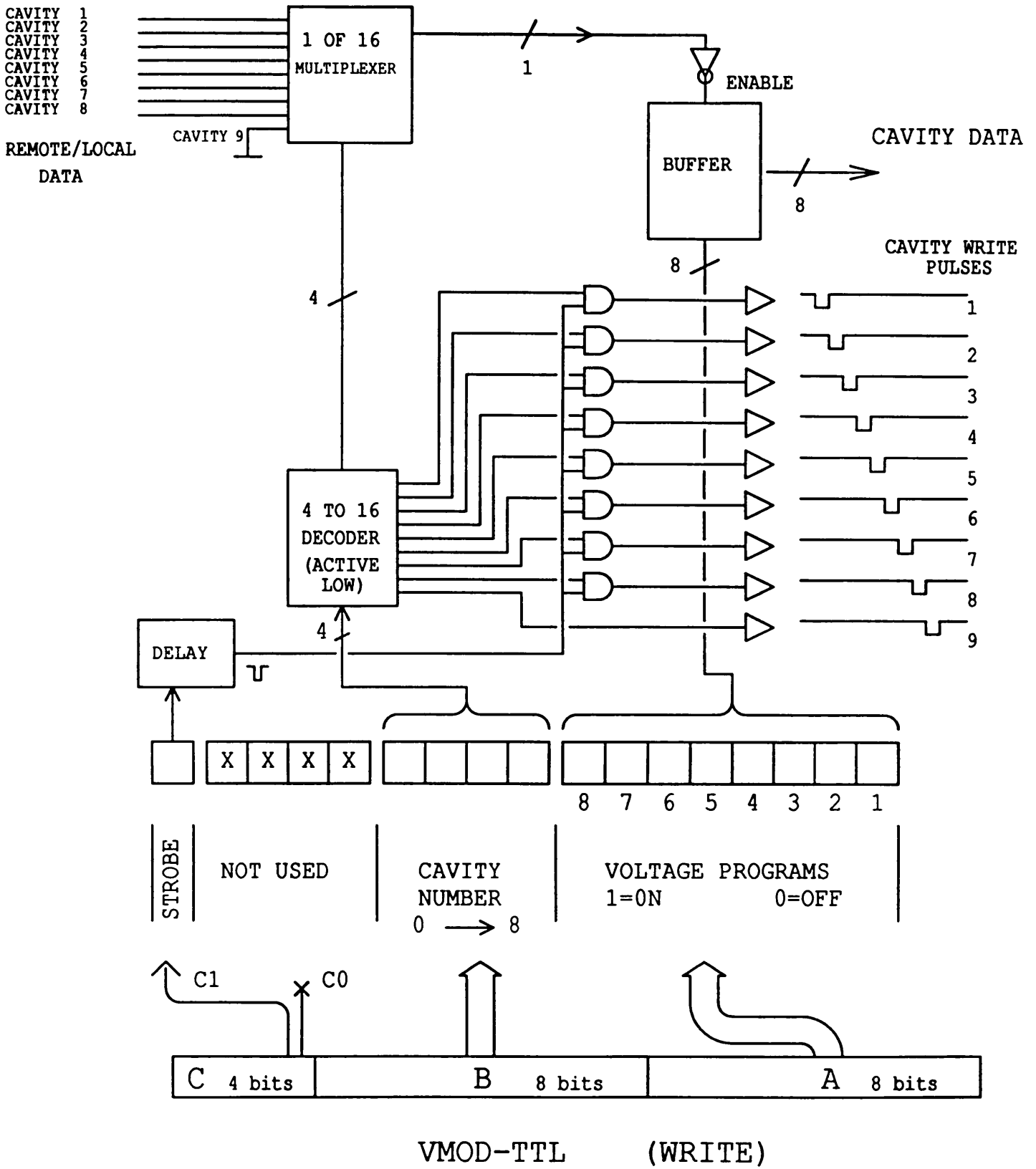
1. Contrôle de la matrice et des programmes de tension des cavités 200 MHz par S. Hancock (transparentes en annexe 1)

Cet exposé est une présentation détaillée de la solution finalement adoptée, sur les bases indiquées dans la réunion précédente (cf. PS/RF/Note 94-31). La décision essentielle a été de conserver la matrice actuelle. Le résumé des autres choix conduisant à la proposition figure en A1-5.

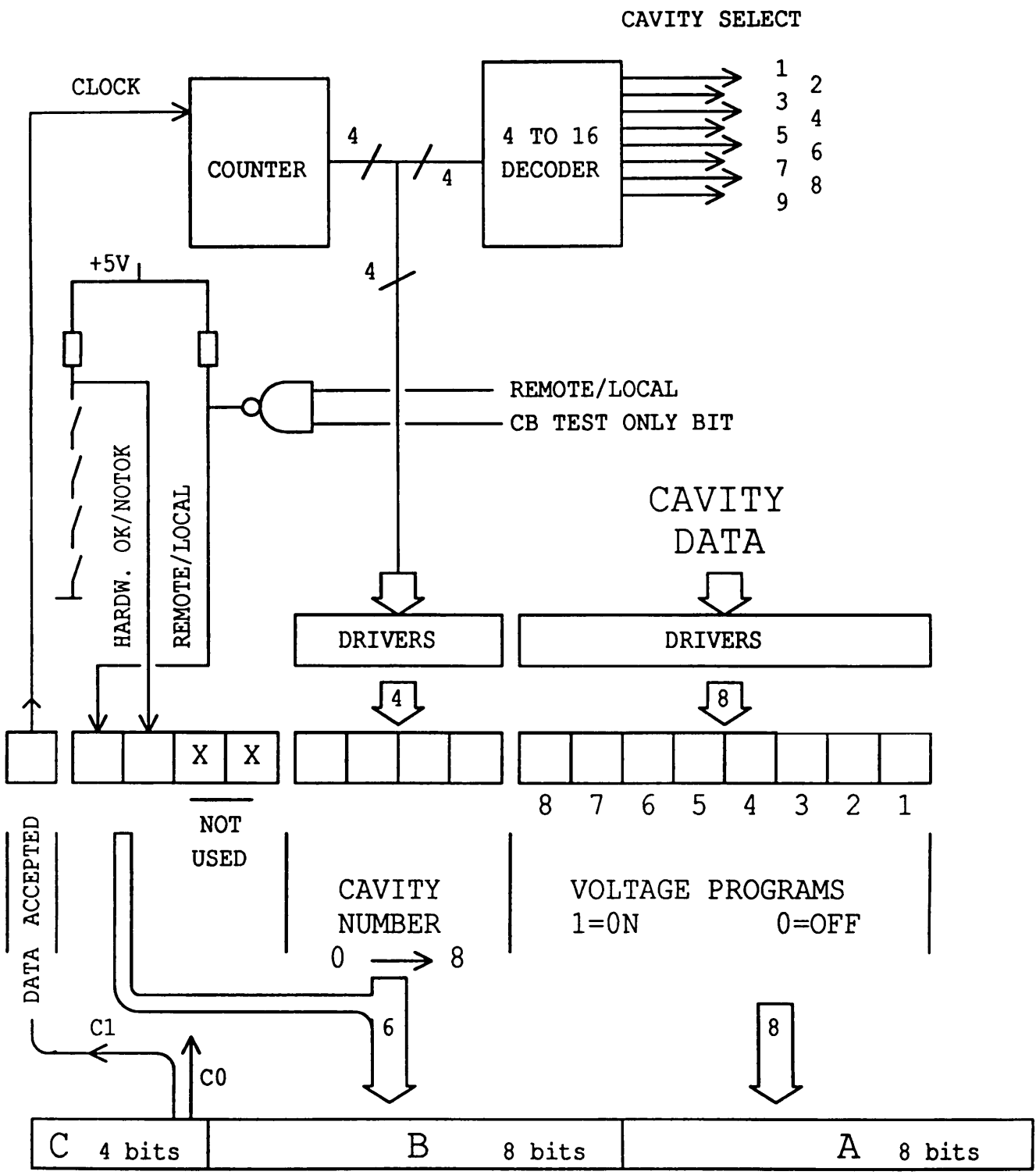
- A1-1 illustre le processus d'écriture dans la matrice. A l'heure actuelle les données viennent soit d'une mémoire locale, soit d'un module CAMAC I/O REGISTER. Ce module contrôle la matrice en transférant 8 mots de 12 bits (4 bits pour le numéro de la cavité, 8 bits pour les programmes qui lui sont affectés). Les données sont mémorisées à la transition du "Strobe". La lecture s'effectue par le même module, en utilisant le bit "Data Accepted" pour informer la matrice de l'acquisition des données par le CAMAC et lui indiquer d'incrémenter le numéro de la cavité dont les données sont mises à disposition.
- Dans le nouveau système de contrôle, la mémoire locale n'est plus utilisée, et le contrôle s'effectue uniquement à partir d'un module VME type VMOD-TTL. Après consultation d'un spécialiste hardware CO (W. Heinze), il s'avère possible de reproduire avec ce nouveau module le comportement du CAMAC I/O REGISTER en écriture (A1-2) comme en lecture (A1-3). Les modifications de l'équipement actuel sont donc mineures.

ANNEXE 1 - S. HANCOCK



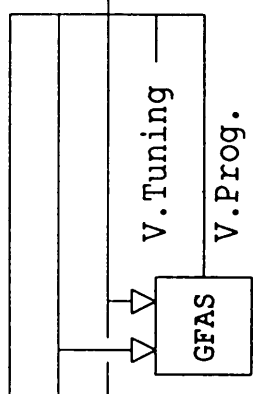
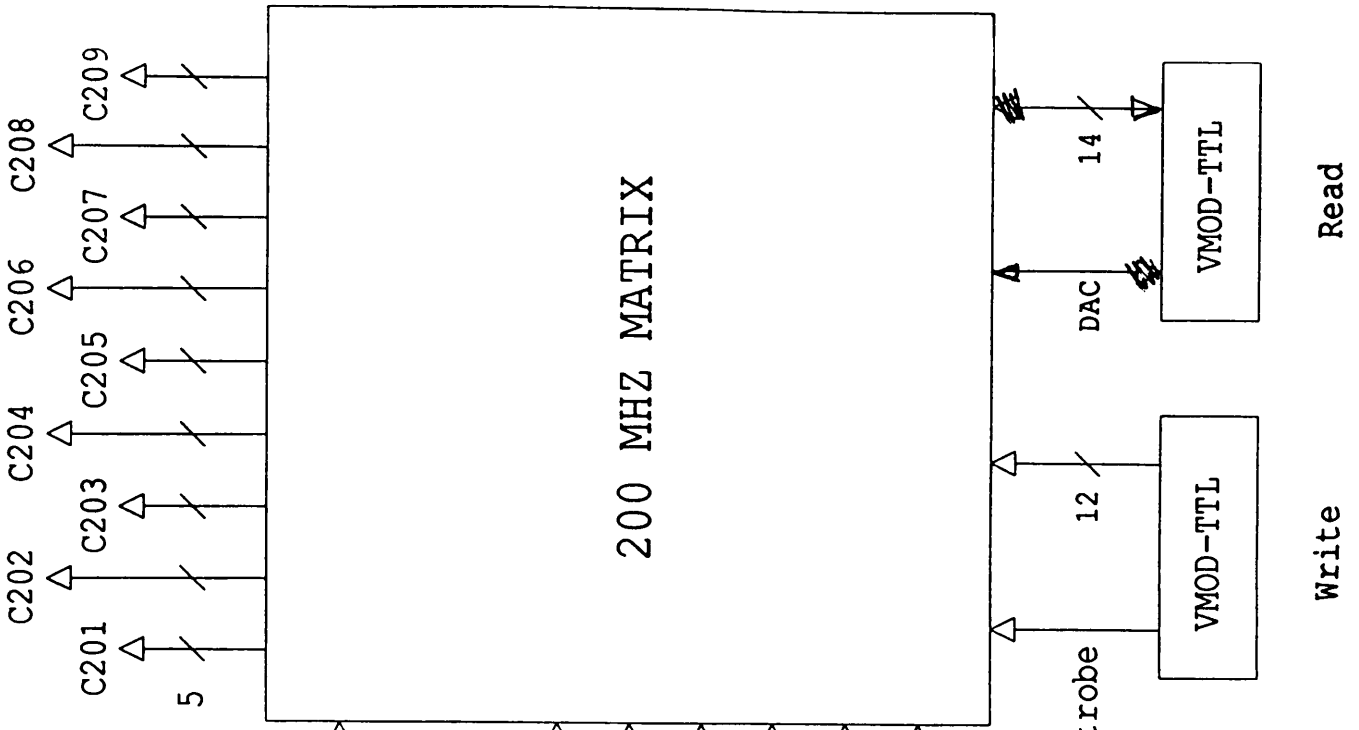


A1 - 2



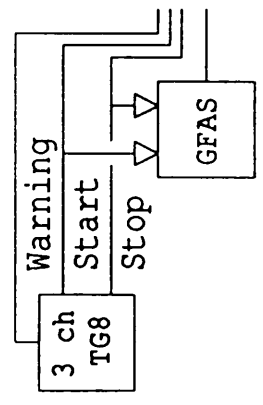
VMOD-TTL (READ)

A1-3



Blow-up 1

- Idem Blow-up 2
- Idem Blow-up 3
- Idem Blow-up 4
- CT Rebunching
- Idem Spare
- CB Test (local)



6 remote programmes
 10ch GFAS
 =>
 18ch TG8

A1-4

- Le lay-out global pour la génération des 6 différents programmes de tension (4 “Blow-ups”, 2 “Rebunchings”), des modulations de phase associées (4 GFAS en mode récurrent pour les “Blow-ups”) et des impulsions de timing (Warning, Start et Stop) est décrit en A1-4. Le bilan s’établit à **2 modules VMOD-TTL, 10 canaux GFAS (dont 4 en mode récurrent) et 18 canaux TG8 (ppm ordinaire)**.

2. Contrôle de la matrice et des programmes de tension des cavités à ferrite par R. Garoby (transparents en annexe 2)

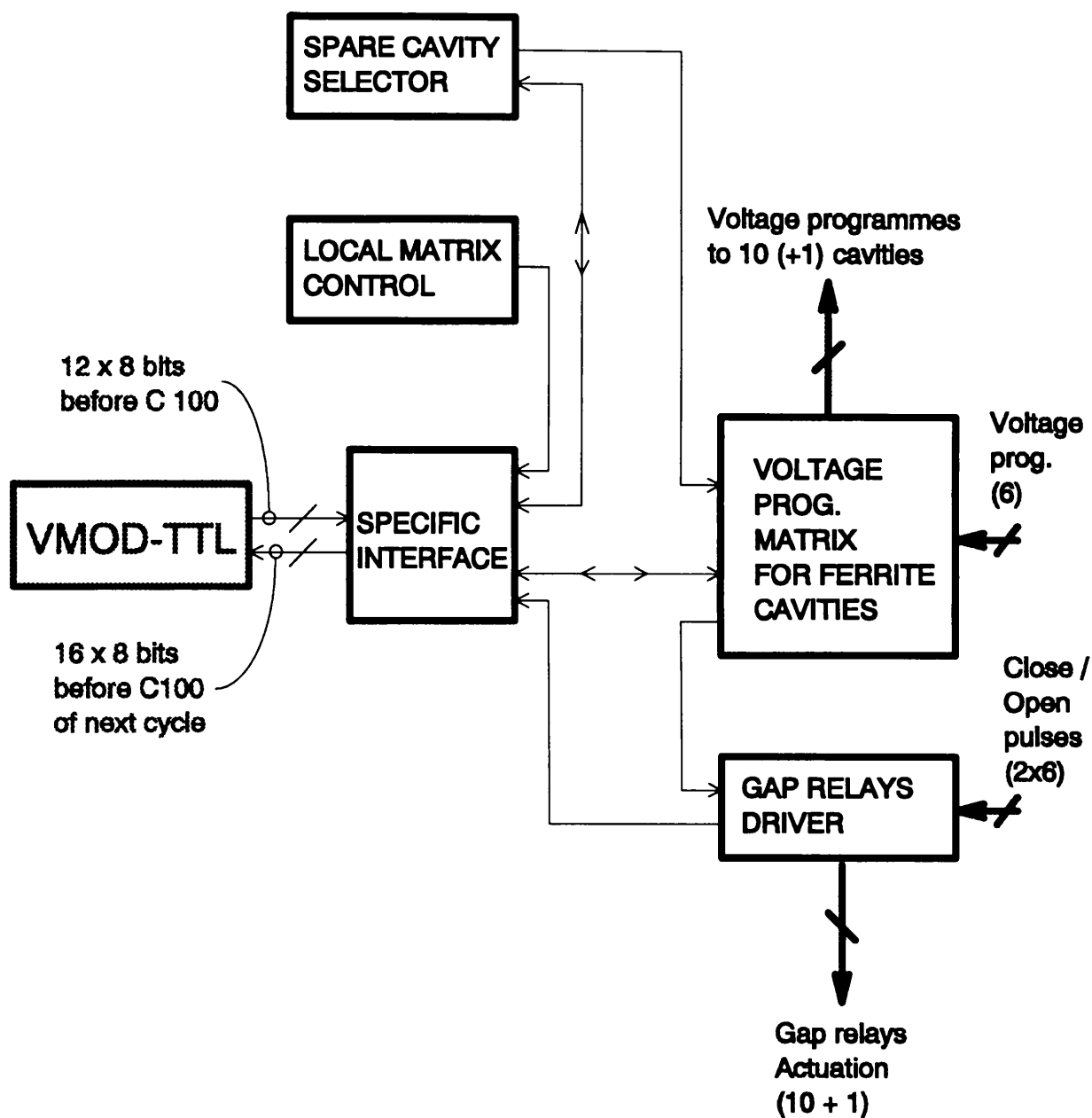
Les choix fondamentaux ayant conduit au lay-out présenté aujourd’hui sont énumérés en A2-1. L’architecture est similaire à celle du système 200 MHz, du fait du maintien de la matrice d’affectation des programmes.

- La méthode de génération des programmes est décrite en A2-4. Le comportement collectif de l’ensemble des programmes est assuré par le GFAS “VRF Global”. Les divers programmes sont individualisés par l’action de GFAS “V Mod.” qui multiplie la fonction globale par un coefficient entre 0 et 1. Un générateur supplémentaire (“VRF G.Red.”) permet de contrôler une réduction globale de la tension pour les besoins du dispositif d’amortissement des instabilités quadripolaires. Les GFAS “V Mod.” sont contrôlés par des impulsions Start / Stop standards, mais également par un canal TG8 fournissant des “Event Starts” pour redémarrer la fonction après l’effet d’un “Internal Stop”.
- La figure A2-2 illustre la génération de 3 programmes de tension typiques, avec usage des “Event Starts” et “Internal Stops”.
- La matrice d’affectation des programmes étant conservée, la figure A2-3 décrit son organisation actuelle, avec usage d’un module VME VMOD-TTL en remplacement du CAMAC I/O REGISTER. (solution comparable à celle indiquée pour la matrice 200 MHz ci-dessus). L’écriture consiste dans le transfert de 12 mots de 8 bits entre C0 et C100. A la lecture, 16 mots de 8 bits sont à acquérir.
- Bilan hardware: **2 modules VMOD-TTL, 8 canaux GFAS et 6 canaux TG8.**

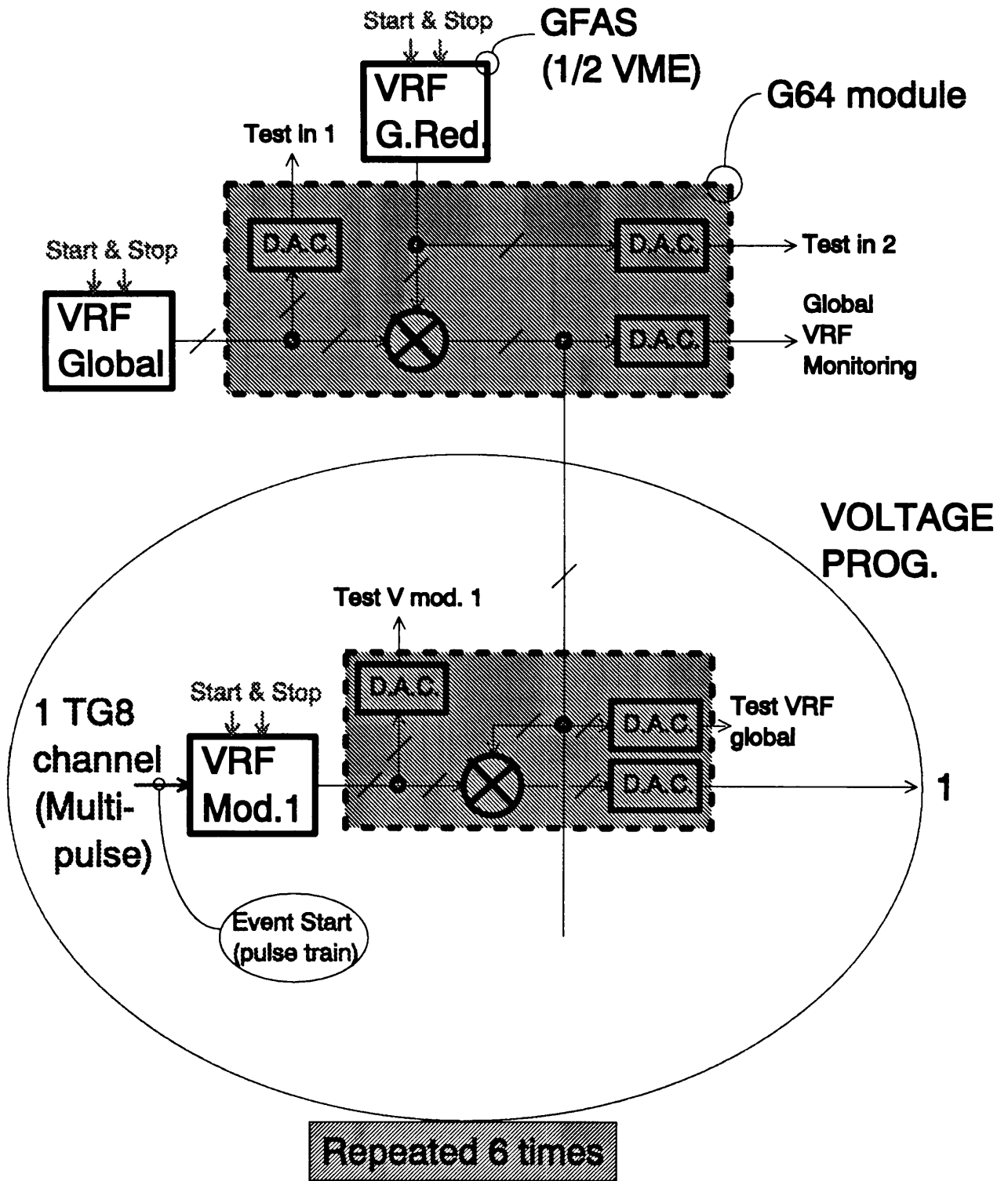
3. Usage actuel et solution de remplacement pour les PLIs par J.P. Terrier (transparents en annexe 3)

Des dispositifs appelés “PLIs” (Programme Line Interface) sont actuellement en service pour des usages de contrôle local. Ils permettent le “gating”, en fonction du PLS, de certains équipements manuels, constitués essentiellement de “preset counters”, mais pas uniquement. Le relevé du câblage de ces dispositifs vient d’être effectué par J.P. Terrier, qui présente le résultat de son étude.

- Le principe des interconnexions des PLIs et de leurs répéteurs est donné en A3-1. Deux bâtiments sont alimentés. Le détail des équipements installés est en A3-2, avec mention des preset counters manuels concernés.
- En A3-3 figure une description d’un usage typique. On y remarque des applications pour le déclenchement de dispositifs d’observation, qui doivent être couvertes par des TCUs. Par contre d’autres applications, comme le positionnement des commutateurs de sélection des trains RF et Frev distribués, ne sont pas du ressort d’un TCU. En ce qui les concerne, une solution comparable à la solution actuelle doit être mise en place. Les lignes PLS décodées et distribuées par ce système sont en A3-4.



**CONTROL OF VOLTAGE PROGRAMME
MATRIX FOR THE FERRITE CAVITIES**
7/06/94 R. Garoby

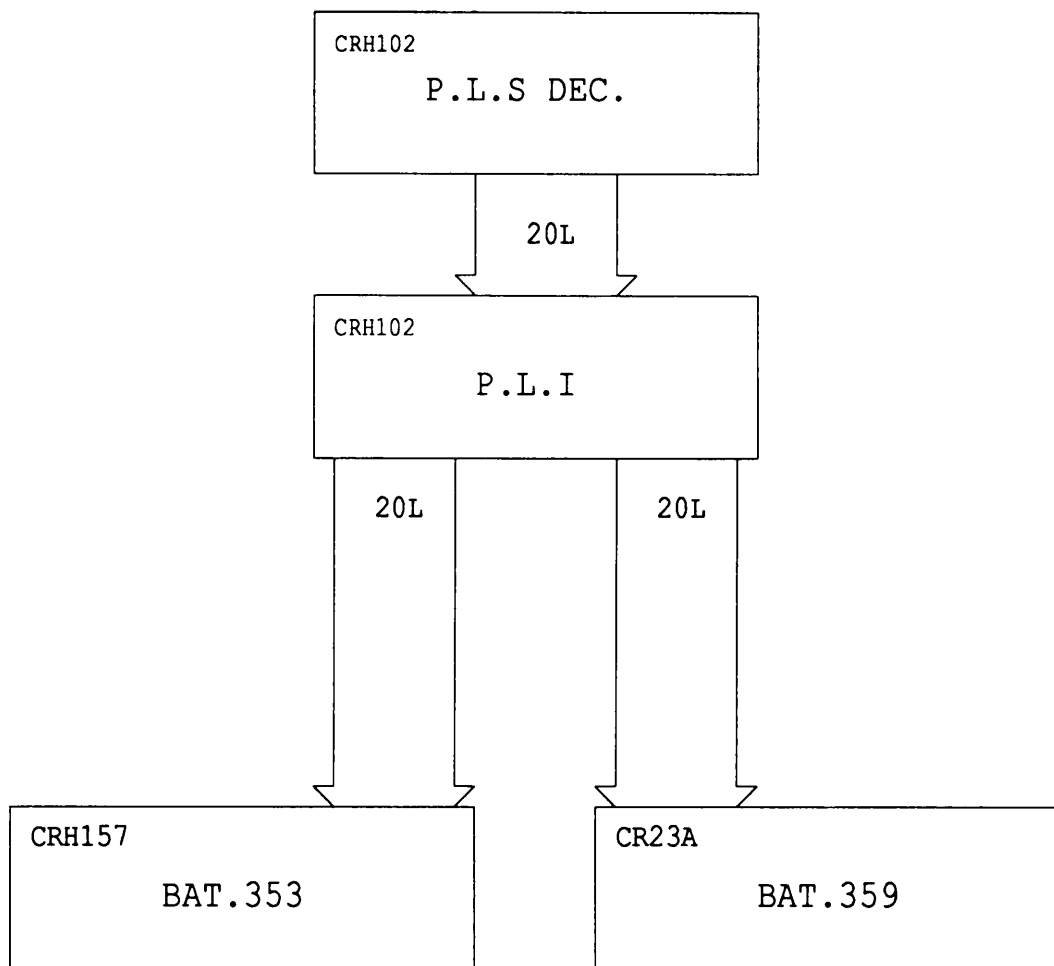


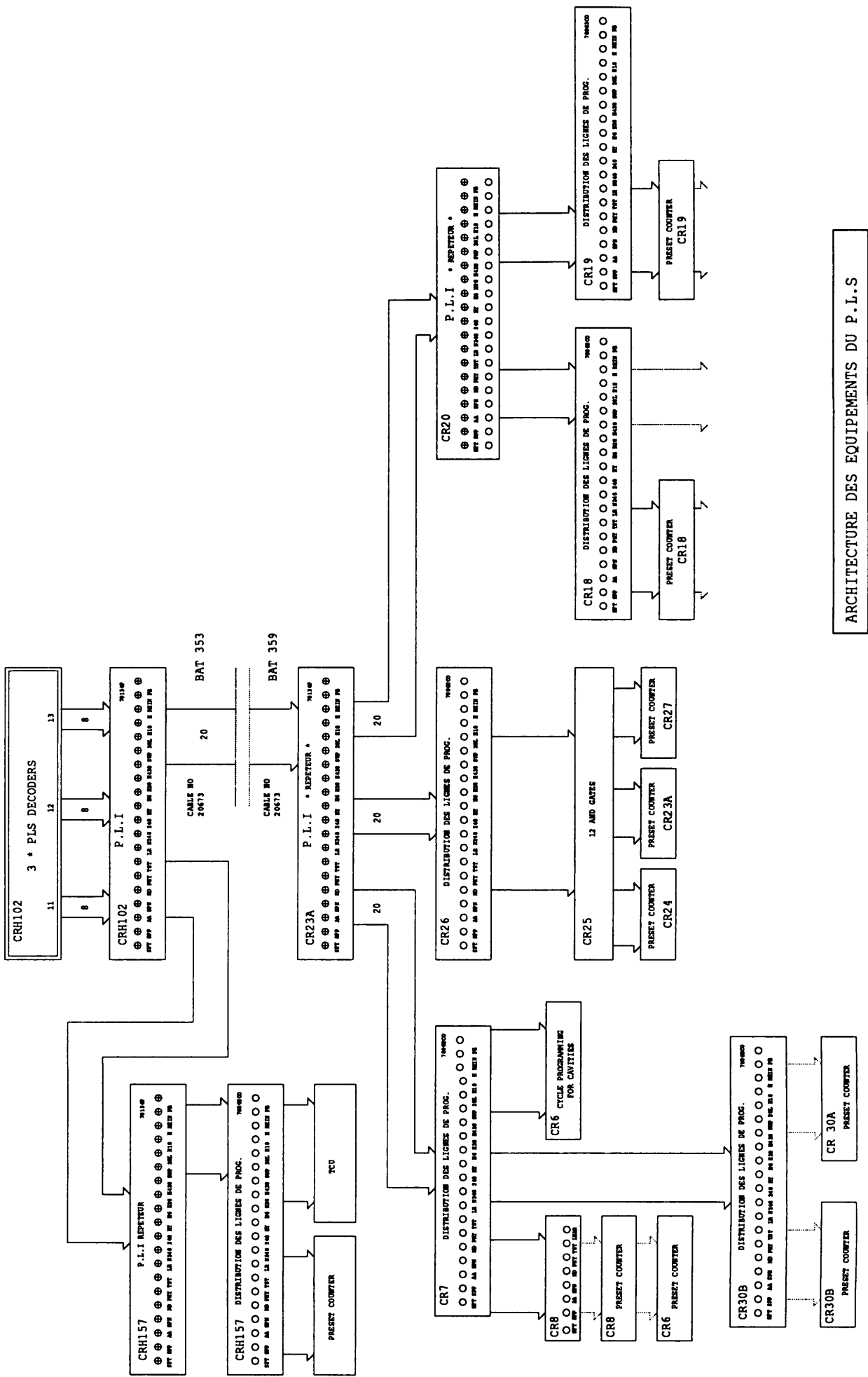
R. Garoby
6/06/94

A2-4

ANNEXE 3 - J.P. TERRIER

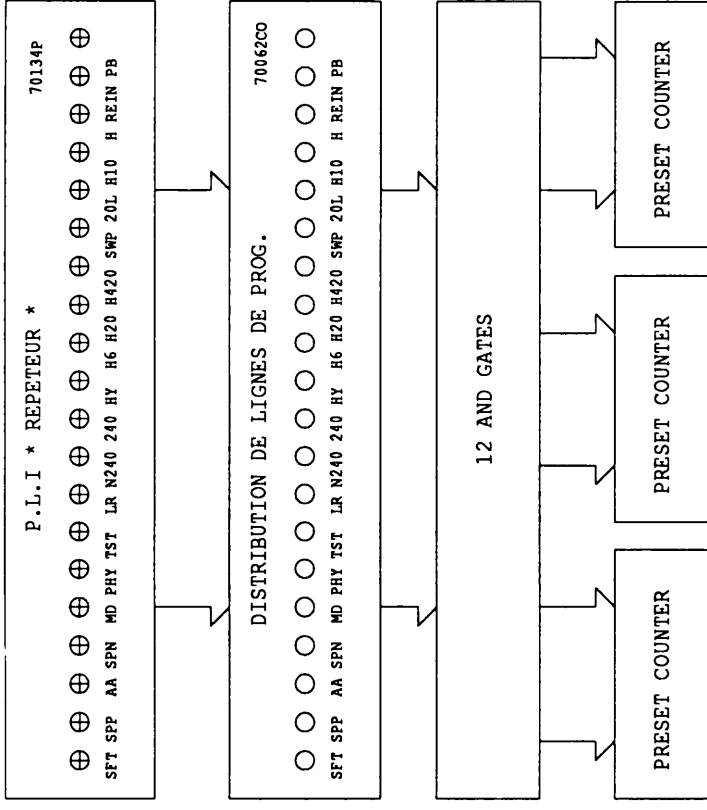
DISRIBUTION DES LIGNES DE PROGRAMME





ARCHITECTURE DES EQUIPEMENTS DU P.L.I.S

A3-3



CR23A

CR26

CR25

CR24

CR27

- | | |
|--|---|
| <ol style="list-style-type: none"> 1 SMFB (MULTI. HARM.FB) 2 EMFB 3 RMFB 4 START LOGITUDINAL INST. 5 ST DIGITIZING RECORDER 6 SP GIGITIZING RECORDER | <ol style="list-style-type: none"> 1 PX SDFRD10 H10 AND LEAR GATED
FREV SW. ON C 2 PX SDFR 6+12 H6/ AND APABAR GATED
FREV SW. ON B 3 H6/12 GATED RF SW. ON C 4 DECIMAL DISPLAY 5 RF TRAIN SW.6 ON D
FREV TRAIN SW.30 ON C FOR e+/e- 6 114MHz/200MHz RF SWITCH 7 FREV SW.30 ON E FOR e+/e- 8 NC 9 H6 PHASE LOOP (OFF/ON) TEST GATED 10 RF SELECT. FOR LEP CALIBR. SYNCHR 11 H10 SCOPE TRIGGER 12 H20 SCOPE TRIGGER |
|--|---|

- La solution préconisée est de conserver, dans un premier temps, le câblage de distribution actuel, en s'accommodant de sa limitation à 20 bits. Ces bits seront des CCVs d'un Output register (VMOD-TTL), avec une dénomination décrivant le mieux possible leur effet hardware. Les nombres harmoniques sont des candidats évidents, mais en les définissant désormais comme des bits de sortie de ces modules. Un débat s'engage sur la pertinence de re-introduire ce type d'information dans le télégramme PLS lui-même, dès l'instant que plusieurs installations distinctes, géographiquement éloignées, en ont besoin simultanément... Contrainte liée au fonctionnement des archives... Il est conclu que cette discussion déborde largement des limites du lay-out RF, et qu'elle ne peut être traitée que dans le cadre du NOAS. C. Serre et R. Garoby s'engagent à transmettre aux responsables NOAS l'urgence de cette analyse et des décisions correspondantes.
- La carte VME VMOD-IO et les modules VMOD-TTL sont décrits en A3-6. La proposition est de mettre en oeuvre 1 module VMOD-IO équipé de **2 modules VMOD-TTL** (32 bits), et de laisser libre la place permettant une extension ultérieure éventuelle à 64 bits (A3-7). Les spécifications pour cette application sont données en A3-8. Noter que le mot digital doit être disponible à la sortie des PLIs en PX.STC.

4. Planning et échéances

Des solutions hardware ont désormais été proposées pour l'interface de la plupart des "gros" systèmes. Une revue détaillée de l'intégralité des paramètres de contrôles actuels (version à jour disponible dans le fichier G:\HOME\GAROBY\CPS94_RF\OLD_CTL\PSLOOP2.XLS) aura lieu le vendredi 10 juin à 14 h. dans mon bureau (Participants: Y. Deloose, F. Di Maio, R. Garoby, S. Hancock) pour analyser leur remplacement dans le nouveau système. Si nécessaire pour venir à bout de la totalité de la liste, une seconde réunion sera organisée le lundi 13 juin.

Le lay-out préliminaire pour le contrôle de la RF PS en 95 (types de modules et quantité) sera disponible le mardi 14 juin pour présentation par Y. Deloose lors de la réunion CPS94 organisée par C. Serre.

Prochain rendez-vous:

Mardi 12 juillet 1994

14 h

Grande salle de conférence PS

Ordre du jour préliminaire:

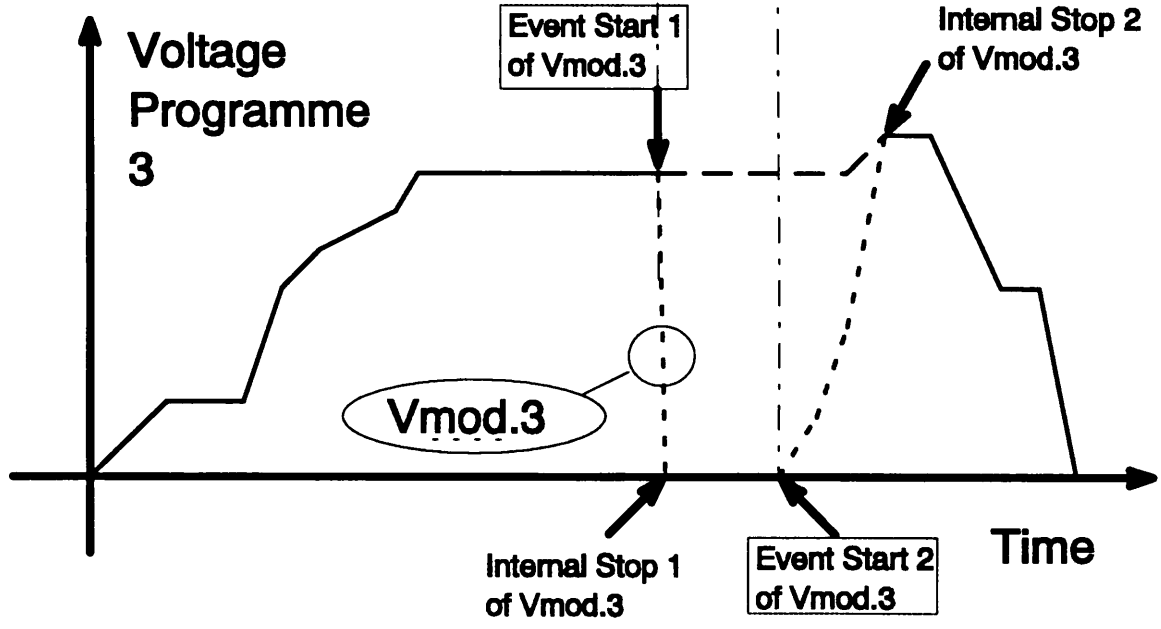
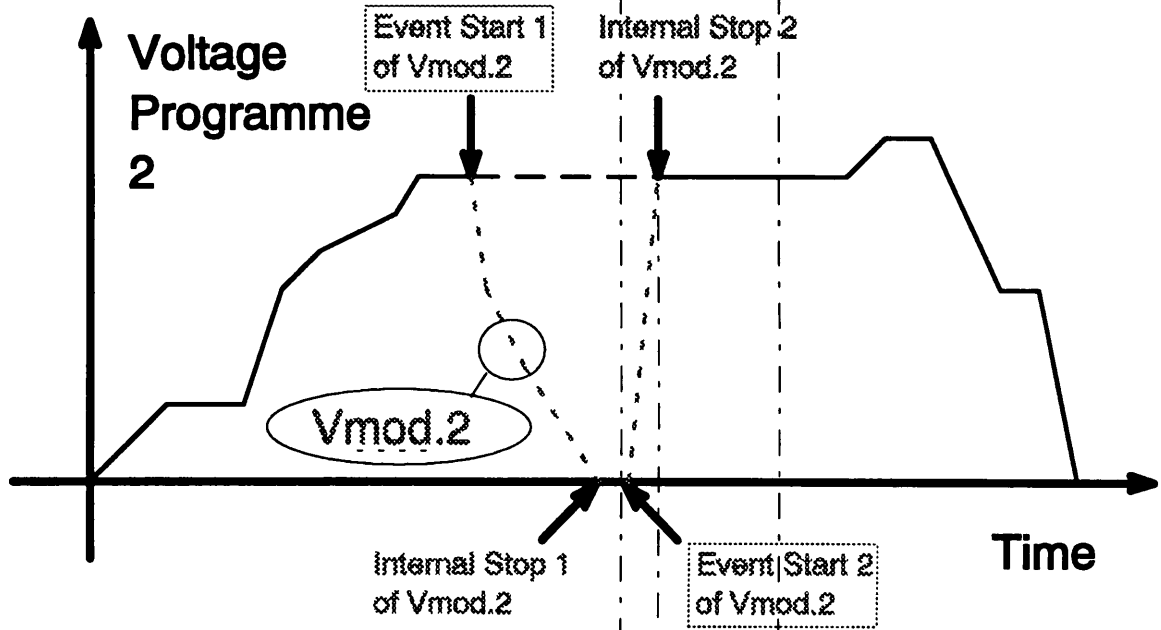
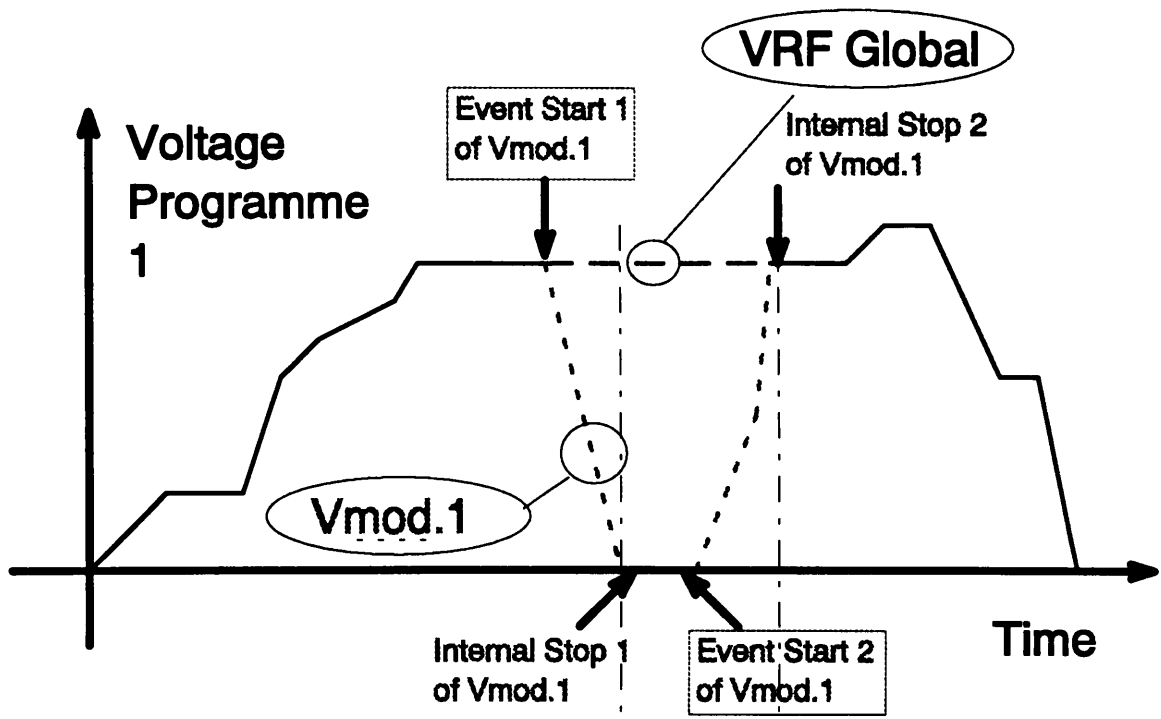
- Réactions à la présentation du lay-out préliminaire effectuée le 14 juin par Y. Deloose...
 - Avancement du lay-out détaillé ? (Y. Deloose ?)
 - Avancement des spécifications des logiciels et des logiciels eux-mêmes (F. Di Maio ?)

SUMMARY

- Retain the existing matrix hardware
- Replace CAMAC I/O register with VMOD-TTL cards
- Suppress local use of operational programmes (VIC20, PLS decoder, local memory, local B&W display, etc.)
- Retain cavity logic boards (LED display, "CB Test Only" switch)

BASIC CONTROL CHOICES FOR THE LAY-OUT OF THE VOLTAGE PROGRAMMES GENERATION FOR THE FERRITE CAVITIES

- There is a hardware matrix to select the Voltage Programmes sent to the cavities.
- The G64 module of the GFAS contains a digital multiplier. The format for digital transfer of data allows to cascade the modules (see drawing).
- Digital input and output data are converted to analog for a convenient monitoring.
- The GFAS (and its editor !) handles Internal Stops.
- The TG8 operates in "Multi-pulse" mode, providing many (≤ 10) timing pulses at C cccc + delay (< 1 ms).



PLS-DECODER-LINES

	SFT	SPP	AA	SPN	MD	PHY	TST	LEA
PX.PD-RF-DIS1								
PX.PD-RF-DIS2	/H240	H240	HY	H6H12	H20	H420	HSWP	H20LI
PX.PD-RF-DIS3	H10	H	REINJ	PBAR	VETO	VETO	VETO	VETO

Modernisation de la distribution du PLS

- Remplacement des trois décodeurs PLS (*Programme Line Sequence*);
- Conservation des PLI (*Programme Line Interface*);
- Remplacement des *preset counters* par de nouveaux modules (étude en cours).

Remplacement des décodeurs PLS

Introduction d'une carte VME **VMOD-IO**

(Janz computer AG, cf. note tech. PS/CO/94-13)

VMOD-IO, carte mère supportant 4 **VMOD-TTL**
en piggy-back.

Utilisation de 2 modules **VMOD-TTL** :

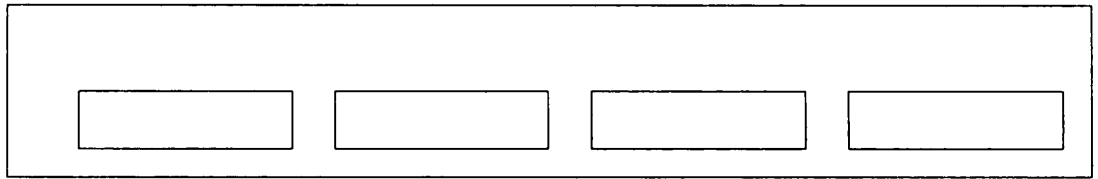
$2 \times (16 \text{ canaux} + 4 \text{ strobes})$

VMOD-TTL : registre I/O 20 bits TTL.

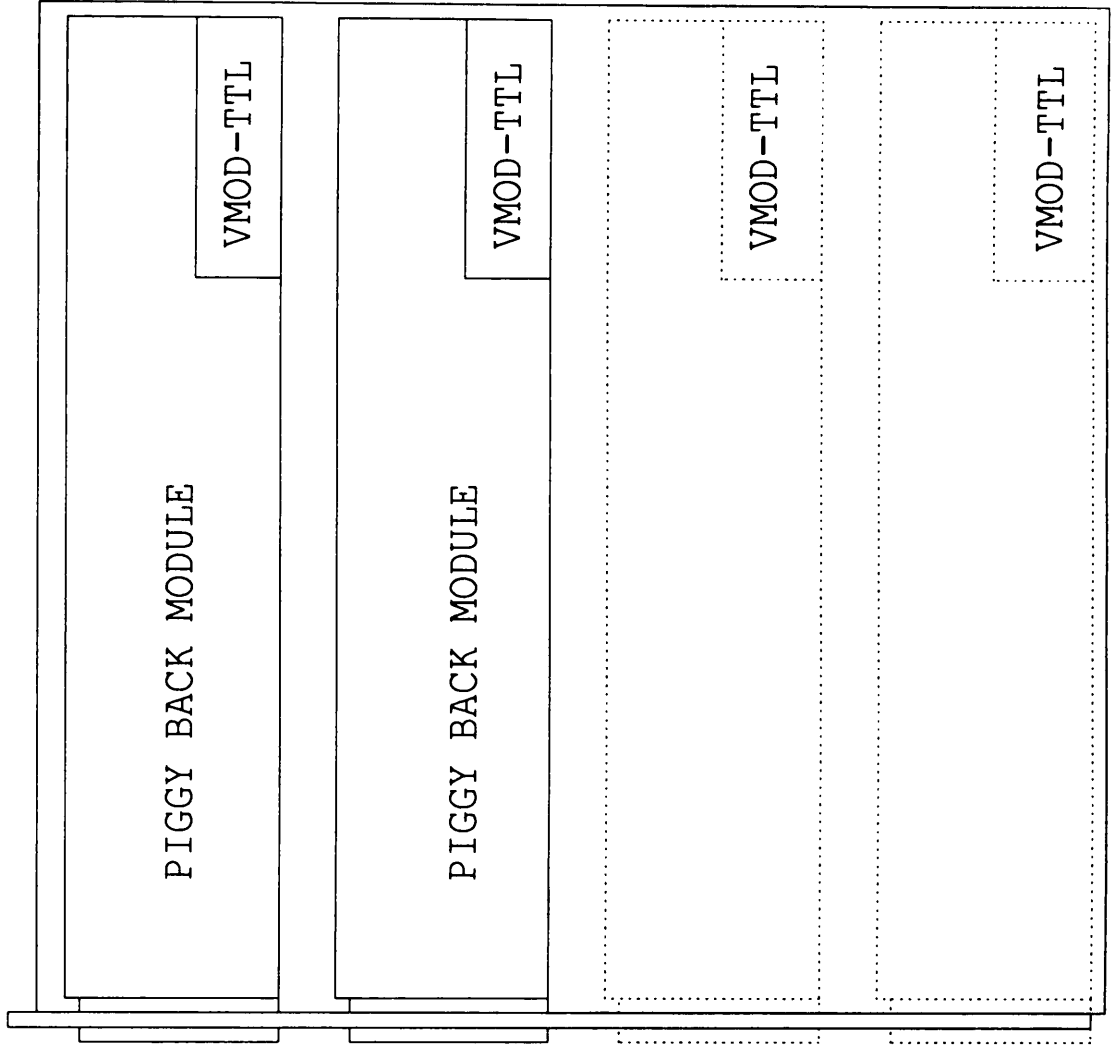
Deux **VMOD-TTL** en réserve pour une utilisation ultérieure.

MODULbus VMOD-IO

VMOD-IO



25 PIN
CANNON



PIGGY BACK MODULE

VMOD-TTL

PIGGY BACK MODULE

VMOD-TTL

VMOD-TTL

VMOD-TTL

SPECIFICATIONS

- * SORTIE DES LIGNES SUR (OPEN-COLLECTOR)
- * 20 CANAUX TTL
- * LES LIGNES CCV DOIVENT ARRIVER AVANT

PX.STC