

Tryger mionowy RPC w eksperymencie CMS

KAROL BUŃKOWSKI¹, MIKOŁAJ ĆWIOK¹, ŁUKASZ GOŚCIEŁO³, MACIEJ GÓRSKI³, MAŁGORZATA KAZANA¹,
ARTUR KALINOWSKI¹, KRZYSZTOF KIERZKOWSKI¹, JAN KRÓLIKOWSKI¹, IGNACY KUDEŁA¹,
TOMASZ NAKIELSKI^{1,2}, MICHAŁ PIETRUSIŃSKI¹, KRZYSZTOF POŻNIAK², GRZEGORZ WROCHNA³,
WOJCIECH ZABOLOTNY², PIOTR ZALEWSKI³, PAWEŁ ZYCH¹

1. Instytut Fizyki Doświadczalnej, Uniwersytet Warszawski, ul. Hoża 69, 00-681 Warszawa

2. Instytut Systemów Elektronicznych, Politechnika Warszawska, ul. Nowowiejska 15/1, 00-665 Warszawa

3. Instytut Problemów Jądrowych im. A. Sołtana, ul. Hoża 69, 00-681 Warszawa

Otrzymano 2001.10.05

Autoryzowano 2001.11.23

W artykule przedstawiono projekt układu trygera mionowego RPC dla eksperymentu CMS na akceleratorze LHC w Genewie. W artykule opisano całość systemu a także jego elementy: elektronikę detektora, system transmisji danych z detektora do pomieszczeń sterowania (z systemem kompresji danych, pozwalającym na znaczną redukcję ilości łączy optycznych), algorytm trygera i jego implementacje z użyciem procesora PAC (ASIC). Przedstawiono sposoby synchronizowania danych oraz związanej z tym diagnostyki.

Słowa kluczowe: diagnostyka, ASIC, synchronizacja, FPGA, komory RPC, tryger, tryger mionowy, elektronika HEP

1. WSTĘP

Eksperyment CMS posiada dwa uzupełniające się mionowe systemy trygerowania [1] oparte na danych z:

1. komór dryfowych i komór PPC (Parallel Plate Chamber),
2. komór RPC (Resistive Plate Chamber).

Każdy z systemów dostarcza swoje dane do globalnego trygera mionowego CMS nie później niż 81 taktów zegara eksperymentu po oddziaływaniu ($2,025 \mu\text{s}$).

Pierwszy z tych systemów wykorzystuje dane z komór dryfowych (centralna część detektora CMS — beczka) oraz z komór PPC (boczne części detektora CMS — endkapy). Komory dryfowe i komory PPC dostarczają bardzo precyzyjnych informacji o miejscu przelotu mionu przez kolejne warstwy komór (rozdzielczość $\sim 0,01 \text{ mm}$). Tylko część tych informacji jest użyta do realizacji trygera. Całość danych służy do pełnej analizy off-line torów mionów. Systemy trygera mionowego z użyciem danych z komór

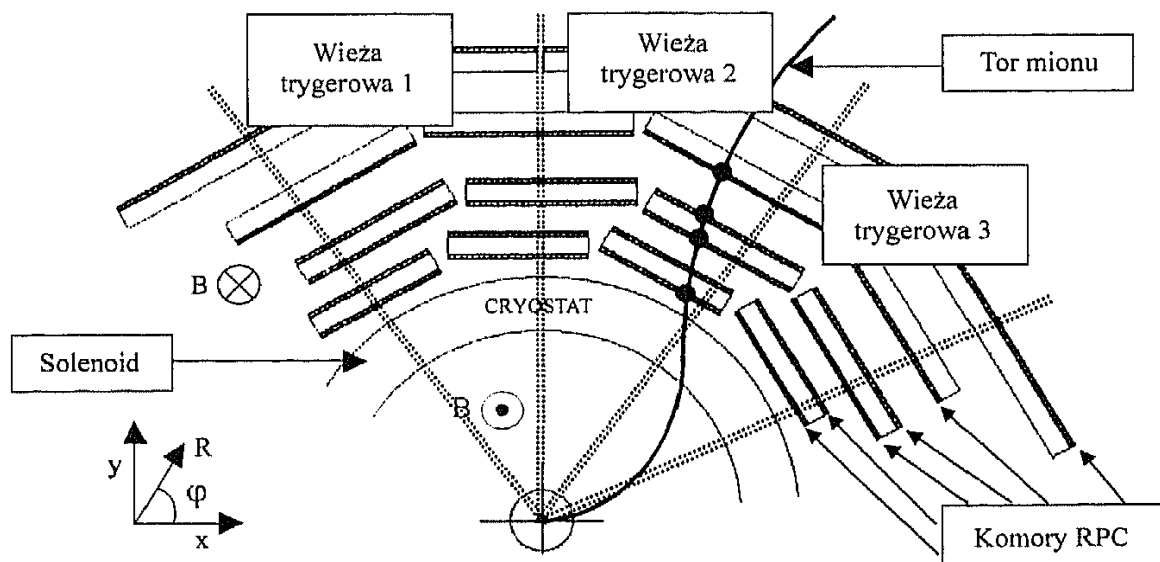
dryfowych i komór PPC (każdy z nich używa innego algorytmu), dostarczają dla każdego oddziaływania (w każdym cyklu zegara eksperymentu) informacje o maksymalnie 4 mionach o najwyższym pędzie.

Drugi system oparty jest na danych z komór RPC. Komory RPC cechuje mała rozdzielczość przestrzenna (kilka rzędów niższa niż rozdzielczość komór dryfowych i PPC) — dane z nich są wykorzystywane jedynie do celów trygerowych (hardwareowy tryger 1 stopnia oraz softwareowy tryger 2 stopnia). System trygera mionowego RPC dostarcza informację o maksymalnie 8 mionach o najwyższym pędzie — po 4 z obszaru beczki i endkapów.

System globalnego trygera mionowego CMS uzgadnia dane dostarczane z trygera mionowego komór dryfowych (z obszaru beczki), z trygera mionowego komór PPC (z obszaru endkapów), z trygera mionowego komór RPC (z obu obszarów) i dostarcza do globalnego trygera CMS informację o maksymalnie 4 mionach z całego detektora CMS. Informacja o mionie to jego pęd, adres (bity kodujące informacje o obszarze, w którym mion został znaleziony) oraz 2 bity informujące o jakości jego wyboru.

2. OGÓLNY OPIS SYSTEMU TRYGERA MIONOWEGO RPC CMS

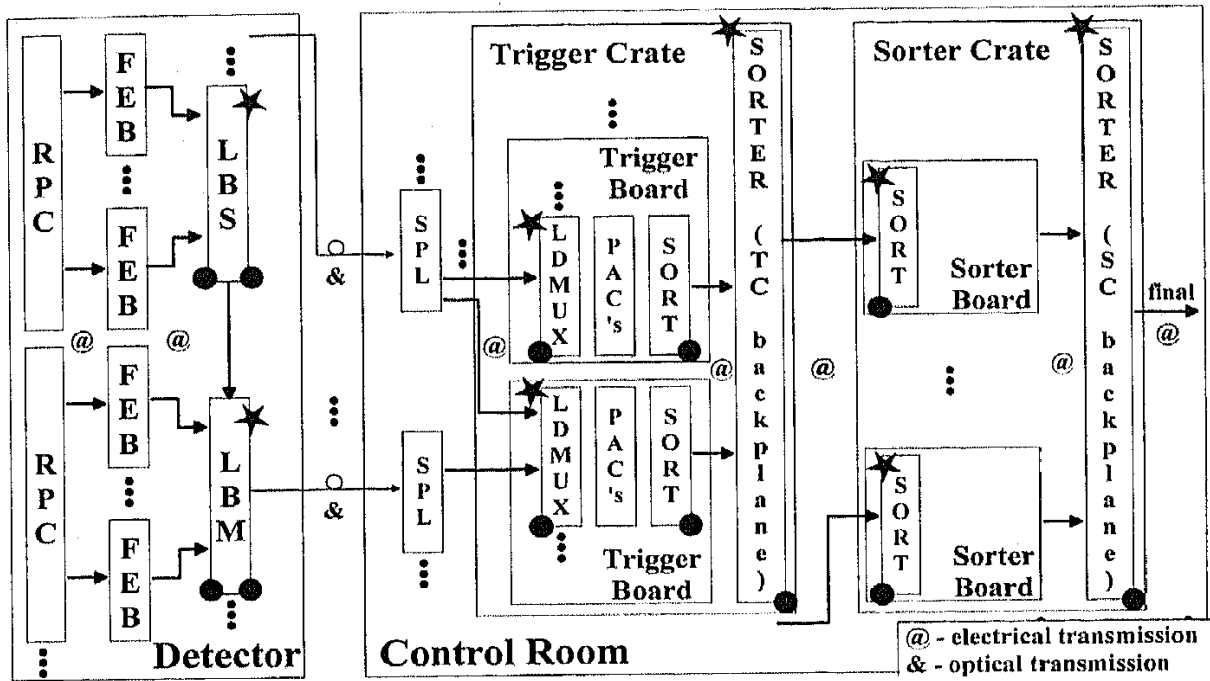
Działanie trygera mionowego RPC polega na jednoczesnym wyszukiwaniu mionów w całym detektorze CMS w oparciu o dane pochodzące z 6 (beczka) lub 4 (endkapy) warstw komór RPC (rys. 1). Dokładniejszy opis algorytmu wyszukiwania mionów znajduje się w rozdziale 5.



Rys. 1. Zasada działania trygera mionowego RPC (beczka). Przekrój poprzeczny przez beczkę detektora CMS. Tor mionu jest zakrzywiany przez pole magnetyczne wytwarzane przez solenoidalny magnes eksperymentu. Komory RPC mierzą punkty przejścia mionu. Paski komór biegną prostopadłe do płaszczyzny rysunku

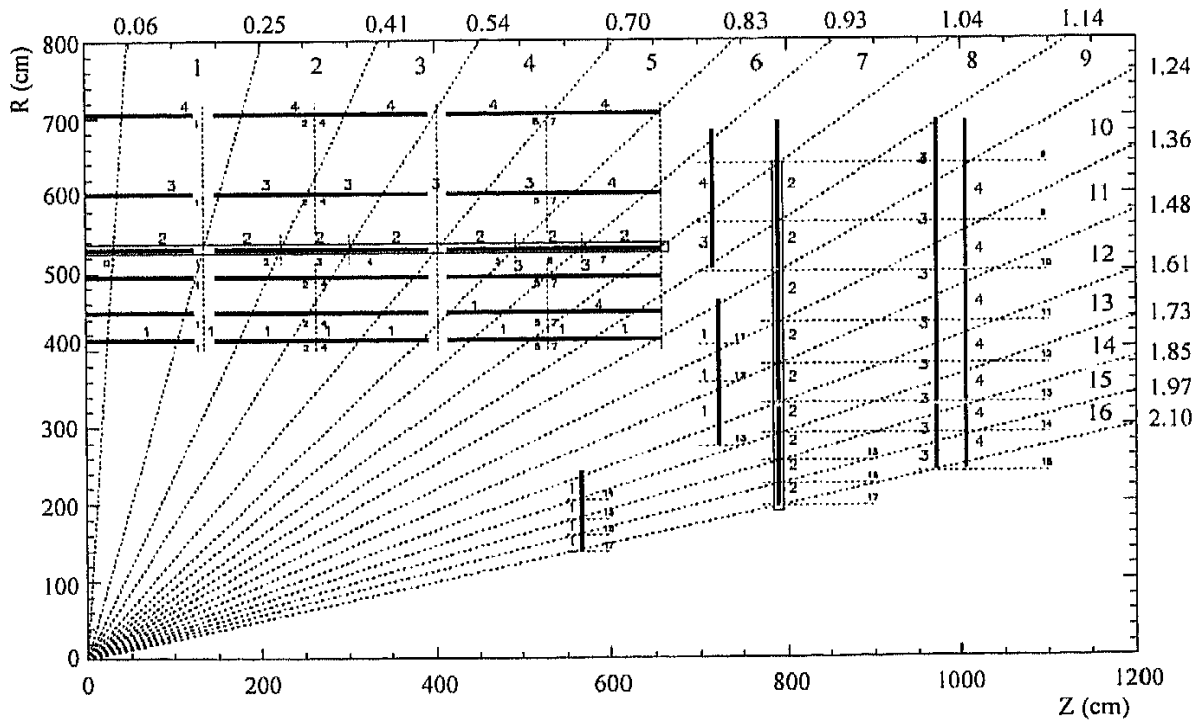
Algorytm znajdowania mionów wykorzystuje informacje z wielu komór RPC — oprócz 4(6) warstw komór danej wieży potrzebne są informacje z komór wież sąsiednich. Ze względu na wymaganie dużej ilości wzajemnych połączeń algorytm ten

nie może być zrealizowany na detektorze. Wszystkie informacje z komór są przesyłane linkami optycznymi do hali sterowania CMS, zamienione tam na sygnały elektryczne w kasetach splitterów i przekazane do odpowiednich płyt trygerowych, gdzie realizowany jest algorytm wyszukiwania mionów (rys. 2). Na detektorze CMS znajduje się elektronika frontend do komór RPC oraz kasety z płytami systemu przesyłania optycznego.



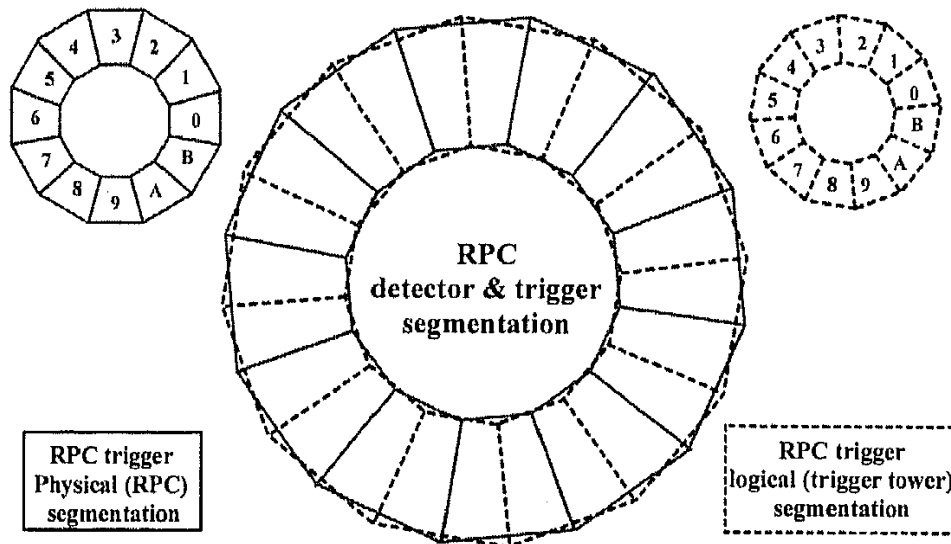
Rys. 2. Ogólny widok systemu trygera mionowego RPC

Segmentację trygera mionowego RPC pokazują Rys. 3 oraz Rys. 4.

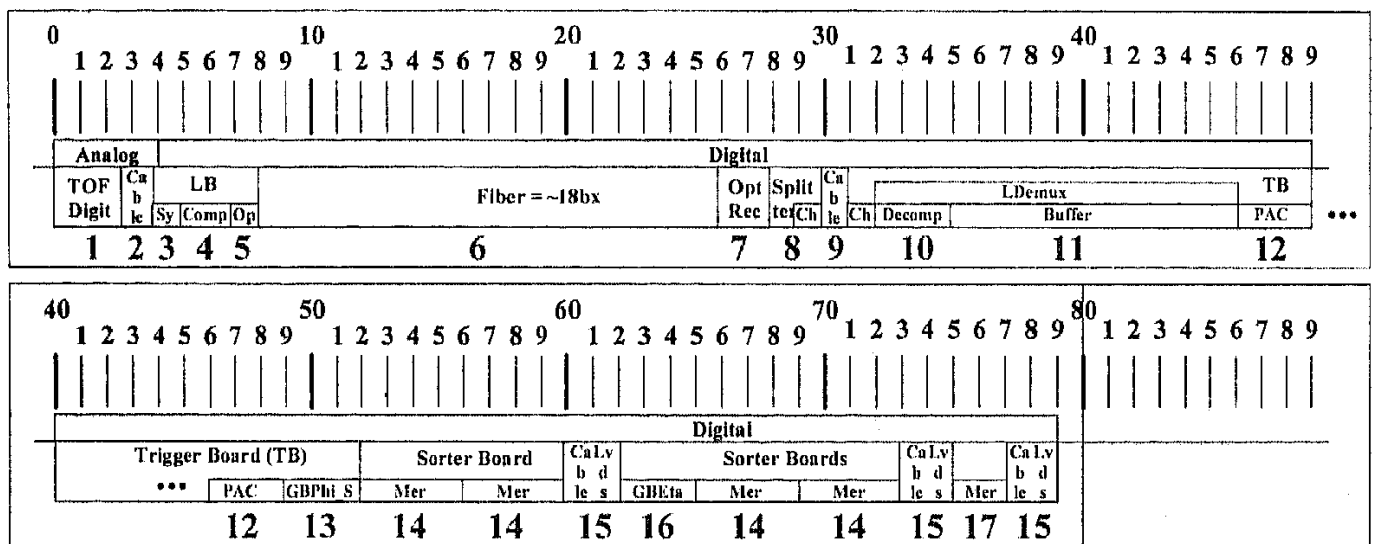


Rys. 3. Segmentacja trygera mionowego w η . Pokazane są także dodatkowo części beczki (wieże 0-8) i dodatniego endkapu (wieże 9-16)

Segmentacja trygera w ϕ odpowiada podziałowi elektroniki trygerowej na kasety VME w hali sterowania CMS. Tryger mionowy RPC jest realizowany w 12 kasetach trygerowych VME oraz jednej kasecie VME zawierającej ostatni stopień sortera i płyty koncentratorów odczytu.



Rys. 4. Segmentacje trygera mionowego w ϕ . Komory RPC i wieże trygerowe

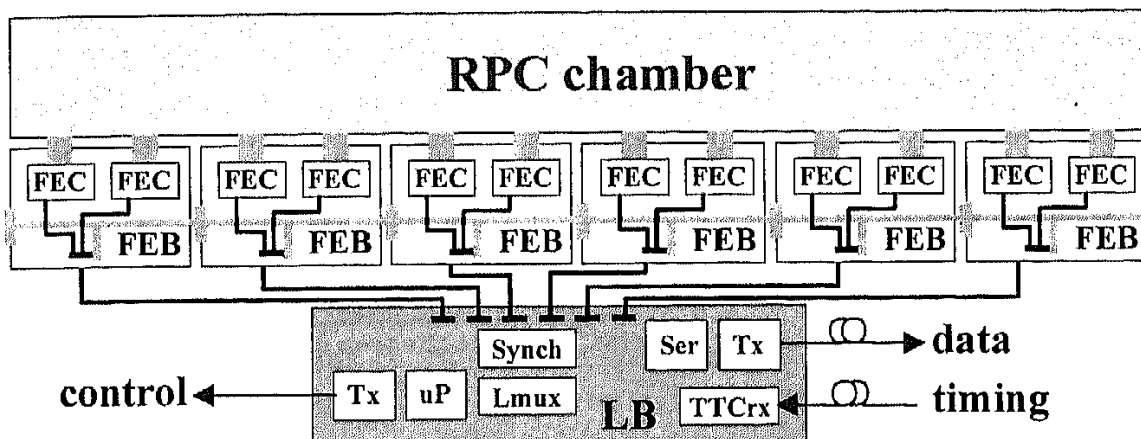


Rys. 5. Schemat opóźnień synchronicznych (latency)[2]

Tryger mionowy RPC jest synchroniczny, skonstruowany w trybie przetwarzania potokowego — dostarcza wynik dla każdego taktu zegara (zegar LHC — 40MHz), z opóźnieniem liczonym w taktach od oddziaływania cząstek (w przypadku trygera RPC 79 taktów) (rys. 5).

3. ELEKTRONIKA FRONT END

Elektronika front-end komór RPC składa się z ok. 12000 płyt FEB (Front-End Board) (rys. 6). Płyty te ulokowane są bezpośrednio na komorach RPC. Jedna komora RPC (96 pasków) jest obsługiwana przez 6 płyt FEB (16 pasków) [4].



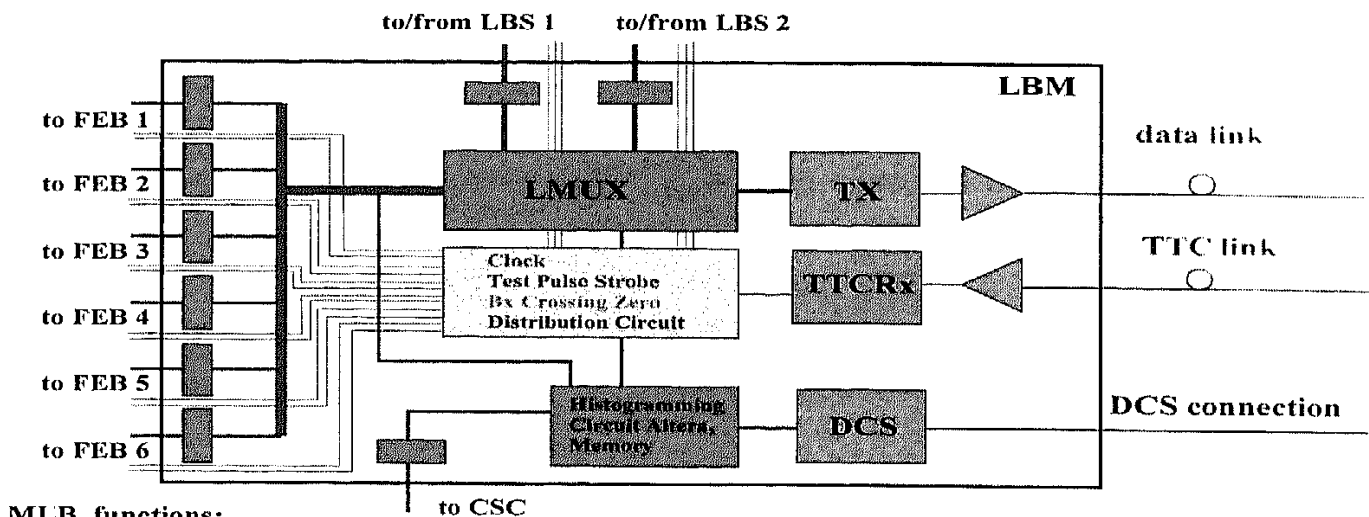
Rys. 6. Elektronika na detektorze — Płyty FEB i LB

Na płycie FEB znajdują się 2 układy FEC ASIC (Front-End Chip). FEC zawiera 8-kanalowy wzmacniacz, dyskryminator, układ monostabilnego generatora impulsów oraz sterownik linii standardu LVDS. Sygnały LVDS z FEC są przesyłane do płyty transmisji optycznej LB (Link Board) przy pomocy wysokiej jakości kabla („zero skew”) o długości nie większej niż 10 m. Wysoka jakość kabla i ograniczenie jego długości ma na celu zmniejszenie rozrzutu czasowego sygnałów dochodzących do LB. Ten sam kabel dostarcza do płyty FEB impulsy testowe — po jednym dla 4 kanałów FEC. Próg czułości układów FEC jest 10 fC, standardowa długość impulsu — 100 ns.

Płytki FEB są sterowane przy pomocy szyny I2C z płyty LB (Link Board) (opisanej w następnym rozdziale). Przy pomocy tego sterowania ustawia się próg dyskryminacji, długość impulsu oraz testuje się temperaturę płyty FEB.

4. SYSTEM TRANSMISJI DANYCH Z DETEKTORA DO HALI STEROWANIA

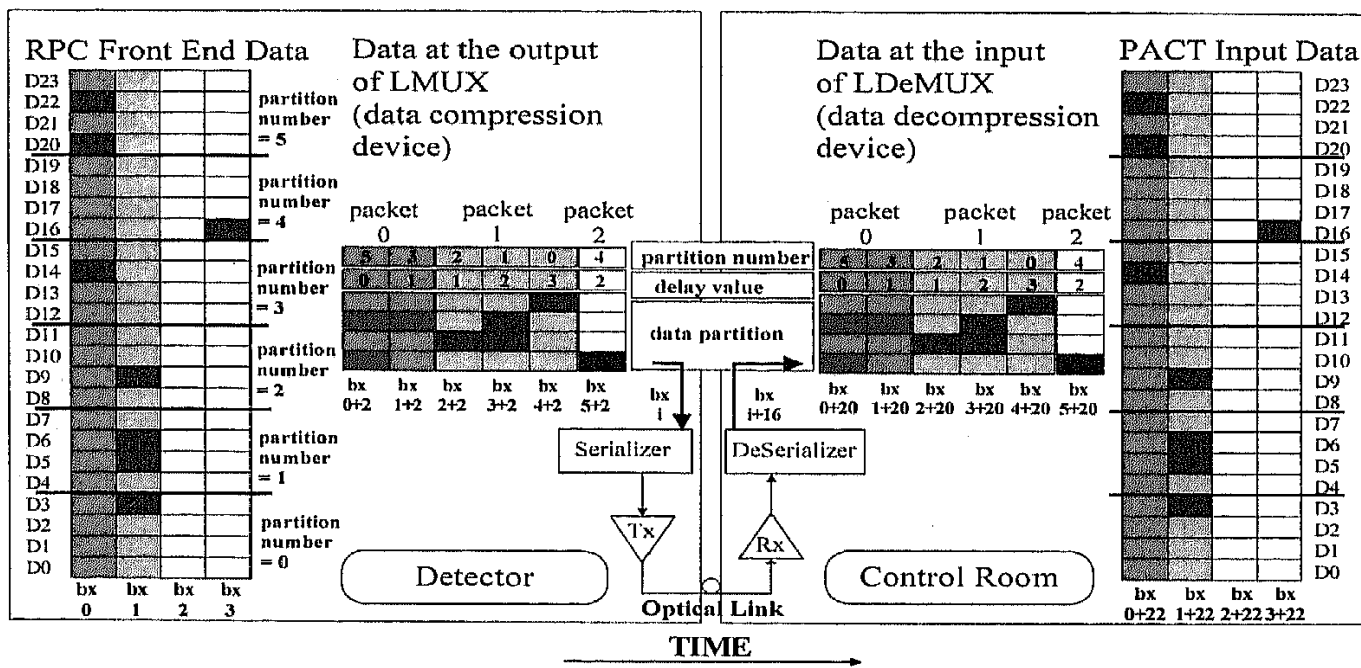
System transmisji danych z detektora ma za zadanie przesać wszystkie dane z komór RPC do hali sterowania CMS — poza obszar wysokiej radiacji, tam gdzie wykonywany będzie algorytm znajdowania i pomiaru pędu mionów. System transmisji danych składa się z płyt LB (Link Board) na obrzeżach detektora CMS oraz płyt spliterów w szafach trygerowych [5]. Istnieją dwa rodzaje płyt LB — płyty LBM (Master) takie, które wysyłają dane do łącza optycznego oraz LBS (Slave) te, które wykonują wszelkie operacje LB, ale zakodowane dane komór RPC wysyłają do sąsiedniej LBM.



MLB functions:

1. RPC data coding,
2. calibration data insertion,
3. RPC/link data rate monitoring,
4. LHC clock distribution for FEB's,
5. optical link transmitting,
6. CSC interface (Endcap only).

Rys. 7. Płyta LBM (płyta LBS jest podobna nie zawiera tylko nadajnika optycznego TX)



Rys. 8. Zasada kodowania danych z komór RPC na płycie LB

Przesyłanie w łączy optycznym danych z kilku komór RPC (z kilku LB) jest możliwe tylko w tych obszarach detektora CMS gdzie spodziewana jest mniejsza częstość cząstek tła nie związanych z badanym oddziaływaniem [6, 7]. W obszarze beczki CMS jednym łączy przesyła się dane z 3 komór RPC (3 płyt LB) [14]. W skrajnych obszarach endkapów CMS jednym łączy przesyła się dane z połowy komory RPC (48 pasków).

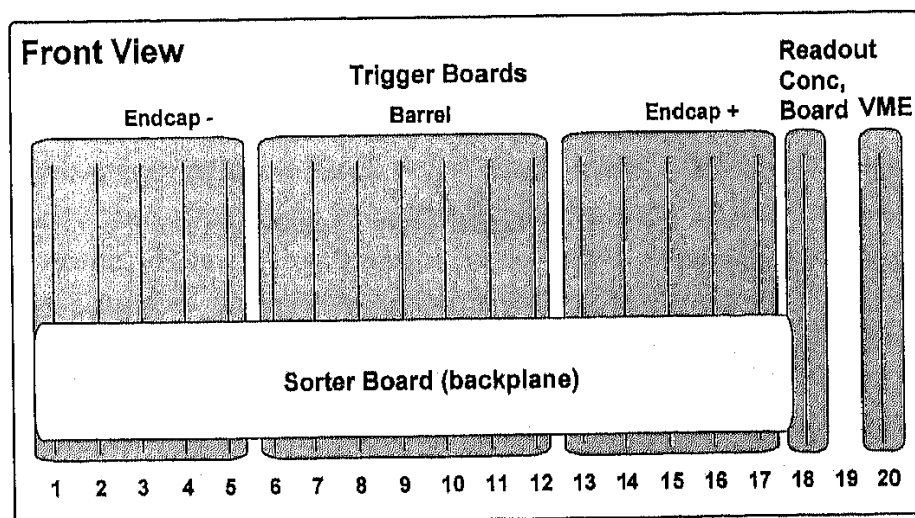
Zadaniem płyt LB jest przyjęcie sygnałów z płyt FEB, synchronizacja tych sygnałów do założonego okienka (poniżej 25 ns) (patrz rozdział 7), zmniejszenie rozmiarów klastrów w danych z RPC, badanie ich jakości oraz kodowanie. Kodowanie umożliwia znaczną redukcję ilości łączy optycznych (czynnik 6). Podczas kodowania (wykonywanego w układach FPGA na płycie LB) wybiera się do wysyłania łączem optycznym tylko niezerowe dane z komórek RPC oraz dołącza się dodatkowe bity, które określają położenie przesłanego fragmentu, a także opóźnienie jego wysłania względem pierwszego wysłanego fragmentu (rys. 8). Procesor trygera mionowego wymaga danych w postaci takiej samej jak przed kodowaniem — dekodowanie to odbywa się na układach Ldmux (układ FPGA) na płycie trygerowej.

Dane z komórek dotyczące jednego okresu zderzacza LHC (25 ns) mogą być przesyłane w wielu kolejnych taktach (do 12). Do przesyłania optycznego używa się synchronicznej transmisji 32 bitów w każdym takcie zegara zderzacza LHC. Użyte będą układy serializatora GOL (układ zaprojektowany w CERN m.in. na zamówienie systemu mionowego RPC) oraz produkowane seryjnie układy deserializatora Fiberlink.

Kodowane i serializowane sygnały optyczne z LB odbierane są na płytach spliterowych w hali sterowania CMS, tam sygnały optyczne są zamieniane na elektryczne, deserializowane (Fiberlink) oraz przesłane do wielu płyt trygerowych. Należy zwrócić uwagę, że układy spliterów nie dekodują tego, co zostało zakodowane w układzie kodowania płyty LB. To dekodowanie jest wykonywane dopiero na płycie trygerowej, w układzie Ldmux (FPGA).

5. PROCESOR TRYGERA MIONOWEGO RPC CMS – KASETA TRYGEROWA

System transmisji danych optycznych przesyła dane z RPC do płyt trygerowych [8] w hali CMS. Ta część trygera składa się z 12 kaset trygerowych VME.

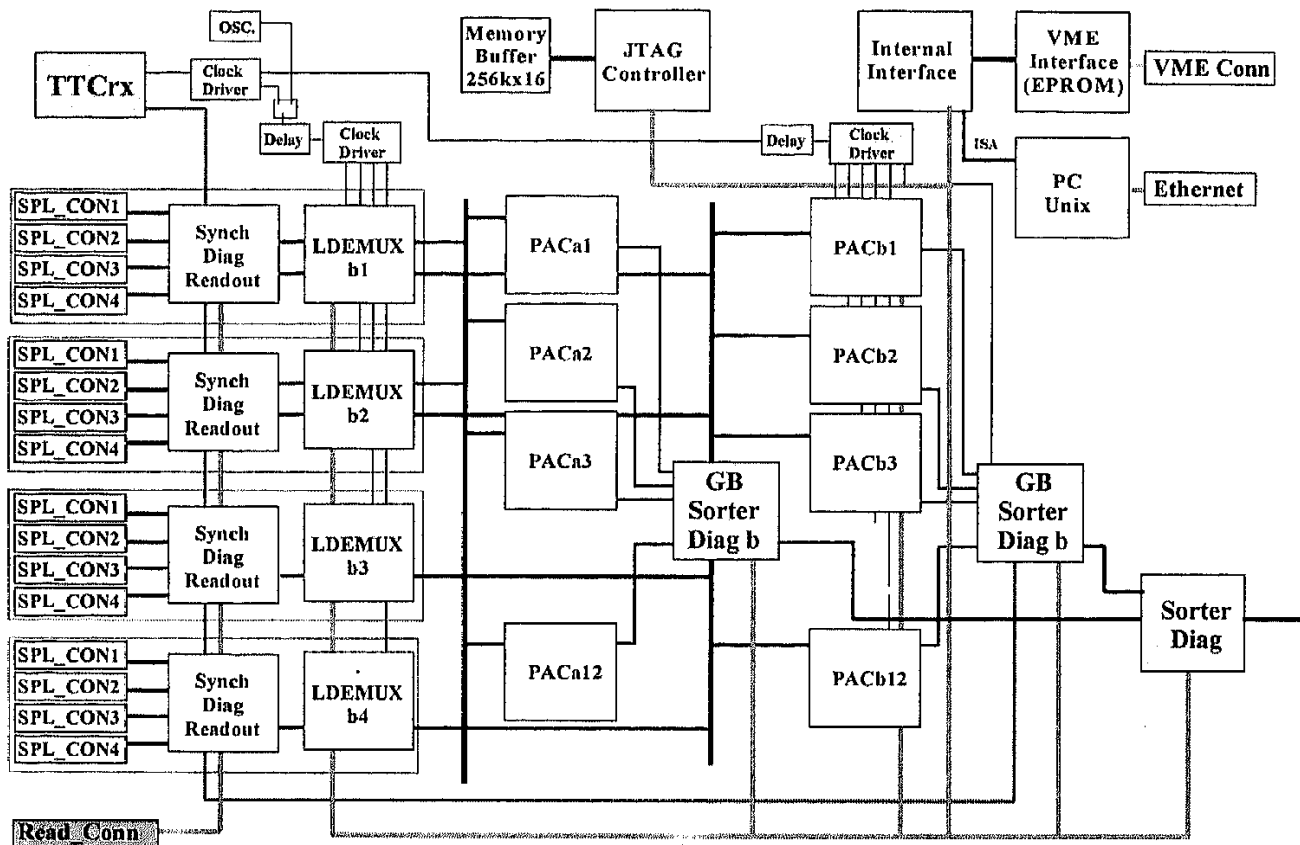


Rys. 9. Kasecja trygerowa

Każda kasetę trygerowa zawiera 17 płyt trygerowych, 1 płytę koncentratora odczytu oraz płytę sortowania mionów (rys. 9). Kasetę trygerowa obsługuje 300 wycinek (wedge) komór RPC w detektorze CMS (rys. 4). Każda płyta trygerowa realizuje poszukiwanie mionów w obszarze odpowiadającym dwóm wieżom w η (z wyjątkiem tej, która obsługuje jedną, centralną wieżę beczki) (rys. 3). Każda kasetę trygerowa w obszarze swojego wycinka znajduje po 4 miony o najwyższym pędzie z beczki oraz z endkapów dla każdego taktu zegara LHC.

Rys. 10 przedstawia schemat blokowy płyty trygerowej [1, 8].

Płyta trygerowa składa się z układu synchronizacji i dekodowania, z macierzy procesorów trygerowych PAC (PAttern ComparatOr) [1, 3, 9, 10], z układu sortowania oraz z układu sterowania i diagnostyki.



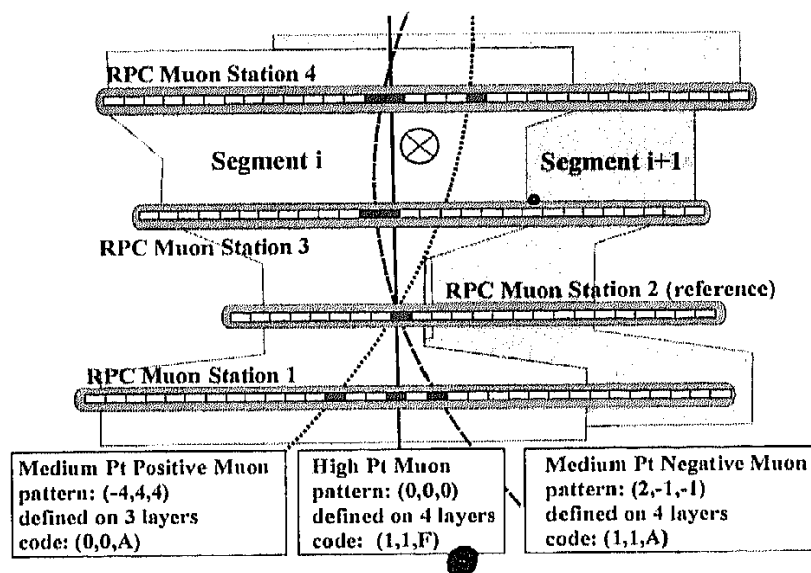
Rys. 10. Schemat płyty trygerowej

Układ synchronizacji i dekodowania zbudowany jest z 4 grup układów FPGA — synchronizatora Synch i dekodera Ldmux. Każda odpowiada jednej warstwie komór RPC. Układ Synch przyjmuje dane (przychodzące za pośrednictwem płyt spliterów) pochodzące z różnych LB i synchronizuje je tak, aby dotyczyły tego samego taktu LHC. Układ Ldmux wybiera z danych łącza te, które na danej płycie trygera są potrzebne a następnie rozkodowuje je i przygotowuje do postaci wymaganej przez macierz procesorów PAC. Ta operacja przygotowania danych polega na selekcji odpowiednich

pasków z dwóch sąsiadujących w ϕ komór RPC oraz na wykonaniu operacji logicznego OR na danych z dwóch sąsiadujących w η obszarów. Układ Ldmux buforuje też wybrane zakodowane dane dla systemu odczytu (patrz rozdział 6).

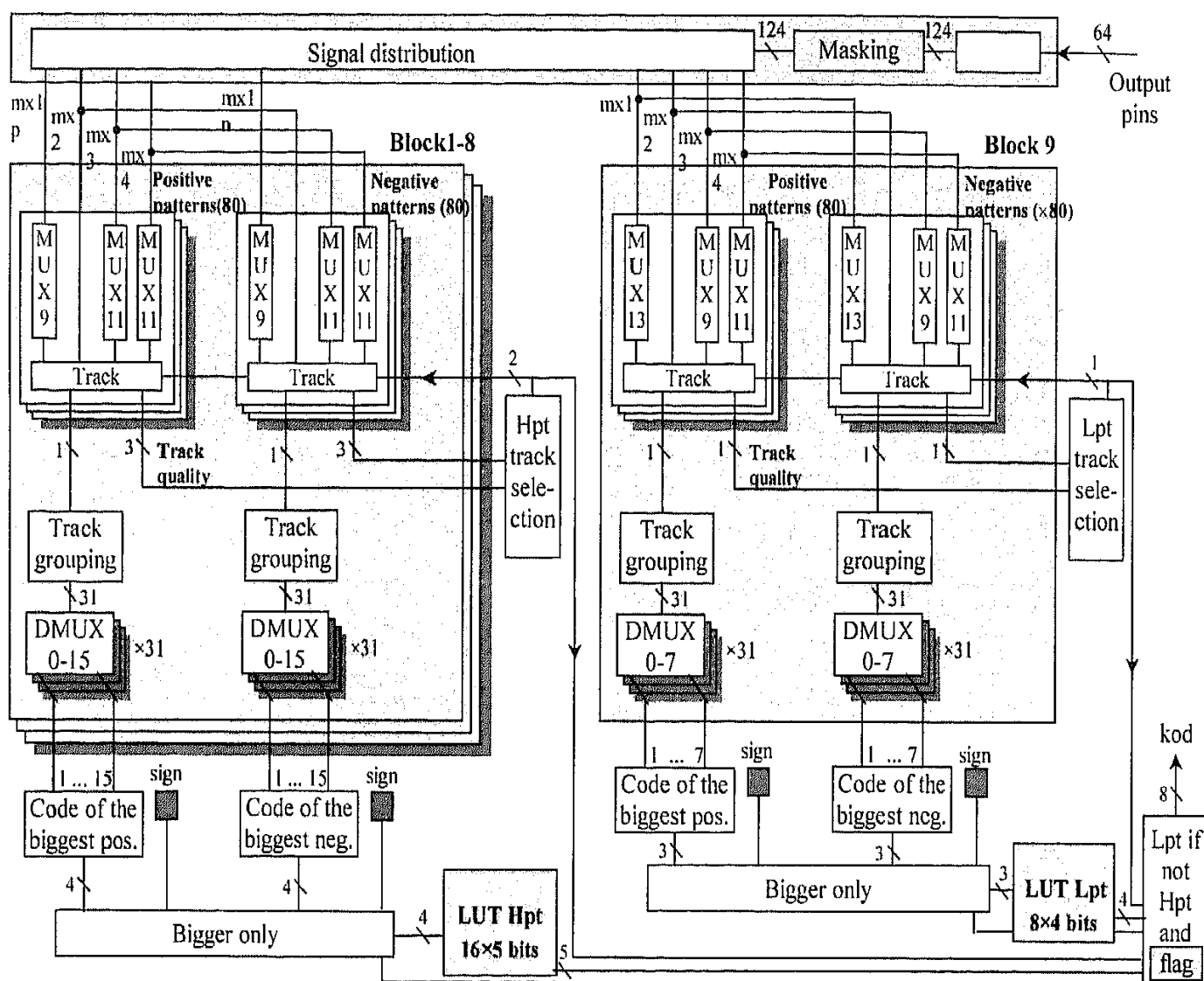
Macierz PAC składa się z 2 grup 12 procesorów PAC. Każda grupa procesorów PAC znajduje miony w segmencie odpowiadającym obszarowi CMS 30° w ϕ i 0.1 w η . Każdy z procesorów PAC znajduje jeden mion w segmencie komór RPC określonych przez 8 pasków z drugiej warstwy komór RPC (warstwa referencyjna) (patrz rys. 11).

Procesor PAC jest kluczowym elementem algorytmu trygera mionowego RPC. Procesor PAC analizuje dane z 4 warstw komór RPC i porównuje je z zapamiętanymi u siebie wzorcami (patterns) torów mionów. Każdemu wzorcowi w PACu przypisany jest także programowalny kod. Wzorce dla torów dodatnich i ujemnych są programowane osobno. Analiza wszystkich możliwych torów mionów w detektorze CMS pokazuje, że dla osiągnięcia 95% wydajności trygera wystarczy rozpoznawać 80 torów jednego znaku dla każdego paska referencyjnego. PAC zawiera łącznie $8 \cdot 2 \cdot 80 = 1280$ programowalnych wzorców i odpowiednią ilość kodów.



Rys. 11. Zasada działania procesora PAC – dopasowywanie torów do wzorców

Na rys. 11 pokazane są dane w 4 warstwach komór RPC (zaciemnione prostokąty w komorach), 3 toru mionów które w tych danych można znaleźć a także kody, który są im przyporządkowane. Rys. 11 pokazuje także dwa sąsiadujące obszary segmentów komór RPC. Sąsiadujące segmenty częściowo pokrywają się, jedynie paski stacji referencyjnej należą tylko do jednego segmentu. Procesor PAC analizuje dane jednego segmentu. Znaleziony mion charakteryzowany jest przez bit jakości kodu, bit znaku oraz 4 bity określające pęd mionu. Bit jakości jest — „1” jeśli mion został znaleziony na podstawie sygnałów z 4 warstw komór RPC. Na Rys. 11 — mion dodatni został znaleziony na podstawie danych z tylko 3 warstw komór (brakuje sygnału w warstwie 3) — a zatem jego kod jakości jest — „0”. Mionowi o najwyższym pędzie (prosty tor) odpowiada kod pędu „F”.



Rys. 12. Schemat procesora PAC

Rys. 12 przedstawia schemat procesora PAC tak jak został zrealizowany w ASIC (technologia 0.35 μm , AMS, $5 \times 8,3 \text{ mm}^2$, ~ 1 milion tranzystorów) [].

Na początku sygnały wejściowe PAC są maskowane a następnie obliczane są sygnały wejściowe bloków. Bloki 1-8 zawierają wzorce wyższego pędu, odpowiadające torom mniej zakrzywionym, blok 9 zawiera wzorce niższego pędu, odpowiadające torom bardziej zakrzywionym. Bloki 1 do 8 są określone przez użycie jednego (sygnał referencyjny) paska komory referencyjnej (komora 2). Blok 9 otrzymuje jako sygnał referencyjny OR ośmiu pasków komory referencyjnej. W każdym bloku można zaprogramować 80 wzorców dodatnich i 80 wzorców ujemnych. Programowanie wzorców polega na określeniu, które z wejść multipleksera powinno być użyte do rozpoznawania śladu mionu (sygnał track). Dla każdego śladu oblicza się jego jakość, a następnie sprawdza się, jaka jest najlepszą jakość śladu w całym PACu (układy hpt i lpt track selection). Tylko tej najlepszej jakości ślady przekazuje się (w układach track) dla dalszej części układu. 80 śladów jednego znaku w każdym bloku redukuje się do 31

grup śladów (zmniejszając w ten sposób ilość sygnałów do dalszego przetwarzania). Każdej grupie śladów przypisuje się 4 bitowy kod — dzieje się to poprzez zaprogramowanie, na które wyjście układu Dmux ma się propagować sygnał grupy śladów. W dalszym ciągu znajduje się ślad o najwyższym kodzie, spośród wszystkich znalezionych w segmencie i dołącza się do niego jego bity znaku i jakości. Dodatkowo 4 bitowy kod pędu jest przekształcany na 5 bitowy przy pomocy programowalnej pamięci LUT (Look Up Table).

Programowanie PACa odbywa się przy pomocy wbudowanego układu ścieżki brzegowej (boundary scan). Procesor PAC realizuje swoje zadanie z opóźnieniem (latency) 2 taktów zegara — dane wejściowe są rejestrowane na wejściu, wyjściu oraz jednokrotnie wewnątrz układu (po demultiplekserach Dmux).

Otrzymane z macierzy PAC'ów kody mionów są następnie porządkowane według jakości wyboru mionu a potem właściwego kodu pędowego mionu. Sortowanie [13] przeplatane jest operacją usuwania sztucznie generowanych kodów mionów (na skutek zachodzenia na siebie segmentów trygerowych w η i ϕ [12]). Sortowanie wykonywane jest w kilku etapach:

1. na płycie trygerowej (z usuwaniem sztucznie generowanych kodów mionów w ϕ),
2. potem na płycie sortowania umieszczonej z tyłu kasety VME trygerowej,
3. na płytach sortowania w kasecie sortowania (z usuwaniem sztucznie generowanych kodów mionów w η),
4. na płycie sortowania umieszczonej z tyłu kasety VME sortowania.

Sortowanie jest realizowane w różnych układach FPGA dobranych ze względu na ilość kodów do sortowania oraz koszt układów FPGA. W szczególności – dopiero w ostatnich poziomach sortowania korzystne jest użycie dużych (i drogich) FPGA.

6. ODCZYT DANYCH

Zdaniem tego podsystemu jest dostarczenie do ogólnego systemu odczytu eksperymentu CMS (CMS DAQ) wszystkich danych wejściowych (pobudzonych pasków w komorach), a także pośrednich danych trygerowych RPC z jego różnych poziomów przetwarzania. Wykorzystuje się kodowanie wykonywane na płytach LB (patrz rozdział 4). Dane do odczytu są wybierane (w układach Ldmux) tak, aby te same paski komór RPC były odczytywane tylko raz (tryger używa ich wielokrotnie). Bufor pamięci oczekiwania na tryger pierwszego stopnia jest zrealizowany również na układach Ldmux, z użyciem wewnętrznych pamięci układów FPGA. Głębokość tego bufora musi wynosi 88 (wcześniej 40 taktów zegara użyte są na przesłanie danych do tej pamięci). Całkowite opóźnienie trygera pierwszego stopnia w CMS wynosi 128 taktów zegara LHC. Po otrzymaniu sygnału odczytu (tryger pierwszego stopnia) dane z tego bufora są koncentrowane i przepisywane do pamięci buforowej (derandomizer memory) znajdującej się na płycie koncentratora odczytu w kasecie trygerowej (rys. 9). Ze względu na mały rozmiar przypadków gromadzonych na płycie koncentratora odczytu w kasecie trygerowej przewidziany jest dodatkowy stopień koncentracji na dodatkowych trzech

plytach koncentratorów umieszczonych w kasecie sortera. System odczytu trygera mionowego RPC wysyła swoje dane do globalnego systemu odczytu CMS przy pomocy 3 łączy Slink64.

7. SYNCHRONIZACJA I DIAGNOSTYKA

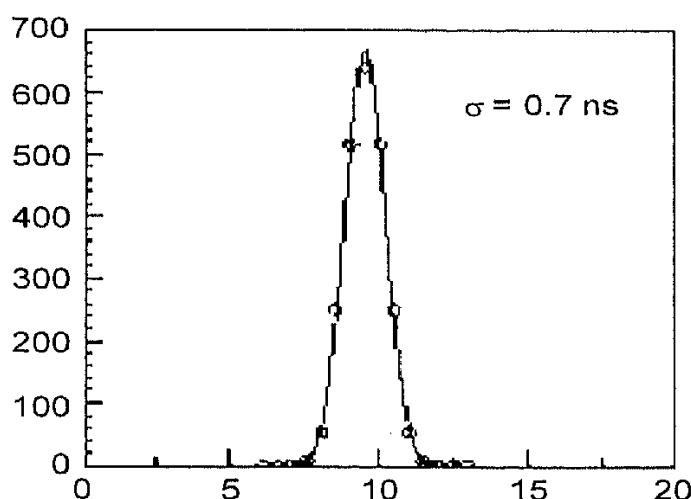
Synchronizacja sygnałów w systemie trygera jest bardzo ważnym składnikiem systemu. Nie wystarczy znać względne opóźnienia fragmentów danych, wchodzących na dany układ trygera — muszą one być wyrównane, tj. fragmenty danych przychodzące wcześniej muszą być opóźnione — tak, aby dalsze przetwarzanie dotyczyło danych z tych samych taktów zegara LHC.

W systemie trygera RPC wykonuje się trzy rodzaje synchronizacji (rys. 2):

1. Synchronizacji sygnałów komór RPC do zegara eksperymentu,
2. Wzajemna synchronizacja sygnałów synchronicznych transmitowanych łączyami optycznymi,
3. Wzajemna synchronizacja sygnałów synchronicznych w transmisjach między kasetami.

W systemie trygera mionowego RPC przyjęto jako zasadę synchronizację danych tam gdzie one są używane, a nie tam gdzie są generowane.

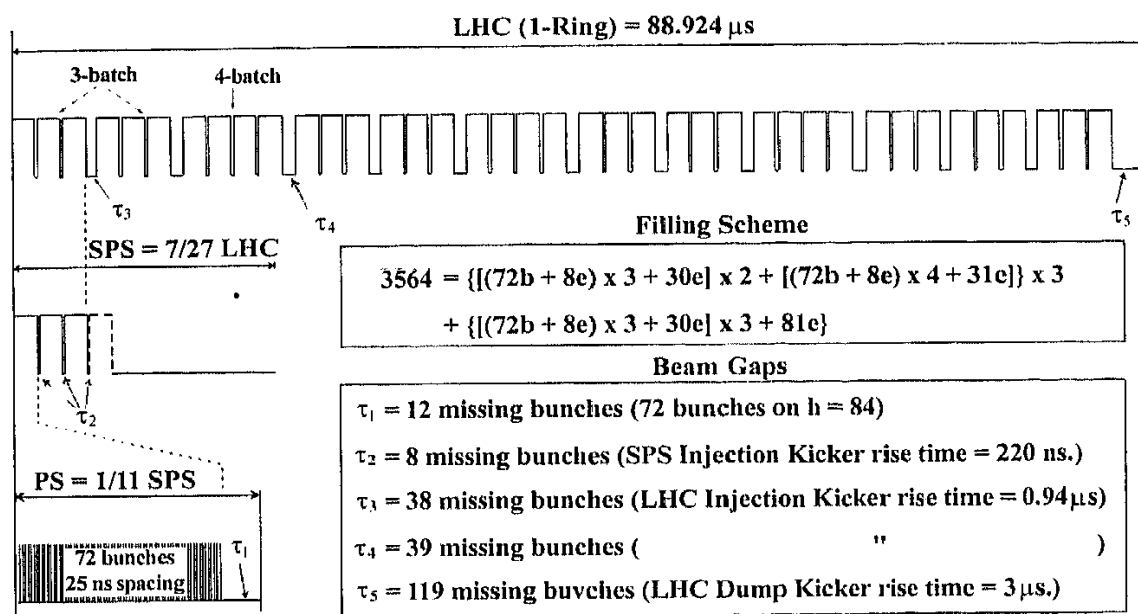
Komory RPC posiadają bardzo dobrą rozdzielczość czasową (rys. 13), ze względu jednak na rozmieszczenie w bardzo różnych odległościach od punktu oddziaływania wiązek ich sygnały muszą być starannie skorelowane z zegarem eksperymentu. Sygnały z komór są akceptowane, jeżeli ich narastające zbocze znajduje się w zaprogramowanej długości okienku czasowej (<25 ns).



Rys. 13. Rozdzielczość czasowa komór RPC

Zaakceptowane w ten sposób sygnały są rejestrowane przy pomocy zegara LHC. Od tego miejsca wszystkie sygnały będą miały długość 25 ns. Długość okienka będzie

zależała od parametrów komór — jego skracanie to polepszanie stosunku sygnału do szumów, ale też zmniejszanie wydajności komór. Ustalenie optymalnej długości sygnału okienkowego oraz jego opóźnienia (w skali poniżej 25 ns oraz w taktach zegara eksperymentu) względem oddziaływania może być wykonane jedynie przy pomocy długich pomiarów kalibracyjnych z użyciem struktury taktów zderzacza LHC (rys. 14, 11). Takty „wypełnione” cząstkami będą przeplatane taktami pustymi. Ta struktura będzie widoczna (z opóźnieniem skorelowanym z położeniem komór i ustawieniem parametrów synchronizacji) w histogramach gromadzonych na płytach LB. Ich analiza pozwala na określenie parametrów sygnału okienkowego.



Rys. 14. Struktura taktów zegarowych w zderzaczu LHC (jeden pełny cykl zderzacza)

Synchroniczne sygnały do transmisji optycznej są uzupełniane o informację o opóźnieniu tych sygnałów względem oddziaływania (uzyskaną tak jak to było opisane powyżej). Sygnały te służą do automatycznej synchronizacji danych na wejściu płyty trygerowej w układzie Synch (rozdział 3, rys. 2).

Podobną, nieco uproszczoną metodę stosuje się do transmisji sygnałów między kasetami VME (rys. 2)

Do celów synchronizacji zaprojektowano, w LHC system TTC (Timing, Trigger and Control) [11] — system dystrybucji zegara i sygnału trygera pierwszego stopnia (i kilku innych sygnałów sterujących). Składa się on z hierarchicznej sieci łączy optycznych zakończonych odbiornikiem TTCrx (ASIC) ulokowanym. Pozwala on dystrybuować zegar LHC optycznie do wielu miejsc z możliwością ustalania jego fazy z dokładnością do 50 ps. Sygnał trygera pierwszego stopnia dystrybuuje się podobnie, dodatkowo umożliwiając jego przesuwanie w zakresie kilkunastu taktów zegara LHC. Na Rys. 2 pokazano miejsca w systemie trygera mionowego RPC gdzie będą umieszczone elementy TTCrx (gwiazdki).

Zadaniem systemu diagnostyki jest sprawdzać poprawność danych w całym systemie trygera mionowego RPC. Wykonuje on to zadanie używając własnej, wewnętrznej szyny komunikacyjnej i procesora PC (płytką nakładkowa) na płytach elektroniki. Zadania diagnostyki realizowane są poprzez programowalne układy FPGA realizujących zadania trygera dodatkowo uzupełnione o dodatkowe funkcje opisane w języku VHDL. Ocenę poprawności danych wykonuje się poprzez

1. Liczenie poszczególnych sygnałów, porównywanie ich częstości między sobą i z teoretycznymi wartościami,
2. Wykonywanie histogramów sygnałów i ich analizę,
3. Generowanie sygnałów testowych i analizę odpowiedzi, jaką wywołują.

Na rys. 2 zaznaczone zostały (kółkami) miejsca w systemie gdzie zainstalowane będą elementy diagnostyki. Miejsca ulokowania elementów diagnostyki pokrywają się częściowo z położeniem elementów TTCrx, dlatego, że podstawowym zadaniem diagnostyki w systemie trygera mionowego jest weryfikacja synchronizacji.

Do generowania sygnałów testowych użyte będą sygnały pretrygera dystrybuowane przez TTC. Sygnały testowe generowane są zawsze w tych miejscach systemu, po których następują transmisje danych.

8. BIBLIOGRAFIA

1. *CMS The TRIDAS Project Technical Design Report, Volume 1 The Trigger Systems*. CERN/LHCC 2000-038
2. G. Wrochna: *Synchronization of the CMS Muon Detector*. CMS CR 1998/017, CMS-IN 1998/007.
3. E. Piwowarska et al.: *PAC prototype ASIC for the CMS Muon Trigger*. CMS IN-1999/ 021.
4. F. Loddo: *A prototype Front end chip for the CMS Resistive Plate Chambers*. (CERN/ LHCC/99-33)
5. K. Banzuzi, E. Pietarinen: *LINX: prototyping environment for the CMS RPC fibre optic links*. HIP Internal Report HIP-1999-07/1
6. M. Górski, I. Kudła, K. Pozniak: *High Speed Data Transmission and Compression for the CMS RPC Muon Trigger*. Proceedings from the 3rd Workshop on LHC Electronics
7. M. Górski, I. M. Kudła, K. Pozniak: *Resistive Plate Chamber (RPC) based muon trigger system for the CMS experiment — data compression/decompression system*. NIM A 419 (1998)
8. M. Kudła: *RPC Trigger Crate, Trigger Internal Review*. CERN-TriDAS Meeting, 8-9 November 1999
9. *PAC Prototype ASIC for the CMS Muon Trigger*. CMS IN-1999/021
10. Z. Jaworski et al.: *RPC — Pattern Comparator (PAC) ASIC*. NIM A 419 (1998)
11. *TTC distribution for LHC detector*. IEEE Trans.Nucl.Science, Vol.45, nr.3, June 1998, pp. 821-828
12. K. Fengler, et al: *Ghosts Buster for the RPC Based Muon Trigger*. CMS TN /98-012
13. G. De Robertis et al.: *The sorting processor project*. CMS TN 95/28
14. M. Huhtinen et al.: *Radiation Environment simulation for the CMS detector*. CMS TN/ 95-19

K. BUŃKOWSKI¹, K. KIERZKOWSKI¹, I. KUDŁA¹, T. NAKIELSKI^{1,2}, K. POŹNIAK², W. ZABOŁOTNY²

THE RPC MUON TRIGGER SYSTEM FOR CMS EXPERIMENT ON LHC COLIDER

S u m m a r y

In this article RPC muon trigger for CMS experiment on LHC collider is presented. The overall structure of the RPC muon trigger system is presented. More details are given for trigger algorithm built with usage of Pattern Comparator (PAC) ASIC. Front End electronics is shortly discussed. Optical data link system using compression/decompression scheme allowing large number of links reduction is demonstrated. Synchronization and diagnostics tasks are discussed.

Keywords: HEP electronics, trigger, pipeline electronics, synchronous systems, optical links, FPGA, ASIC, diagnostic, synchronization, RPC electronics,